

# Virtex-II Pro Platform FPGA ファミリ

## 製品の背景

Virtex®-II Pro Platform FPGA ソリューションは、プログラマブル・ロジック業界で疑いなく技術的に最も優れたシリコンおよびソフトウェア製品である。Virtex-II Pro FPGA 開発の目標は、システム・アーキテクチャに「根底から」革命を起こすことである。この目的を達成するために、IBM 社、Mindspeed 社、ザイリンクスの回路技術者とシステム・アーキテクトはこの高度な Platform FPGA を共同で開発した。Wind Riversystems 社や Celoxica 社などの組込型システムのトップ会社の技術チームは、ザイリンクスのソフトウェア チームと協力して、新しいシステム・アーキテクチャを可能にするシステム・ソフトウェアと IP ソリューションを開発した。このようにしてできたのが、カスタム ASIC の独占的領域であったが柔軟性がありかつ低開発コストのプログラマブル・ロジックである超広帯域 SoC (システム・オン・チップ) デザインをインプリメントすることができる初の Platform FPGA ソリューションである。この新しいソリューションは、ネットワーク・アプリケーション、組込型システム、デジタル信号処理システムにおける最先端システム・アーキテクチャの新しい時代への先導役を果たすことが期待される。

### Virtex-II Pro ファミリの特長

- ロジック・セル数 3,168 ~ 50,832、ブロック RAM 216 ~ 3,888 K ビットを持つ 5 つのファミリ・メンバ
- Virtex-II IP-Immersion™ アーキテクチャ ベース
- 1 デバイス当たり最大 16 個のマルチギガビット(3.125 Gbps)シリアル・トランシーバ・ブロック
- 1 デバイス当たり最大 4 個の PowerPC 組込型プロセッサ・コアモジュール

### Virtex-II Pro ファミリの特長を生かした応用

- プログラマブル・システム用プラットフォーム
- アーキテクチャ合成
- 次世代接続性標準
- 新しい開発パラダイム
- 最先端コストパフォーマンスの提供

### Virtex-II Pro ファミリのハイライト

Virtex-II Pro ファミリは 5 つのメンバから構成され、各々は Mindspeed 社の SkyRail™ 技術をベースとする 4 ~ 16 個の RocketIO™ マルチギガビット・トランシーバを内蔵している。各ザイリンクス RocketIO ブロックは第 1 世代の組込型プログラマブル製品で提供していた基本的なクロック/データリカバリブロックとは異なり、現実のシステム・レベルの問題に対応できるユーザ・コンフィギャブルなサポート回路の完全なセットを内蔵している。この回路には、標準 8B/10B エンコードデコード、複数のチャンネル使用による広帯域のサポート、様々な PCB パターン長でのシグナルインテグリティの改善のサポートが含まれている。さらに、RocketIO ブロックは、ボーレート 3.125 Gbps に到達した最初の FPGA 組込型トランシーバである。4 個の RocketIO ブロックを使うと、16 本の PCB パターン

で全二重 10 Gbps のデータレートをサポートすることができる。これは、代表的なバスの 256 本のパターンまたは高速パラレルバスの 68 本のパターンに相当する。これを使うと、従来型パラレルバスに比べて、最大 16 倍の PCB パターン数の削減が可能で、PCB の複雑さを大幅に解消し、EMI システム・ノイズを削減できる。この RocketIO 技術を使うと、タイム・トゥ・マーケットの短縮によりコストを削減し、PC 基板(PCB)を小型化し、コンポーネント数を削減して、現在のものより広帯域のシステムが可能になる。

また、Virtex-II Pro ファミリは、小型でパワフルな PowerPC プロセッサ・コアモジュールを内蔵している。大規模な Virtex-II Pro デバイスは 4 個の IBM PowerPC 405 プロセッサ・コアモジュールを内蔵しており、各々が 300 MHz 以上のクロック周波数で動作、420 Dhrystone MIPS の性能を持っている。PowerPC 405 コアモジュールはチップ面積が小さいにもかかわらず、非常に優れたシステムの柔軟性を提供する。PowerPC 405 コアモジュールは完全に FPGA 構造に組み込まれており、すべてのプロセッサ・ノードが FPGA 配線リソースにより接続されている。これにより、回路による高速インプリメンテーションとソフトウェアによる高い柔軟性を持つインプリメンテーションに複雑なアプリケーションを効率良く分割できる最大限のアーキテクチャ機能が得られる。例えば、現在 FPGA ロジックのみを使っている高速パケット・ルーティングを行うパケット処理アプリケーションは、例外処理またはイン・システム・データ収集管理用にスレーブ高性能プロセッサを使うことにより機能を強化することができる。これに対して、これらのアプリケーションの外部で個別プロセッサを使うと、インターフェイス・ピンが増加し、これによりシステム性能が低下して、FPGA I/O 数と全体のボード・コストが大幅に増えてしまう。

Virtex-II Pro 製品は、IP-Immersion 技術によりポピュラーな Virtex-II アーキテクチャ上に構築されている。Virtex-II ファミリと Virtex-II Pro ファミリから構成されている Virtex-II シリーズに共通な独自の機能には、SystemIO™接続性ソリューション、XCITE™デジタルインピーダンスコントロール技術、包括的なクロッキング・ソリューション、高速アクティブインターコネク配線アーキテクチャ、ビット・ストリーム暗号化技術が含まれている。これらのすべての機能が一体となって、タイム・トゥ・マーケットの短縮、技術的生産性、システムの柔軟性を提供する高性能システム・レベル・アプリケーション向けに最適化された完全な Platform FPGA ソリューションを構成している。

### 継承している Virtex 技術でのリーダーシップ

- シリアル・トランシーバおよび組込型プロセッサ・コアモジュール
- 0.13 ミクロン 9 層銅配線 Low-k プロセス技術
- 3.125 Gbps 組込型マルチギガビット・トランシーバ
- 300+ MHz、420 D-MIPS PowerPC プロセッサ・コアモジュール

Virtex ファミリの各 FPGA はこのクラスでは成功したプログラマブル製品ファミリであり、1998 年に最初の Virtex ファミリを導入している。Virtex ファミリと Virtex-E ファミリは、最初に導入したとき、技術的に優れた製品として業界から認められた。集積度、性能、機能で再度技術的リーダーシップをとった Virtex-II ファミリは、Platform FPGA の最初の例、すなわちシステム機能をインプリメントする機能と性能を持つプログラマブル・デバイスである。

Virtex-II Pro ファミリは、シリアル・トランシーバ技術とハード・プロセッサ・コアモジュールの両方を汎用 FPGA デバイス内に組込んだ最初の FPGA ファミリである。これは、広い I/O 帯域幅と高性能プロセッサ・コアモジュールの両方を必要とするパケット処理のような新しい広帯域組込型処理アプリケーションにとって重要なことである。

Virtex-II Pro デバイスは、高度な 0.13 ミクロン 9 層銅配線プロセスを採用している。この IBM 社の全層銅配線と low-k 技術は、半導体業界で最も高度な製造プロセスである。このプロセス技術とアクティブインターコネクタアーキテクチャの組み合わせは、どの FPGA よりも高い性能を提供する。

Mindspeed 社の SkyRail™ 技術に基づく RocketIO マルチギガビット・トランシーバは、高性能かつ完全な CMOS 組込型シリアル・トランシーバである。これらは、チャンネル当たり最大 3.125 Gbps ボーレートにユーザ設定可能で、他の 1.25 Gbps の組込型トランシーバの 2 倍を超える性能である。各 RocketIO ブロックは、物理コーディング・サブレイヤ (PCS) と物理メディア・アタッチメント (PMA) を内蔵する標準 SerDes トランシーバで使用されている共通機能の完全なセットを提供している。これに対して、クロック/データ・リバリ (CDR) を持つ「プログラマブル ASSP」製品は、最も基本的なトランシーバ機能しか提供していない。

Virtex-II Pro ファミリで使用している IBM 社の PowerPC 405 プロセッサ・コアモジュールは、FPGA 内で使用可能な最高性能の組込型プロセッサである。PowerPC アーキテクチャは、通信システム、工業用制御システム、テスト・システム、計測システムなどの多くのマーケットで使用されている。現在業界では、IBM 社から PowerPC アーキテクチャのライセンスを取得しているのは、ザイリンクスと Motorola 社だけである。

### 完全な RocketIO SerDes 機能

- 4 ~ 16 チャンネルのマルチギガビット・トランシーバ
- チャンネル当たり 622 Mbps ~ 3.125 Gbps のデータレート
- 内蔵オプション: 8B/10B、プリエンハシス、チャンネル・ボンディング機能

Virtex-II Pro デバイスは 4 ~ 16 個の RocketIO ブロックを内蔵している。各 RocketIO ブロックは、実績のある Mindspeed 社の SkyRail 技術を使って、全二重チャンネル当たり 622 Mbps ~ 3.125 Gbps のボーレートをサポートしている。RocketIO ブロックは、8B/10B エンコードデコード、出力プリエンハシス、チャンネル・ボンディング、カンマ検出に対してユーザ設定可能なサポートを内蔵している。RocketIO ブロックは SystemIO ソフトウェアコアモジュールと組み合わせて使用されて、XAUI (10 Gigabit Ethernet の場合) や Gigabit Ethernet のような新しいインターフェイス標準とプロトコルをサポートする。

RocketIO ブロックは、広帯域データ転送に対して従来型パラレル I/O 標準より優れた大きな利点を提供している。例えば、78 MHz で動作する 2 本の 128 ビット幅同期 LVTTTL バスを使う全二重 (送受信) の毎秒 10 ギガビットのインターフェイスをインプリメントするためには、256 本の PCB パターンが必要である。4 個の RocketIO ブロックを使って、この同じデータ帯域幅を 16 本の PCB パターンだけでインプリメントすることができる。これは、PCB 配線面積が 94 パーセント小さくなることを意味

している。広いパラレル・バスと比較すると、高速シリアル・インターフェイスのボード面積は小さく、消費電力も小さくて済む。

### 10 Gbps インターフェイスの例

高度な代表的アプリケーションでは、XC2VP4? Virtex-II Pro デバイスを使って、Mindspeed 社のクワッドSerDes を実装する別のボードに対する全二重 10 Gbps のバックプレーン・インターフェイスを構成している。このようなインターフェイスでは、4 個の RocketIO ブロックと 16 本のバックプレーン・パターンが必要である。Virtex-II Pro デバイスは Mindspeed 社の SkyRail デバイスと互換性を持っているため、XC2VP4 の 4 本のシリアル出力対と 4 本のシリアル入力対をそれぞれ対応する 4 本の入力対と 4 本の出力対に直接接続することができる。10 Gbps の各出力データは、4 個の RocketIO ブロックに接続されている 128 ビット幅の内部バスから駆動される。この 4 個の RocketIO ブロックは同じクロックを使って、個別にシリアル化され、エンコードされる。このケースでは、32 ビットのデータがあり 78 MHz で RocketIO ブロックを駆動する。32 ビット・データの各 8 ビット・バイトは 8B/10B エンコーディングを使って 10 ビット・コードにエンコードされ、出力データ・ストリームは信号変化が密になるように、かつ "0" の数と "1" の数が平均で等しくなるようにエンコードされる。前者は、"0" または "1" の無制限な連続で受信データが構成されていても、クロックを正確に再生するための十分な数のエッジが存在するようにするためである。後者は、データ・ストリームに無関係に、安定な平均電圧で出力差動対が「DC 平衡」するようにするためである。8B/10B を使うと、出力は  $3.125 \text{ Gbps}$  (ボーレート =  $10/8 \times 32 \times 78 \text{ MHz}$ ) で動作し、データレートは  $2.5 \text{ Gbps}$  (=  $32 \times 78 \text{ MHz}$ ) になる。

4 本の差動信号対は、XC2VP4 パッケージの外側ピンから高周波エッジ・コネクタ、バックプレーン、もう一つの高周波エッジ・コネクタを経由して Mindspeed 社のクワッド SerDes に配線することができる。このルーチンに対しては、高速 PCB レイアウト技術を使って、厳しいシグナルインテグリティ条件を満たすようにし、信号パスを完全にシミュレートしておく必要がある。RocketIO ブロックは、4 レベルのプログラマブル信号プリエンハシスを提供して、最大 24 インチの FR-4 PCB 材を駆動できるようにデザインされている。例えば、短い信号パターンは減衰量が小さいため、デフォルトの 10% プリエンハシスが使われる。長い信号パターンでは高周波信号の減衰が生じるため、徐々に閉じる差動信号ウインドウになる（「アイ(目)」と呼ばれている）。このケースでは、デバイス・コンフィギュレーション時に出力ドライバにプリエンハシスを追加することができる。これにより、出力ドライバが各新しいデータ・ビットを一時的にオーバドライブして、信号減衰量を補正する。これにより、受信側での差動分離が良くなり、データ・インテグリティが改善される。

一方、受信側では、差動 4 チャンネルを個別にパラレル化し、それぞれを共通のクロックに再同期化して 128 ビット送信データを再生する。受信側の Virtex-II Pro デバイス内部では、各 RocketIO ブロックがクロック信号とデータ信号を取り出して、エンコードされた受信データ・ストリームをパラレル化する。クロック情報は 8B/10B エンコーディングを使ってデータ変化から取り出される。取り出されたクロックを使って、受信データをレジスタに入力し、10 ビット・コードから 8 ビット・データに戻される。

シリアル 4 チャンネルは、4 本の個別 2.5 Gbps データレート・パイプではなく、チャンネル・ボンドされて 1 本の 10 Gbps データレート・パイプを構成する。このため、3 個の受信 RocketIO ブロックとそ

のデータはマスタ RocketIO ブロックと呼ばれる4 番目の取り出したクロックに再同期させる必要がある。これは、パターン長の差により4 チャンネル間に伝搬遅延差が存在して、4 個の再生クロックが異なってしまうことがあるために必要となる。各 RocketIO ブロックには、マスタ・クロックに対してチャンネル位相を合わせるイラスティック・バッファ(elastic buffer)が内蔵されている。位相合わせは、データ伝送が開始される前に送信される自動トレーニング・シーケンスにより決定される。

トレーニング・シーケンス開始、再送要求、バッファ・クリアなどのコマンド用に送信器から受信器へ送る制御文字も存在する。「カンマ」文字と呼ばれるこれらの特別コマンドは、データ・ワードと一致しない特別コードを使っている。自動カンマ検出機能が各 RocketIO ブロックに内蔵されている。

以上まとめると、RocketIO ブロックは優れた機能とユーザ設定機能を提供し、8B/10B、チャンネル・ボンディング、信号プリエンハシス、カンマ検出機能を内蔵している。RocketIO ブロックは SystemIO ソリューションのソフトIP ライブラリを使って動作して、高度なシステムで高速な試作接続性ソリューションを提供する。

### 強力な PowerPC 組込型プロセッサ・コアモジュール

- 1 ~ 4 個の組込型 PowerPC 405 コアモジュール
- 300+ MHz クロック周波数で420 以上の Dhrystone MIPS
- 新しいアーキテクチャ・パラダイムを可能にする強力な OCM™コントローラ
- 64 ビットの CoreConnect™ソフトバス

PowerPC 405 コアモジュールは、高性能小チップ面積低消費電力用に最適化された 32 ビット・ハーバード・アーキテクチャを採用した組込型プロセッサ・コアモジュールである。Virtex-II Pro FPGA に内蔵されている PowerPC コアモジュールは、IBM Blue Logic™コアモジュール・ライブラリで使用されている実績のある最適面積 0.18 ミクロン IBM PowerPC 405 の 0.13 ミクロン・インプリメンテーションである。特化されたユーザ設定可能なロジックが、コアモジュールの全ノードを FPGA 構造にインターフェイスするため、接続はザイリンクス ISE ソフトウェア内でユーザがすべて設定することができる。この方法で、コアモジュールの 700 個の全 I/O ノードがすべてユーザ・デザインから使用可能で非常に広い帯域幅を得ることができる。これに対して、FPGA 構造に対するバス・インターフェイスに制約がある個別処理デバイスでは、I/O ピンの制約のため、このレベルの帯域幅を得ることはできない。大規模の各 Virtex-II Pro デバイスは、1 ~ 4 個の組込型 PowerPC 405 プロセッサを内蔵している。

PowerPC 405 コアモジュールは、300 MHz を超えるクロック周波数で動作し、計算定格値は 420 Dhrystone MIPS を超える。個別の 16 K バイトインストラクションキャッシュと 16 K バイトデータ・キャッシュ、メモリ管理ユニット、タイマ、デバッグ回路などの機能の完全なセットを内蔵している。この結果として、Platform FPGA のプログラマブルな柔軟性と密に結合された SoC プロセッサ・コアモジュールが構成されている。

PowerPC 405 コアモジュールは独自のオンチップ・メモリ(OCM)コントローラを内蔵しており、プロセッサバスを使わずに固定数のインストラクションとデータ・メモリに対する高速アクセスを提供するこ

とができる。Virtex-II Pro アーキテクチャに内蔵されているデュアル・ポート・ブロック RAM は、個別のインストラクション側 OCM とデータ側 OCM に使うことができる。ISOCM とDSOCM は、使用可能なブロック RAM 数に応じて、それぞれ最大 128 K バイトと 64 K バイトをアドレス指定することができる。この機能を使うと、メモリ転送でプロセッサバス・レイテンシが影響しないため、「インテリジェント・メモリ」や高速テーブル・ルックアップのようなあるクラスのアプリケーションに非常に広いシステム帯域幅を提供することができる。柔軟な FPGA 構造とデュアルポート OCM 機能のこの組み合わせは、これまでのプログラマブル・プラットフォームでは得られなかったシステム・アーキテクチャの柔軟性を提供する。

OCM 機能により、多くの組込型アプリケーションが小型のプロセッサバスまたはプロセッサバスなしで効率良く動作することができる。128 K バイト未満のコード・スペースと 64 K バイト未満のデータ・スペースを持つアプリケーションは、完全に Virtex-II Pro デバイスに収容することができる。例えば、小型パケット処理エンジンは、広帯域ヘッダ処理用に 1 個の PowerPC 405 コアモジュールと数個のブロック RAM を使ってインプリメントすることができる。これらのケースでは、デバイス I/O ピンまたは外付けメモリの追加なしで、アプリケーションを Platform FPGA 内に完全にインプリメントすることができる。多くの FPGA アプリケーションは、現在多くの FPGA ロジック・リソースまたは外付けコンポーネントを必要とする複雑なステートマシン、データ監視機能、例外処理機能を含んでいる。これらを OCM 機能を持つ PowerPC 405 コアモジュールを使って効率良くインプリメントすることが可能になり、高速データ処理のロジック・リソースを節約することができる。

高度で複雑なシステムを持つ従来型組込型処理アプリケーションに対しては、PowerPC 405 コアモジュールを CPU またはシステム・コプロセッサとして使うことができる。例えば、1 個の PowerPC 405 プロセッサ・コアモジュールを使って Wind River Systems 社の VxWorks または Linux を動作させると同時に、他の PowerPC 405 コアモジュールを通信コプロセッサまたはコンプレックス・ステートマシン・エンジンとして使うことができる。Virtex-II Pro デバイス内で使用可能な複数の組込型 PowerPC プロセッサの他に、ザイリンクス MicroBlaze™ ソフトプロセッサ・コアモジュールも FPGA 構造に導入することができる。この方法では、プロセッサの需要度に応じてシステム・プロセス機能を調整することができる。各 PowerPC 405 コアモジュールは全体チップ面積の内の小さな面積しか占有しないため、新しいシステム・アーキテクチャ PowerPC 405 は低価格で強力なツールを提供する。

複雑な PowerPC 405 アプリケーションに対しては、IBM 社の CoreConnect™ バス・アーキテクチャを使用することができ、広帯域 64 ビットバスを 100 ~ 133 MHz でサポートすることができる。この CoreConnect アーキテクチャは、インテグレーションを容易にし、システムとペリフェラル・コアモジュールの再利用を可能にするために開発されている。このバスは、高速データ転送用のプロセッサ・ローカルバス(PLB)、汎用オンチップ・ペリフェラル・バス(OPB)、システム制御用のデバイス・コントロール・レジスタ(DCR)バスから構成されている。最大の柔軟性を得るため、CoreConnect アーキテクチャは Virtex-II Pro FPGA 構造内にインプリメントされる。ユーザは大規模なライブラリからペリフェラル IP を呼び出すか、バス・インターフェイス用にユーザ固有のソフト IP を開発することができる。例えば、カスタム通信プロセッサは、CoreConnect バスに対して SDRAM コントローラ、PCI インターフェイス、Gigabit Ethernet MAC、UART、増大を続けるザイリンクスのソフト IP ペリフェラル・ライブラ

りからのその他のペリフェラルの任意の組合わせを使って開発することができる。MPX プロセッサバス・ブリッジ、エコー・キャンセラ・アルゴリズム・エンジン、またはソフト浮動小数点ユニットのような特化したユーザ定義のペリフェラルを標準バス・インターフェイス・マクロを使って、CoreConnectアーキテクチャにインターフェイス指せることができる。ペリフェラルが完成したら、将来のアプリケーションで容易に再利用することができる。OPB 用に開発されたプロセッサ・ペリフェラルも、MicroBlaze ソフト・プロセッサと互換性があり、システムに柔軟性を追加することができる。

## 業界をリードする組込型ツール

ザイリンクスは組込型業界のマーケット・リーダーである Wind River Systems 社と協力して、Virtex-II Pro FPGA 内蔵のターゲット PowerPC 405 プロセッサ用にソフトウェア・ツールの強固なセットを提供している。Wind River System 社は、広範囲な開発ツール、リアルタイム・オペレーティング・システム(RTOS)、ミドルウェア・ソリューションにより、マーケットで広く知られている。Wind River ツール(コンパイラ、ソフトウェア・デバッグ、JTAG 動作制御ハードウェア・プローブ)の Virtex-II Pro 向け特定バージョンが OEM 契約を通してザイリンクスから配布される。これには次の内容が含まれている。

- Diab™コンパイラ
- ソフトウェア・デバッグの SingleStep™ with vision
- visionPROBE II JTAG 動作制御ハードウェア接続プローブ

Diab C/C++コンパイラは PowerPC プロセッサ向けに最適化されており、コンパイラ・オプションの細部の調整が可能である。これを使うと、ユーザはスピード、コードサイズ、アプリケーションのメモリ使用率をバランスさせることができる。Diab 製品のフロントエンドは言語パーサであり、言語に依存しない表現を生成し、コンパイラの 5 つのバックエンド・オプティマイザ・ステージの力を発揮させる。Diab 社は、グローバル、コード・セクタ、コード・ジェネレータ、ピープホール、インストラクションスケジューラ・ステージの最適化を提供し、さらに IBM PowerPC 405 プロセッサのアーキテクチャに固有な機能もサポートしている。

SingleStep with vision はマルチウインドウのフル機能を持つ組込型ソフトウェア・デバッグ・ツールであり、コマンドライン・ツールより遥かに優れている。この製品は、ボードハードウェアの開発、ドライバ/ファームウェアの開発、ソフトウェア・デバッグに最適である(したがって、ツールの 2 つ以上の要求を 1 つに減らすことができる)。ソフトウェア・デバッグは組込型システムをデバッグするための基本的な"run、start、stop"制御を提供する必要があるが、SingleStep は最も機能が豊富なデバッグの 1 つが使用可能であるためこれらの要求以上のものである。

SingleStep は、リアルタイム・ターゲット制御、高速ダウンロード、内蔵ハードウェア診断、フラッシュ・メモリのプログラミングをサポートしている。このソフトウェアは、テストを自動化するスクリプト言語を使って、統合ペリフェラルとコマンドライン・インターフェイスの設定と初期化を可能にする独自のプロセッサ固有のレジスタ・インターフェイスを提供している。

このデバッグは、ハードウェア・ブレークポイントとレジスタ・ウインドウを使って PowerPC 405 プロセッサのサポートを提供している。オンチップ・トレース機能の他に、SingleStep はインストラクションの

完了、分岐の成立、例外の発生、データ・アドレス・コペア、その他の強力なデバッグ・イベントの表示機能も提供している。

visionPROBE II は、SingleStep with vision ホスト・デバッガと Virtex-II Pro ターゲット・デバイスとの間で高速パラレル接続を提供する。この製品を使うと、システム・デバッグと最大 400 K バイト秒の高速ダウンロード実行のためのターゲットの JTAG 動作を制御することができる。このプローブは、レジスタの初期化、ハードウェア診断、フラッシュ・プログラミング、ハードウェア・ブレイクポイントの機能を提供する。

ザイリンクスと Wind River Systems 社は、組込型システム開発に対して戦略的な提携を行っている。この提携により、新ツールの構築と新製品導入が期待される。

極めて厳しいツール予算と最小ツール要求を持つユーザに対して、ザイリンクスは Virtex-II Pro ファミリーと MicroBlaze ソフト・プロセッサ向けにポピュラーな GNU コンパイラ/デバッガ ツールチェーンの固有なバージョンを制作している。このツールにより、ザイリンクスはザイリンクス・カスタム・サポートではなく、パブリック・ドメインでサポートを受けることができる低価格ソフトウェア ツールチェーンを提供できるようになる。ドキュメントは web から提供しており、サードパーティ会社が GNU をサポートするためにコンサルティング サービスを提供することができる。次の機能が含まれている。

- gcc - コンパイラ(ザイリンクス Virtex-II Pro に固有)
- gdb - ソフトウェア・デバッガ(ザイリンクス Virtex-II Pro に固有)
- ザイリンクス・パラレル IV ケーブル JTAG 動作制御ハードウェア接続プローブ

### リアルタイム・オペレーティング・システム(RTOS)

ユーザ・アプリケーションの複雑さに応じて、組込型システム・デザインがハード・リアルタイム・オペレーティング・システムを必要とする場合と必要としない場合がある。多くのゲートを必要とするプロトコルまたはアルゴリズムに直面しているハードウェア技術者の場合は、簡単ないくつかの C/C++ コードを用意するだけで済む。高速割込み、最大動作時間、最小レイテンシに対する厳しい条件を持つ、さらに複雑な他のアプリケーションの場合は、強固な RTOS が必要になる。ザイリンクスは WindRiver Systems 社の VxWorks® RTOS をサポートして、リファレンス用の WindRiver Systems 社認定のザイリンクス・ボード・サポート・パッケージ(BSP)を提供している。

### 高度な FPGA 構造

- Platform FPGA を可能にする IP-Immersion アーキテクチャ
- 高速なワイド・バス向けに最適化された第 4 世代のセグメント型配線技術
- 最大 852 本のユーザ I/O ピン(RocketIO シリアル I/O 対を除く 426 の差動 I/O ペア)を持つ 840 Mbps IO をサポートするフレキシブルな SelectIO-Ultra™ 技術
- 全シングルエンド I/O に対するインピーダンス整合機能を内蔵してシグナルインテグリティを向上させるザイリンクスのインピーダンス制御技術(XCITE テクノロジー)機能
- 18K ビットの組込型デュアルポート・ブロック RAM リソース

- 18 ビットx 18 ビットの組込型マルチプレクサ・ブロック
- スキュー除去と周波数/位相操作をサポートするDCM (デジタル・クロック・マネージャ)ハード・マクロ
- デザイン保護用のビットストリーム暗号化

Virtex-II シリーズは、高性能システム向けの Platform FPGA ソリューションである。高度なFPGA プロセス技術を採用して構築された機能セットにより、システムメーカーが迅速なタイム・トゥ・マーケット 優れた技術生産性、低コスト開発を達成するためのツールセットを提供している。

## IP ソリューション

Virtex-II Pro Platform FPGA ソリューションには、IP ソリューションの包括的なライブラリが含まれている。ザイリンクスの IP ソリューションを使うと、設計者は Virtex-II Pro Platform FPGA を使ってほとんどすべてのアプリケーションに対応できる。3 つの主要なアプリケーション領域は、接続性の SystemIO Interface ソリューション、PowerPC プロセッサと MicroBlaze ソフト・プロセッサを含む Empower Processing ソリューション、デジタル信号処理システム向けの XtremeDSP ソリューションである。

Processor System Generator ツールを使うと、プロセッサ・ペリフェラルの増大し続けるIP ライブラリを使って、プロセッサベースの組込型システム・デザインが可能になる。このツールは、プロセッサ、ペリフェラル、CoreConnect バス技術を使って完全な組込型システムを構築する際に役立つ。一般に組込型システムに内蔵される、ザイリンクスが提供しているペリフェラル・ソフトIP コアモジュールには、UART、アービタ、汎用 I/O、タイマ/カウンタ、メモリ・インターフェイス、Gigabit Ethernet MAC などが含まれている。接続性コアモジュールは、既存および新しいマルチギガビット・シリアル標準およびパラレル標準をサポートしている。サポートしている例としては、XAUI インターフェイスを持つ 10 Gigabit Ethernet MAC、Gigabit PHY を持つ 1 Gigabit Ethernet MAC、RapidIO、POS-PHY、Flexbus、PCI、PCI-X などがある。DSP コアモジュールには、フィルタ、FFT のような基本ビルディング・ブロックと、Reed-Solomon エンコーダ/デコーダや Viterbi デコーダのようなさらに複雑な機能が含まれている。また、ザイリンクスは System Generator ツールも提供している。このツールは The MathWorks 社との協力により開発されたもので、これを使うと、設計者は従来型 DSP プロセッサの世界から FPGA の世界へ移行することが可能になり、必要とされる性能と柔軟性を実現することができる。

すべてのコアモジュールは最適化および検証済みであるため、技術生産性を向上させ、マーケット投入時間を短縮することができる。ザイリンクス・ソリューションには、IP 自体の他に、ツール、トレーニング、ボード、参考デザイン、パートナーシップも含まれている。詳しい情報は [www.xilinx.co.jp/ipcenter](http://www.xilinx.co.jp/ipcenter) の IP センタで提供している。

## 強力な新システム機能

- レイテンシの小さいネットワーク処理機能
- 次世代接続標準向けのプロトコル・ブリッジ
- アーキテクチャ論理合成用のプラットフォーム

- 新しい開発パラダイムを可能に
- コンプレックス組込型システム

Virtex-II Pro ファミリは、ストレージ・エリア・ネットワーク、ワイヤレス・インフラストラクチャ、VoIP ネットワークなどのような、小さいレイテンシでの処理が必要なネットワーク処理に対して、プログラマブル・システム・プラットフォームを提供する。デジタル化現象は、タイプと優先順位に基づき優先順位付けされたパケット・ルーティングの必要性を加速している。例えば、ライブ音声パケットとライブ・ビデオ・データ・パケットは、データ・ファイル・パケットより遙かに小さいレイテンシを必要とする。新しいデータ・ネットワーク・アプリケーションでは、広帯域トラフィック、新しいサービス・レベル、優先順位を処理する必要がある。多くのケースで、Virtex-II Pro デバイスは他のソリューションより、特化したネットワーク・プロセッサ(NP)さえも凌ぐ、高い全体性能を提供することができる。Virtex-II Pro アーキテクチャを使うと、大部分のコマンド・パケットを FPGA ロジックを使って迅速に読み出してルーティングすることができ、NP で必要とされる長いソフトウェア実行時間は不要である。FPGA ロジックは、特別なパケット・タイプに対してプロセッサインストラクションが必要な場合のみ、PowerPC プロセッサ・コアモジュールに割込みを行う。例えば、パケットをFPGA ロジックとPowerPC 405 OCM ポートの両方からアクセス可能な 16 K バイトのデュアルポート・メモリ領域に保存することができ、このメモリ領域は制御とパケットの扱いの迅速な変更を可能にする。頻度の高いケースの処理に FPGA ロジックを使い、ロジックのスレーブとしてプロセッサ・コアモジュールを頻度の低いケースの処理に使うと、Virtex-II Pro アーキテクチャは NP より高い全体性能を提供することができ、さらに FPGA ロジックしか使用しない場合より高度な処理機能を提供することができる。

Virtex-II Pro ソリューションは、次世代接続性標準を使って異なるデータ・ストリームをまとめるためのプロトコル・ブリッジに適している。新しいシリアル・プロトコルとしては、Gigabit Ethernet、10 Gigabit Ethernet XAUI、3GIO、Serial ATA、Infiniband、Fibre Channel などがある。これらを相互に、さらに PCI、PCI-X、POS PHY Level 3/4、Flexbus 3/4、RapidIO、840 Mbps LVDS のような制定されたパラレル標準に、シームレスにインターフェイスする必要がある。これは、標準の変更、汎用のインターフェイスコンポーネントの不足、使用可能なソリューションの柔軟性欠如のため、システム開発者にとって困難な課題になる。これまで、システム設計者は各種の FPGA、デスクリット物理トランシーバ、デスクリット通信プロセッサを使って、複雑なシステム課題を解決する必要があった。シリアル・トランシーバを内蔵している新しい「プログラマブル ASSP」でもロジック機能を補うため頻繁にFPGAの追加が必要となるため不十分である。シリコン、ソフトウェア、IP コアモジュールを全て統合するために強力なザイリンクス SystemIO 機能を使った Virtex-II Pro ソリューションは最も柔軟な検証済みプロトコル・ブリッジ・ソリューションを提供して、タイム・トゥ・マーケットの短縮と開発コストの削減を可能にしている。

Virtex-II Pro ソリューションは、信号処理、工業用制御、画像処理、航空用アプリケーションで使用される複雑な組込型システム向けのアーキテクチャ合成プラットフォームを提供する。従来より優れたハードウェアと複雑なソフトウェアを採用していた複雑な組込型システムは、初めて、実際のハードウェア速度でエミュレートし、インシステム・デバッグを行い、性能を改善するためのアーキテクチャの変更を数日または数週間で行いながら、並行して開発を行うことができるようになった。Virtex-II Pro アーキテクチャは豊富なロジック、メモリ、I/O、処理リソースを提供して、新しいアーキ

テクチャ合成ツールにより、製品寿命サイクルにわたってハードウェアとソフトウェアの柔軟な分割が可能になった。多くのケースで、高い集積度の Virtex-II Pro コンポーネントを使うことが可能になりシステム開発を短縮できる。そのため、追加リソース(PowerPC プロセッサ・コアモジュールの追加など)を使って、開発中のボードレベルコンポーネントまでもエミュレートすることができる。カスタム ASIC または ASSP から明らかに得ることができないこの柔軟性により、100 倍または 1000 倍も低速なソフトウェア・シミュレータを使う代わりに、システムの「エミュレーション」を高速に実行することができる。コンパクト Flash、CDROM、インターネット、ワイヤレス伝送、またはその他の柔軟な手段を使うと、システム全体をソフトウェアのみのアップグレードと同じ位簡単にアップグレードすることができる。システム デザインは、開発ソフトウェアとロジック・ベースおよびプロセッサ・ベースのプラットフォームをアSEMBLするのための大規模なソフト IP ライブラリを使うことにより、簡素化される。

Virtex-II Pro ソリューションは、ハードウェアとソフトウェアの密接なデザインとデバッグによりシステム開発の新しいパラダイムを可能にし、技術生産性に大きな利点をもたらす。ソフトウェア開発は、コンフィギュレーションされたサンプル・プラットフォームによる実デバイスを使って、早期に開始することができる。新しいシステム・ボードの開発を待つ必要がなくなった。組込型プロセッサはシステムの迅速な試作に使用することができるため、ソフトウェア開発を加速することができる。あらかじめ組込型プロセッサを使って C ベースのアルゴリズムとしてエミュレートすることにより、暫定的なハードウェア・プラットフォームを迅速に構築できる。さらに、ハードウェアとソフトウェアのデバッグは、それらの動作速度最適化の進行中でも、リアルタイム表示しながら実行することができる。

ザイリンクス ChipScope Pro ツールを使うと、ユーザはロジック解析とバス解析コアモジュールをデザインに直接挿入することができ、個々の信号とバス・トランザクションをアクセスすることができる。IEEE 1149.1 (JTAG)テスト・アクセス・ポートを介してコアモジュールと交信できる ChipScope Pro インターフェイスを使うと、ユーザはこれらのコアモジュールのデータを解析することができる。ChipScope Pro は、組込型プロセッサとFPGA 構造内にインプリメントされた IP コンポーネントとの間で発生するCoreConnectバス・トランザクションについての情報を取り込んで表示する機能を提供している。オンチップ信号動作の表示は技術生産性を著しく向上させ、ザイリンクス FPGA ロジックのみが提供している。

複雑な組込型システムは FPGA ロジックとプロセッサ・コアモジュールに最適に再分割することができ、ロジックの動作速度とソフトウェア・コードの柔軟性との間で連続なトレードオフが可能である。例えば、エコー・キャンセラ・アルゴリズムの最初のインプリメンテーションはすべて、コンパイルされた C コードによるソフトウェアで構成して PowerPC コアモジュール上で実行して、システム・ソフトウェア開発を開始することができる。システムの最適化が進んだら、DSP アルゴリズムの一部をザイリンクス System Generator™とThe MathWorks 社の MATLAB®/Simulink®を使って FPGA ロジックに移行して、量産向けの大幅に高速化した機能的に同じシステムを実現することができる。この方法には、システム設計者とアーキテクトが開発時間、システム性能、システム・コストの間のトレードオフの最適化を行う大きな柔軟性がある。

Virtex-II Pro ソリューションにより可能になった組込型システムが「すべてソフト」であることは重要なことであり、ロジックとソフトウェア・コードの両方をソフト・データ・ファイルにより制御できることである。

これにより、デザイン・メンテナンスのコストが削減され、デザインの再利用が強化される。ハードウェアとソフトウェアを含むシステム全体のアップグレードが、SystemACE コンフィギュレーション・ソリューションを使って 1 つの統一したソフト・ファイルとして実行できるようになり、現在のソフトウェアのみのアップグレードと同程度に低コストで容易に実行可能になる。

Virtex-II Pro ファミリーはリーダシップ機能を可能とすると同時に、最先端のコスト性能比を提供する。マルチギガビット・トランシーバと複数のプロセッサ・コアモジュールの高度な統合により、コンポーネントコスト、PCB 面積、消費電力、システム開発リソースを削減できる。

#### 他の選択肢であるリコンフィギャブル以外のソリューションと比較した長所

- カスタム ASIC
- 固定機能チップセットおよび ASSP
- デスクリートコンポーネントによるマルチチップ・ソリューション

Virtex-II シリーズは、ASIC に比べて遥かに短いタイム・トゥ・マーケットと低い開発コストを提供する。フルカスタム ASIC と比べると、Virtex-II Pro ソリューションは開発時の大変な検証作業を不要にし、低速ソフトウェア・シミュレーションではなく、システム動作速度でのハードウェア/ソフトウェア・デバッグが可能になる。さらに、Virtex-II Pro 機能の XCITE テクノロジーによるシグナルインテグリティ、検証済み固定機能、豊富なソフト IP コアモジュールにより、開発サイクルの様々なポイントで必要とされる時間を大幅に削減することができる。

Virtex-II シリーズは、低価格ツール、低価格のサード・パーティ IP、NRE コスト不要といった、ASIC に比べて遥かに低い開発コストを提供する。また、Virtex-II シリーズはソフトウェア開発のハードウェア可用性を向上させることにより、技術生産性を高め、ソフトウェア・デバッグ速度を上げる。さらに、強力な開発ツールが使用できるため、ARM ベースまたは MIPS ベースの組込型プロセッサを簡単に PowerPC プラットフォーム移行することができる。大部分のケースで、PowerPC 405 コアモジュールは一般的な ARM または MIPS プロセッサ・コアモジュールより高い性能と強力な機能を提供し、性能が重要となるアプリケーションの試作を加速する。

今日、多くの広帯域システムは大規模な FPGA をデスクリート SerDes トランシーバ、デスクリート通信プロセッサ、またはその他のデスクリートコンポーネントと合わせて使っている。Virtex-II Pro ファミリーはこれらのコンポーネントの多くを組込んで、タイム・トゥ・マーケットを短縮し、性能を改善し、さらにシステム・コストの利点も提供することができる。FPGA とその他のデバイスを使うマルチチップ・ソリューションは、一般に、各デスクリート・クワッド 3.125 Gbps SerDes トランシーバまたはデスクリート・マイクロプロセッサとインターフェイスするために数百本を超える I/O ピンを必要とする。その結果、数百本の PCB パターンのために PCB が複雑になってしまい、オンチップ/オフチップの接続によりシステム性能が低下し、全体システム・コストが高くなってしまふ。多くのケースで、ピン数が少なくなると、使用可能な I/O ピン数の代わりに、ロジック集積度と機能要求に基づいてユーザが FPGA を選択することに役立ち、全体システム・コストを低く抑えることができる。このようなケースでは、Virtex-II Pro デバイスはデスクリートコンポーネントを統合して、システム開発を短縮し、システム性能を向上させ、さらに低価格にすることができる。

Virtex-II Pro プラットフォームにはもともと柔軟性があるため、プログラマブル・システム・デザインを使うと、システム・アーキテクトは初期プロトタイプ完成後に、アーキテクチャ・トレードオフの微調整を行うことができる。すなわち、性能と複雑さのトレードオフに応じて、ハードウェアとソフトウェアの連続な組み合わせの中から、ハードウェアのみ、ソフトウェアのみ、または任意の組み合わせとして、各サブシステム機能を自由にインプリメントすることができる。例えば、ワイヤレス・インフラストラクチャ・システムで、始めはレイク・フィルタ機能をハードウェアでインプリメントし、その後に開発の後半でソフトウェア制御の必要が増したとき、ファームウェア・インプリメンテーションに変えることができる。これは、多くの時間とコストの犠牲を払わない限り、カスタム ASIC では不可能なことである。

Virtex-II シリーズは固定チップセットや ASSP より遥かに柔軟性があり、エンドユーザ製品の差別化を可能にし、さらに将来サポートを予測可能にする。一般に ASSP または Virtex-II Platform FPGA 内に収容できるデザインの場合、FPGA インプリメンテーションの初期デザイン投資は高価になることがあるが、Platform FPGA インプリメンテーションの長所としては、カスタマイゼーション機能、デザイン再利用の容易性、デザイン・バグ修正機能、ユーザ・エンド製品の差別化、システム全体の所有権と管理などがある。これらは、ASSP が多くのエラッタ・リストを持ち、将来の入手性が予測できないような、競争の厳しいマーケットでは重要である。これとは対照的に、適切に開発された Platform FPGA デザインは、容易に保守され、必要に応じて再利用できるソフト・デザインである。システム・メカは完全なプログラマブル・システムに対して Virtex-II Pro プラットフォームを使うことができ、短期的には競争上大きな利点を得ることができ、さらに製品の長期的な所有権と管理を強化することができる。