

Xcell journal

ISSUE 57 2006

THE AUTHORITATIVE JOURNAL FOR PROGRAMABLE LOGIC USERS

バーティカル市場における 「トリプルプレイ」の パズルを解く方法

Vertical Markets :
Piecing the Triple Play Puzzle

COVER

次期キラー
アプリケーション：
音声・ビデオ・データの
「トリプルプレイ」

WIRELESS

WiMAX が実現する
ワイヤレス ブロードバンド

WIRED

次世代 MAN 装置の開発

INDUSTRIAL/ SCIENTIFIC/MEDICAL

FPGA を使った
RFID リーダの設計法

CONSUMER

FPGA による
高速イメージ処理

STORAGE & SERVERS

FPGA を利用する
サイエンス向け
アプリケーションの推進

記事評価受付中!!
おもしろかった/役に立った記事はありましたか?
専用 Web サイトよりお気軽に投票してください。
http://www.xilinx.co.jp/publications/xcellonline/xcell_57/index.htm

 XILINX®

Xcelljournal

編集長 Carlis Collins
carlis.collins@xilinx.com編集 Forrest Couch
Forrest.couch@xilinx.com

編集アシスタント Charmaine Cooper Hussin

Xcell オンライン
編集担当 Tom Pyles
Tom.pyles@xilinx.com

アートディレクション Scott Blair

日本語版統括 澤田 修
osamu.sawada@xilinx.com制作進行 竹腰 美優紀
miyuki.takegoshi@xilinx.com

制作 オフオフ京都 (offoff-kyoto)

広告 有限会社エイ・シー・シー

印刷 ノブス株式会社



Xcell Journal 57 号

2006 年 7 月 24 日発行

Xilinx, Inc.
2100 Logic Drive
San Jose, CA 95124-3400ザイリンクス株式会社
〒163-1118
東京都新宿区西新宿 6-22-1
新宿スクエアタワー 18 階

©2006 Xilinx, Inc. All Right Reserved.

XILINX や Xcell のロゴ、その他本書に記載の商標は、米国およびその他の国の Xilinx 社の登録商標です。PowerPC は、米国またはその他の国における IBM 社の商標です。ほかすべての名前は、各社の登録商標または商標です。

本書は、米国 Xilinx, Inc. が発行する英文季刊誌を、ザイリンクス株式会社が日本語に翻訳して発行したものです。

米国 Xilinx, Inc. および Xilinx, Inc. 株式会社は、本書に記載されたデータの使用に起因する第三者の特許権、他の権利、損害における一切の責任を負いません。

本書の一部または全部の無断転載、複写は、著作権法に基づき固く禁じます。

Printed in Japan

ザイリンクスは バーティカル市場に特化し、 さらなる成長を目指す

今号は多くの執筆者が知識の共有を快く受けてくれたことで非常に多彩なトピックをご紹介しますが、これは、ザイリンクスの製品がいかに優れた融通性を提供し、また、対応アプリケーションの範囲がますます広がってきたことの証しでもあります。

ザイリンクスの Vertical Markets and Partnerships 部門、シニア ディレクター、Krishna Rangasayee が「次期キラー アプリケーション：音声・ビデオ・データの『トリプルプレイ』（Scoping the Next Killer App - Triple Play）」で述べているとおり、ザイリンクスは当初、21 世紀初頭の急激な業績悪化からの立て直し策として 6 つのバーティカル市場に特化することにしました。今日では、航空宇宙/防衛、オートモーティブ、放送、民生機器、産業/科学/医療（ISM：Industrial/Scientific/Medical）ストレージとサーバ、有線ネットワーク、無線ネットワークの全部で 8 つのバーティカル市場をサポートしています。

本誌 Xcell Journal 57 号では、それぞれのバーティカル市場における革新的アプリケーションについて特集記事や、多彩なトピックを紹介しています。「ザイリンクスが提供する低コストディスプレイ ソリューション」と「高性能ハンドヘルド アプリケーション向けの IDE HDD ソリューション」は、民生機器を対象とした記事です。「WiMAX が実現するワイヤレス ブロードバンド」は有線/無線ネットワークを対象とし、また「Mining Data Without Limits」（英語版 Xcell Journal 57 号に掲載。http://www.xilinx.com/publications/xcellonline/xcell_57/index.htm）は航空宇宙/防衛と ISM の市場関係者にお読みいただきたい記事です（「FPGA を利用するサイエンス向けアプリケーションの推進」は ISM にも通用する素晴らしいアプリケーションです）。

さらに、「Enabling Enterprise-Wide Data Security」、「Xilinx in Enclosure Management」、「Co-Processing Solutions for Delivering Storage Servers Over Distance」（以上の記事は英語版 Xcell Journal 57 号に掲載）など、ストレージ/サーバ市場向けの有益な記事も紹介しています。

トピックとしては多岐にわたりますが、今号の記事はどれも、現在、そして将来における PLD の長所と適合性にスポットを当てた内容となっています。今後、それぞれのバーティカル市場が発展を遂げ、現在では想像もつかないアプリケーションが誕生したとしても、柔軟性、適応性、そしてリプログラムビリティが重要だという点は変わりません。



Forrest Couch

Forrest Couch
発行人

VIEW FROM THE TOP

「複雑さ」への解決策は「プログラマビリティ」..... 2

VERTICAL MARKETS

次期キラーアプリケーション：
音声・ビデオデータの「トリプルプレイ」..... 4

Wireless

WiMAX が実現するワイヤレス ブロードバンド..... 6

Wired

次世代 MAN 装置の開発..... 10

Industrial / Scientific / Medical

FPGA を使った RFID リーダの設計法..... 16

産業オートメーション 制御ネットワークへの接続..... 20

Consumer

高性能ハンドヘルド アプリケーション向けの
IDE HDD ソリューション..... 25

ザイリンクスが提供する低コスト ディスプレイ
ソリューション..... 28

FPGA による高速イメージ処理..... 32

Storage & Servers

Virtex-4 FPGA-Immersed IP 利用による
RAID 6 用ハードウェア アクセラレーション..... 35

データ セキュリティのための FPGA..... 40

FPGA を利用するサイエンス向け
アプリケーションの推進..... 46

GENERAL

高性能 ExpressCard による PCI Express
向けソリューション..... 50

Synplify Pro を使って Spartan-3 FPGA の
性能を最大限に引き出す方法..... 54

SSO ノイズのシミュレーション..... 58

FPGA 向け ESL ツール..... 62

INFORMATION

ザイリンクストレーニング スケジュール..... 53

ザイリンクス イベント カレンダー..... 表3

広告索引

株式会社ミッシュインターナショナル..... 15

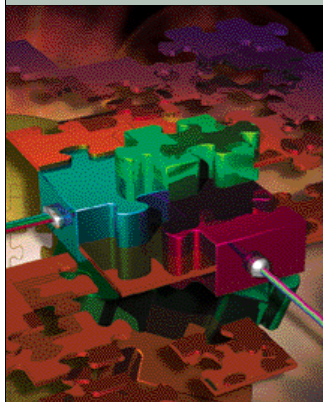
有限会社ヒューマンデータ..... 31

株式会社コンピューテックス..... 45

株式会社シンプリシティ..... 57

Xcell Journalのご送付先住所等の変更は：
<http://www.xilinx.co.jp/xcell/henko/>
Xcell Journalの新規定期購読のお申込みは：
<http://www.xilinx.co.jp/xcell/toroku/>

WIRELESS

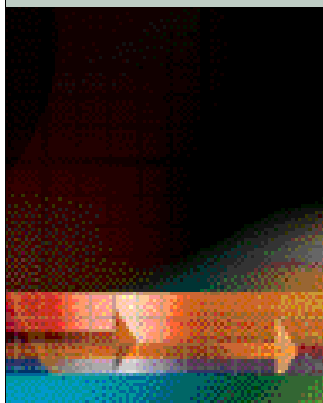


WiMAX が 実現するワイヤレス ブロードバンド

MAC サブシステムに
ザイリンクスの FPGA を使い、
WiMAX 製品のデザインに
他社との差別化を図る

4

WIRED

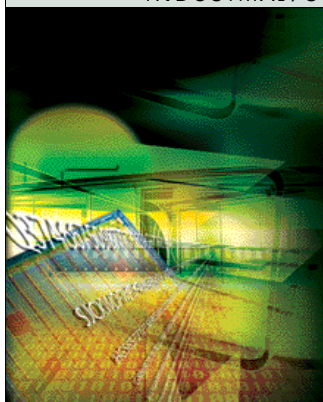


次世代 MAN 装置の開発

ザイリンクス RPR MAC
リファレンス デザインの活用による
IEEE 802.17 Resilient
Packet Ring 互換装置の
短期・省資源開発

10

INDUSTRIAL / SCIENTIFIC / MEDICAL



FPGA を使った RFID リーダの 設計法

RF コンポーネントと FPGA を
使った実用的・標準対応 RFID
リーダーのインプリメント

16

CONSUMER



FPGA による 高速イメージ処理

高品質イメージング モジュールの
開発と低コスト デバイスへの
インプリメント

32

Programmability: The Answer to Complexity

「複雑さ」への解決策は 「プログラマビリティ」

ザイリンクス、2006 年以降の成長に向けて準備万端



Wim Roelandts
CEO and Chairman of the Board
Xilinx, Inc.

2006 年は、半導体業界全体に大きな成長のチャンスをもたらす年となることが予想されます。特に数年前までは FPGA の採用が珍しかった市場では顕著でしょう。成長のチャンスが数多く訪れることでしょう。成長の原動力となる要因は複数あります。需要サイドから見ると、業界の成長につながる新たなアプリケーションがいくつも登場しています。

アナリストは半導体業界の成長率を 10% と見込んでおり、私自身もそう予測しています。この成長を後押しするのは言うまでもなく需要の増大です。潜在的な成長分野として真っ先に挙げられるのが、今も需要が伸び続けている携帯電話業界に支えられた無線通信であり、特に新たなインフラ機器を必要とする諸外国では大きな成長が見込まれます。

また、今後飛躍的な成長が見込まれる分野の 1 つとして有線通信、具体的には一般家庭用の光ファイバが挙げられます。日本では、家庭用光ファイバの加入者は新規の DSL 加入者をすでに上回っています。今年は米国のサービス プロバイダが家庭への大容量デ

ータ（従来の2～3倍）をサポートする新たな機器を導入するとともに、データの高速度伝送に対応するより高性能な機器を採用することから、米国でも同様の高成長が期待できます。

もちろん、2005年と同様、デジタル民生機器市場が半導体業界の成長をさらに牽引することは間違いありません。高品位テレ

処理装置、AVB（放送機器）無線通信など、次々に生まれる多種多様なアプリケーションや市場に採用され続けています。中でも最も貢献しているのはザイリンクスの最新型90nmプラットフォームFPGAで、業界第2位の競合他社と比較して90nmデバイスの販売高は2.5倍、出荷数は1,000万を超えています。

した。

PLD 市場の展望

今年、PLD 市場に初の65nmデバイスが投入されることで、さらなるコスト削減が可能となり、ASIC に対するザイリンクスの競争上の優位がますます高まることと

統合されればされるほど、複雑さも増すのです。 この複雑さへの唯一の解答がプログラマビリティというわけです。

びやフラットパネルディスプレイの価格が下がり続ける中、これら新技術を採用したテレビへの買い替えはますます進むでしょう。さらに、放送事業者や制作スタジオでは、こうしたニーズに対応するために伝送機器の買い替えやアップグレードの必要性が生じます。

アナログからデジタルカメラへの移行は引き続き急速に進むでしょう。消費者は高解像度のデジタル画像を保存するための新しい機器を必要とするので、PC 市場のさらなる成長にもつながります。

成長の準備万端

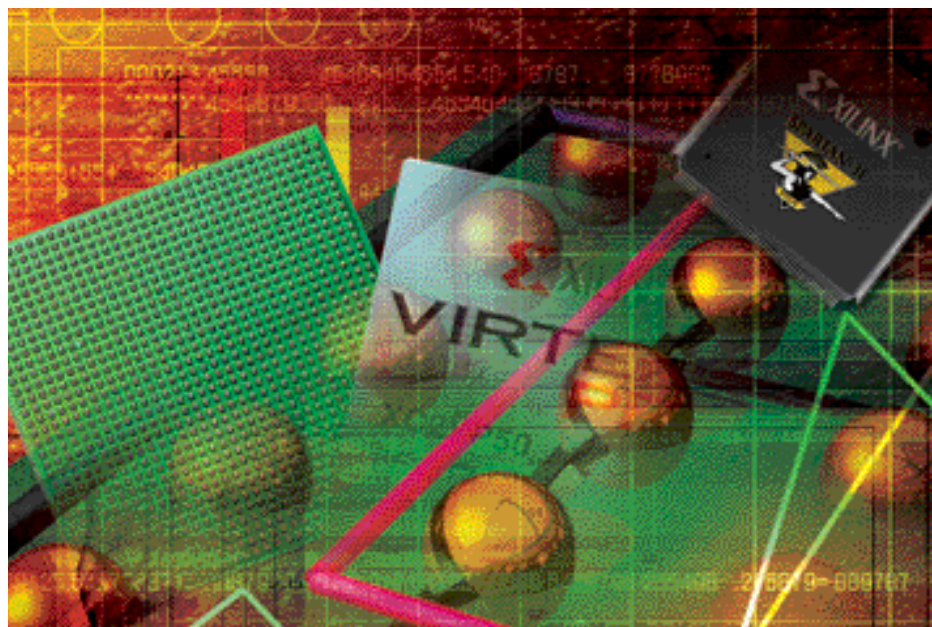
ザイリンクスは、今年以降特に大きな成長が見込まれます。直近の2005年12月期（2006年度の第3四半期）は、純益4億5,000万ドル、FPGA 市場シェアは過去最高の59%に達し、創業以来最高の数字となりました。また、新製品の販売高は連続して24%増を記録し、21世紀初頭の市場多角化戦略が功を奏したことは明らかです。半導体業界がバーティカル市場に特化し、顧客とシステムアーキテクチャレベルで関係を築く先駆けとなったのはザイリンクスです。こうした変革により、今日、ザイリンクスはお客様がコスト管理、Time-to-Market、リーダーシップといった目標を達成するための革新的で柔軟性に富む魅力的なソリューションを提供することで、設計上の複雑な難題を解決することに貢献しているのです。

バーティカル市場に特化し、顧客指向のアプローチを採用した結果、ザイリンクスのデザインは民生機器から自動車、医療用の画像

ザイリンクスは、Virtex プラットフォームFPGA に高度なシステムレベルの機能の組み込みや、次世代ノードへの積極的な採用に莫大な投資を行ってきた結果、設計者に十分な恩恵をもたらしています。高速DSPや、組込型のIBM PowerPC™ プロセッサコア、マルチギガビットのシリアルトランシーバを必要とするアプリケーションに対する

う。設計者がより柔軟で費用対効果に優れたソリューションを模索し続けるなか、ASIC 市場では大きな変革が起こっています。ザイリンクスは、今後も機能性の向上に加え、65nmと300mm ウエハなど、先進の製造プロセスを通してコスト引き下げに努力していきます。

今日の民生機器は、ネットワーキングやコ



顧客ニーズは着実に増えています。Virtex FPGA は、システムの心臓部としての地位をますます高め、今や無線基地局からネットワークと電気通信のインフラストラクチャ、音声・画像の放送機器、航空宇宙と防衛、セキュリティ、工業用制御装置にいたるまで、高性能アプリケーション向けの幅広いデザインに対応する最高のプラットフォームになりま

ンピューティング、イメージング機能を搭載するなど、複雑化の一途を辿っています。これらの機能はそれぞれ異なる規格をもち、多くの競合する規格が集中する環境では、プログラマビリティに勝るものはありません。つまり、あらゆるものが統合されればされるほど、複雑さも増すのです。この複雑さへの唯一の解答がプログラマビリティというわけです。

Scoping the Next Killer App—Triple Play

次期キラー アプリケーション： 音声・ビデオ・データの 「トリプルプレイ」

消費者はザイリンクスのロードマップにいかに影響を与えているか

Krishna Rangasayee

Senior Director, Vertical Markets and Partnerships

Xilinx, Inc.

krishna.rangasayee@xilinx.com

ザイリンクスが本格的な多角化路線に転じたのは、当時売り上げの 80% 以上を占めていた通信業界が低迷し始めた 2001 年初頭です。ザイリンクスは、航空宇宙/防衛、オートモーティブ、放送、民生機器、産業/科学/医療 (ISM) そして有線/無線の 6 市場に的を絞り、それぞれの専門家によるチームを設立しました。

同時に、通信およびストレージ/サーバ業界内の複数世代のアプリケーションを対象に、当社のソリューションを戦略的に高めるよう努めました。その後、コストとパフォーマンスの両方の観点から、これら主要市場のニーズを満たす製品とソリューションを開発することに専念しました。

この戦略を成功させるには、製品ロードマップを練り直し、次世代製品に対してシステムレベルのアーキテクチャとソリューションベースのアプローチを確立する必要があります。こうして、ザイリンクスは半導体業界をリードするシリコン サプライヤから市場指向のソリューション プロバイダへと転換し始めたのです。

ほとんどの半導体メーカーが業界の不振を大幅な人員削減で乗り切ろうとする中、ザイ

リンクスは市場の多角化路線に専念するためにリソースと戦略の再編を図りました。また、このアプローチと並行して、90nm を目標にプロセス技術の微細化に努めました。従来のプログラマブル ロジックデバイス (PLD) は、価格に敏感な量産型のアプリケーションにはコスト面で不向きでした。ASIC および ASSP の巨大な 440 億ドル市場で競争するには、製品の価格を引き上げる必要があることは理解していました。

通信業界の低迷を受けて講じたこの革新的なアプローチは結果的に大成功でした。今日、ザイリンクスの売り上げの 45% 以上はこれらのパーティカル市場よりもたらされ、かつて 1 個数千ドルもしていた 100 万ゲート デバイスは今や 8 ドルという低価格です (2006 年後半に 50 万個購入時、-4 スピード グレード、商用温度範囲、最も低コストのパッケージの場合)。さらに、量販向けの Spartan™ FPGA ファミリの売り上げは、わずか 4 年間でザイリンクスの総売り上げの 2% 以下から 24% 以上を占めるまでに成長し、しかもその大半はターゲットとする多様なパーティカル市場とアプリケーションから得られているのです。

将来のビジネス チャンス： トリプルプレイ

トリプルプレイは、ザイリンクスがこれら

の主要なパーティカル市場にさらに深く浸透していくための戦略において大きな役割を担っています。では、トリプルプレイとは具体的にどういうことでしょうか。トリプルプレイ サービスとは、1 本のブロードバンド (IP) 回線で音声、ビデオ、データという 3 つのサービスを配信することを指すマーケティング用語です。サービス革命の基盤としてインターネットが登場し、IP は今日の広域ネットワーク通信の要となりました。今後 10 年間、トリプルプレイ サービスに対する消費者ニーズが高まるにつれて、ネットワークの立案者はスケーラビリティ、パフォーマンス、クオリティオブ サービス (QoS) をいっそう改善するため、ブロードバンド集約ネットワークを構築する必要があります。IP を介したサービスの集約は、私たちの仕事や生活、余暇の過ごし方までを変えるというのが専門家の一致した見解です。

現在の高速インターネットでは不可能なこの家庭向けサービスを普及させるには、ネットワーク基盤とその運用形態を全面的に見直す必要があります。これら新サービスの提供に必要な集約バンド幅は現在の 10 ~ 100 倍に増え、最終的にチャンネルあたり 20 ~ 50Mbps が求められます。

このネットワーク基盤のオーバーホールは、有線/無線通信から民生機器、音声/ビデオ/放送機器、ストレージとサーバ、ISM にいたるまで、幅広いパーティカル市場で半導体

業界にとって素晴らしいビジネスチャンスとなります。これら市場はそれぞれ、より多くのバンド幅を求める消費者の声に応えるため、新しい製品とサービスを開発していく必要に迫られるからです。

ザイリンクスの価値判断基準

今日の消費者には、通信や娯楽、情報収集のニーズを満たす膨大な選択肢があり、特定のサービスプロバイダだけを使い続ける人は減っています。収益源を拡大し顧客の信頼を高めるため、通信事業者は新たな規制に立ち向かい、ケーブル事業者と競争するための技術開発に余念がありません。

どのプロバイダも、製品の差別化によって卓越したサービスを提供しようと熾烈な競争を繰り広げています。高バンド幅を持続的に維持するにはアーキテクチャを最適化する必要がありますが、また、プロバイダと利用者の双方にとって経済的であることも条件です。また、オペレータがネットワークに新機能を随時追加していけることも必要です。Time-to-Market、デザインの柔軟性、リプログラマビリティは絶対条件です。PLDにはこれらすべての利点があるため、ザイリンクスはこの巨大な市場チャンスの多くを手に入れることができるのです（図1）。

The Linley Group のシニアアナリスト、Bob Wheeler氏は、次のように語っています。「集約に向けた加速度的な傾向により、ブロードバンドアクセスからメトロコ

ア、ワイヤレスにいたるまで、パケット処理およびIPのQoS維持機能が通信のインフラ機器ですますます重要な条件になりつつあります。今後2、3年でATMからIPに移っていけば、パケット処理のシリコン市場が飛躍的に成長するものと思われます。高性能でスケーラブル、フレキシブルなトラフィック管理ソリューションを用意することにより、ザイリンクスはトリプルプレイサービスの需要増大に十分対応していけるでしょう」。

トリプルプレイサービスの展開については数多くの技術的な課題があります。音声、ビデオ、高速データはそれぞれ特徴が異なり、ネットワークにかかる負担も異なります。音声サービスに大きく影響するのはジッタであり、ビデオとデータサービスにはパケット損失やパケット順の入れ替えがより大きな影響を与えます。

ケーブルやDSLといった共有リソースを使用する場合、ネットワークにQoSメカニズムを採用する必要があります。ザイリンクスはこのニーズに応えるため、10Gメトロ、ブロードバンドアクセス、ワイヤレスシステムでQoSをサポートすると共に効率的にバンド幅を利用できるソリューションを最近発表しました。Modelware社と共同開発したVirtex™-4 FPGAベースのソリューションは、製品開発者がネットワークインフラ機器に先進のトラフィック管理機能を統合するための高性能でスケーラブル、フレキシブルなソリューションです。また、このトラフィックマネージャソリューションを使うこと

で、機器ベンダは集約型のIPネットワークを介して音声、ビデオ、データを同時に送信する際、QoSと効率的な帯域幅の共有を保証する、コストを最適化した製品を短期間で開発することができます。ハードウェアベースのトラフィックマネージャの主な利点として、50Mbps～10Gbps超の高速スループットをサポートすることが可能であり、これは、メトロコアルータなどのハイエンドな機器や、PON OLTやWiMAX基地局などの有線/無線アクセス機器で使用できます。スケーラビリティとフレキシビリティについては、2～120万キュー（最大256Kキュー/レベル）、1～5レベルのスケジューリング、1～64,000のマルチキャストグループをサポートすることで得られます。

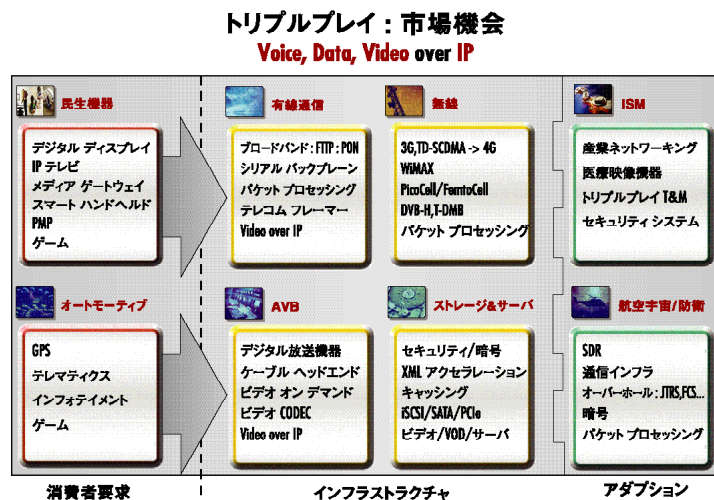
また、このソリューションはポリシング、シェーピング、スケジューリング、混雑回避と制御の多様なアルゴリズムをサポートします。高いレベルで統合し、コストを最適化するには、トラフィックマネージャをカスタムロジックやエンベデッドIBM PowerPC™プロセッサ、マルチギガビットトランシーバと組み合わせることで、総合的なカスタムソリューションを実現します。トラフィックマネージャは、エンベデッドブロックRAMと各種の外部SRAM/DRAMメモリからなる複数のメモリコンフィギュレーションをサポートします。これにより、コストとパフォーマンスの両面でもっとも最適なハードウェアウェアインプリメンテーションを実現できます。

市場指向の戦略

トリプルプレイのビジネスチャンスをフルに活かすため、ザイリンクスはそれぞれのターゲット市場特有のニーズを完全に理解することに努めながら、戦略やソリューション、製品ポートフォリオに市場指向のソリューションアプローチを取り続けていきます。

PLDは、多様な新市場とアプリケーションの急成長を促すデバイスとして、今やあらゆる分野で使われるようになりました。かつてのニッチな技術から広く使われる主流の技術へと発展したPLDは、今日、あらゆるパティカル市場で多数の興味深い新製品を可能にしています。ザイリンクスは、シリコンおよびソリューションという両方のイノベーションを通して、ユーザーがエキサイティングな技術革新を成し遂げ、大胆かつ斬新なアプリケーションを開発するためのお役に立てればと願っています。

図1 主なパティカル市場におけるトリプルプレイ



WiMAX — Delivering on the Promise of Wireless Broadband

WiMAX が実現する ワイヤレス ブロードバンド

MAC サブシステムにザイリンクスの FPGA を使い
WiMAX 製品のデザインに他社との差別化を図る

Amit Dhir

Director, Infrastructure Vertical Markets

Xilinx, Inc.

amit.dhir@xilinx.com

現在、WiMAX が大きな注目を集めている背景には、技術面とビジネス面の両方の理由があります。業界にとってセルラー ネットワークのコスト削減は急務であり、これは今日のモバイル ネットワークより無線スペクトラム（バンド幅）の効率を高めることで可能です。この効率改善は、先進の誤り訂正とトラフィック スケジューリング スキームに加え、ユーザー トラフィックの変調およびコーディング スキームを素早く変更できる高度なテクノロジーを組み合わせることで達成できます。

WiMAX は、コストを大幅に削減し企業環境内での効率を高めた、イーサネットや WLAN 仕様に近いネットワーク機器の設計哲学に基づいています。現在課題とされているのは、この利点をさらに広範な公共ネットワークに適用できることを実証することです。

仕様の詳細

IEEE 802.16 規格は、加入者局（SS：Subscriber Station）または顧客宅内機器（CPE：Customer Premise Equipment）と基地局（BS：Base Station）という2つのコア コンポーネントからなるシステムの仕様を定めたものです。1つのBSと1つ以上のSSでポイント ツー マルチポイント（P2MP）構造のセルを形成できます。電波の発信中、BSは任意のSSによる媒体へのアクセス、QoSを達成するための割り当て、ネットワーク セキュリティメカニズムに基づくネットワークの管理など、セル内の動作を制御します。

複数の BS でセルラー方式の無線ネットワークを 1 つ構成できます。OFDM を使う場合、セルの半径は 30 マイル (48.27km) に達しますが、そのためには良好なチャネル環境が必要で、また最低限のデータ レートしか達成できません。通常、現実的なセル サイズは半径約 5 マイル以下です。WiMAX 規格は、P2MP よりシステムの有効範囲を高めるため複数の指向性アンテナをペアで使うことで、ポイントツーポイント (P2P) やメッシュトポロジでも利用できます。

IEEE 802.16 MAC プロトコルは、特に P2MP ワイヤレス アクセス環境を対象に策定されています。このプロトコルは ATM やイーサネット、インターネット プロトコル (IP) などの転送プロトコルをサポートし、専用の収束レイヤ (図 1) を使うことで将来開発されるプロトコルに対応できます。また、MAC は UGS、rtPS、nrtPS、Best Effort (BE) といった ATM 互換の QoS を実現しつつ (図 2) 物理レイヤを通して非常に高いデータ スループットに対応できます。

IEEE 802.16 のフレーム構造では、リンクの条件に応じて端末をアップリンクとダウンリンクのバースト プロファイルに動的に割り当てることができます。これにより、容量と堅牢性のどちらを優先するか、リアルタイムでトレードオフすることになります。また、非適応型のシステムと比較して平均 2 倍の容量を確保できます。

IEEE 802.16 MAC は、効率を大幅に高めるため可変長プロトコル データ ユニット (PDU) とその他の革新的なコンセプトを使います。たとえば、複数の MAC PDU を 1 つのバーストに連結することで、PHY のオーバーヘッドを削減できます。また、複数のサービス データ ユニット (SDU) を 1 つの MAC PDU に連結すれば、MAC ヘッダ オーバヘッドを削減できます。断片化により、QoS を保証するため、非常に大きな SDU をフレーム境界を越えて送信できます。ペイロード ヘッダの抑制機能は、SDU ヘッダ内の冗長性に起因するオーバーヘッドの緩和に役立ちます。

IEEE 802.16 MAC は、従来の確認応答スキームより QoS の扱いに優れている

図 1 802.16 プロトコル スタック

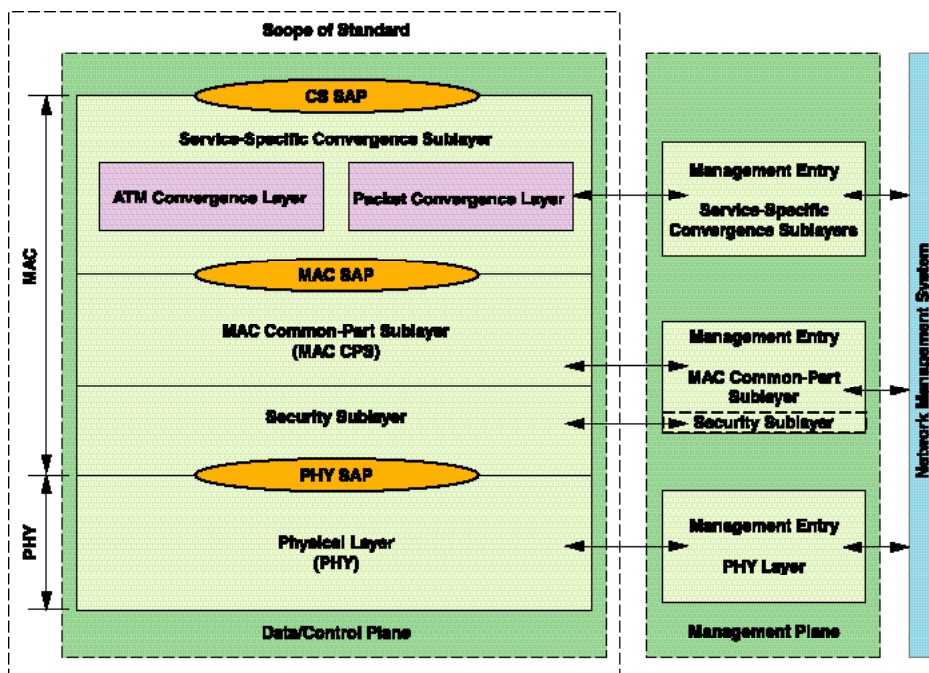


図 2 QoS サービス クラス

サービス	定義	アプリケーション	推奨 QoS パラメータ
UGS	一定の間隔で発行される固定長データ パケットを含むリアルタイム データ ストリーム	高速デジタル回線 (T1, E1) 対応 VoIP (Silence Suppression : 無音抑制なし)	- 運用可能な最大トラフィック速度 = 最小ダウンストリーム トラフィック速度 - 最大遅延 - トランスポート ジッタ - リクエスト伝送ポリシー
rtPS	可変長データ パケットが伝送可能なリアルタイム サービス フロー	VoIP (Silence Suppression : 無音抑制あり)	- 運用可能な最大トラフィック速度 - 最小ダウンストリーム トラフィック速度 - 最大遅延 - リクエスト伝送ポリシー
nrtPS	一定の間隔で発行される固定長データ パケットを含むリアルタイム データ ストリーム	MPEG ビデオ	- 運用可能な最大トラフィック速度 - 最小ダウンストリーム トラフィック速度 - 最大遅延 - トラフィック プライオリティ - リクエスト伝送ポリシー
BE	最小のデータ レートが要求される可変長データ パケットを含むディレイトレイアント データ ストリーム	FTP	- 運用可能な最大トラフィック速度 - 最小ダウンストリーム トラフィック速度 - トラフィック プライオリティ - リクエスト伝送ポリシー
	最低限のサービス レベルも要求されないデータ ストリームだが、回線容量に余裕がある場合は運用可能	HTTP	- 運用可能な最大トラフィック速度 - トラフィック プライオリティ - リクエスト伝送ポリシー

うえ、確認応答におけるあらゆる遅延を取り除く自己訂正型のバンド幅要求/許可スキームを使います。QoS とそれらサービスのトラフィック パラメータに応じて、端末はバンド幅を要求するためのさまざまなオプションを持ちます。

IEEE 802.16 のプライバシー レイヤは、DOCSIS に採用されているモデルに従います。トランスポートおよびセカンダリ マ

ネジメント コネクション用にペイロードを暗号化するには、暗号ブロック連鎖 (CBC) モードのデータ暗号化規格 (DES) が使われます。パーソナル ナレッジ マネジメント (P KM) プロトコルは、SS を証明書ベースで承認し、RSA 公開鍵方式と x.509 証明書を用いて BS と SS の間で鍵を受け渡します。

デバイスをネットワークに入れるには、かならず BS と SS を認証して同期化するため

のタスクを実施する必要があります。BS のダウンリンク信号が同期化されたら、アップリンク チャネル記述子 (UCD) が使われ、タイミングパラメータと初期レンジングコンテンツン スロットを所得します。SS のレンジング プロセス中、BS はネゴシエートされた機能用にさまざまな管理メッセージを割り当てて登録します。PKM を使うことにより、承認のためのセキュアなセカンダリ マネジメント コネクションが確立されます。これでシステムは、各種の MAC サービスを展開することで、さまざまな IP プロトコルを経由したユーザー コネクションを通して動作するようになります。チャネルのリソースは、通常のレンジングとチャネル コンディションのモニタリングで管理されます。

QoS とスケジューリング

WiMAX 規格の特徴として、QoS とスケジューリングを高いレベルでサポートしていることが挙げられます。これらサービス プロバイダの機能は、エアリンクの利用率とシステム スループットを最大化できるうえ、サービス レベル アグリーメント (SLA) を満たすことにもつながります (図 3)。

さまざまなサービス クラスをサポートするインフラストラクチャは、MAC のインプリメンテーションにより実現されます。QoS は加入者局と基地局間のバンド幅要求/許可メカニズムによってイネブルされます。ビデオ、音声、データサービスはどれも、さまざまなレベルの QoS を必要としますので、それぞれのサービス クラスを分類するため、QoS に対して主に 4 つのパケットがあります (UGS、rtPS、nrtPS、BE)。パケットスケジューラは、一人のユーザーに対して異なるサービス クラスをスケジューリングします。つまり、ユーザー レベルでの SLA 要件に合わせることができるのです。ユーザーは標準やプレミアムなど、複数の優先レベルに分類できます (図 4)。

IEEE 802.16-2005 に対するモビリティの管理

IEEE 802.16-2005 準拠のシステムに

図 3 802.16 仕様のパケット スケジューリングによりリソースを最大化

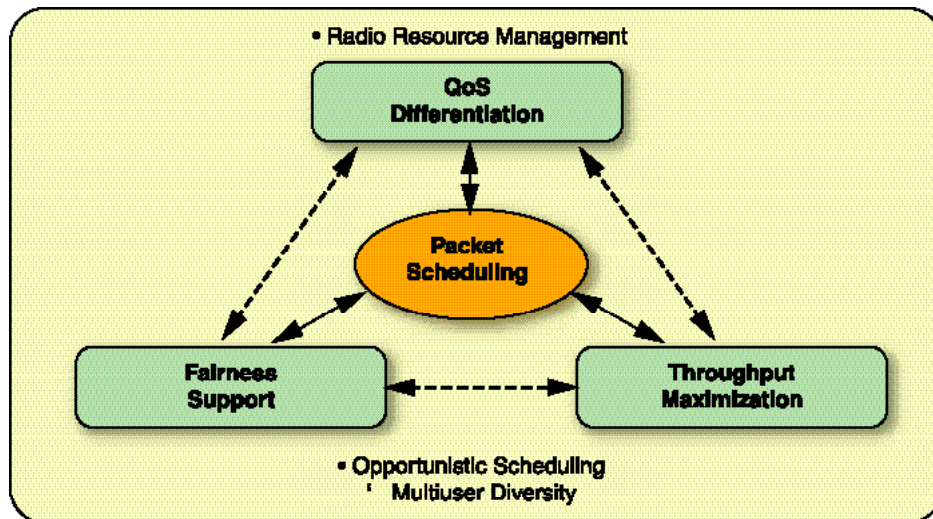
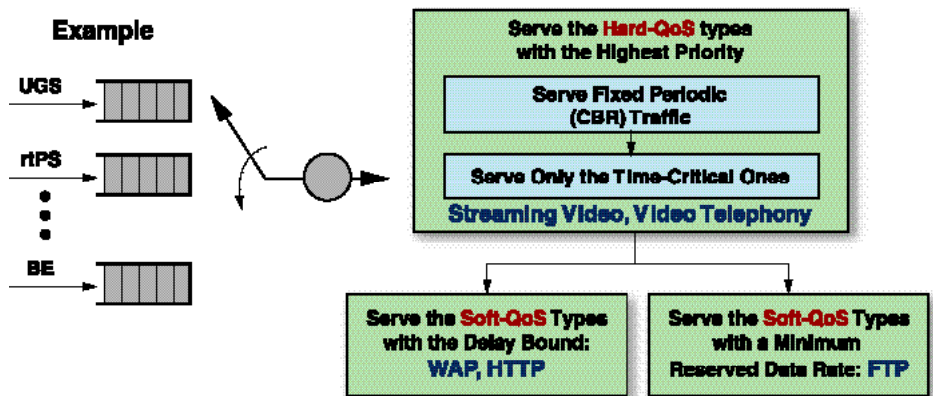


図 4 パケット スケジューラの機能により異なるユーザー クラスに対してスケジューリングが可能



は、高速かつ低いパケット損失でのハンドオーバーが必須の要件です。ハンドオーバーのほとんどはソフトウェア レイヤで行うことができますが、パフォーマンスの点から、この機能の一部をハードウェア レベルに託すことになります。

近隣のネットワークを識別し、モバイル サービスステーション (MSS) に関してその特徴を定義するため、基地局は定期的に近隣広告管理メッセージを発行します。各 MSS は近隣の BS をスキャンし、信号の強度を測定します。次に、近隣の BS を選択し、レンジングとアソシエーション プロシーダを実行することで、将来のハンドオーバーに備えます。

ハンドオーバーのパフォーマンスは、あるセルから別のセルに移動するユーザーの認証

速度で決まります。モビリティという特性上、常に変化する QoS ニーズにいち早く素早く適応できるかで差別化するわけです。MSS は固定式のこともあれば移動式のこともあり、QoS プロファイルは変化するものです。SLA が移動式と固定式にそれぞれ異なるポリシーを採用することさえあります。

MAC と PHY の連携にサブチャネルを割り当て

加入者数の増加に伴い、マルチパス フェーディングとパス損失がますます顕著になります。OFDM に基づく OFDMA は、シンボル間干渉と周波数選択的フェーディングに影響されません。高速伝送レートを達成できるかどうかは、ブロードバンドワイヤレスア

クセス (BWA) システムがリソースを効率的かつ柔軟に割り当てることができるかどうかにかかっています。サブキャリアの割り当てに周波数ホッピングと適応変調のテクニックを使えば、トランスミッタにチャネルゲインを得られ、大きなパフォーマンスゲインとなります。最適なソリューションは、その都度ユーザーにベストチャネルをスケジューリングすることです。しかしながら、これは容易なことではありません。あるユーザーにとって最適なサブキャリアは、ほかに良いサブキャリアの選択肢を持たない別のユーザーにとっても最適なサブキャリアになり得るからです。伝送の都度、各ユーザーに対して指定されたデータ伝送レートとビットエラーレート (BER) を達成するというのが QoS の要件です。

スケーラブルな OFDMA

IEEE 802.16 無線 MAN 規格の OFDMA 物理レイヤモードの一部として、スケーラビリティのコンセプトが採用されました。スケーラブルな PHY により、標準ベースのソリューションは 1.25 ~ 20MHz までのチャネルバンド幅で最適なパフォーマンスを実現し、製品コストを低く抑えながら固定式と携帯/移動式の両モデルに一定のサブキャリア間隔を確保できます。チャネル帯域幅ごとに FFT サイズを変更できるサブチャネル構造によりスケーラビリティを実現するわけです。

WiMAX 仕様は、アドバンスドモジュレーション&コーディング (AMC) サブチャネル、ハイブリッド自動再送要求 (HARQ)、高効率アップリンクサブチャネル構造、マイモ (MIMO)、カバレッジ拡張セーフティチャネル、異なるサブキャリア割り当て、およびダイバーシティ方式をサポートします。WiMAX MAC は CQI と HARQ 要求からのフィードバックを使ってスケーラビリティをサポートします。

インプリメンテーションの主な課題

WiMAX システムをインプリメントするときに最も難しい課題は、プロセッサで何をを行い、ハードウェア、つまり FPGA アクセラレ

ータで何を行うかを定義することです。このハードウェアとソフトウェアの分けを決めるうえで鍵となるのが、Time-to-Market のニーズを考慮しながらシステム性能とプロセッシングの要件間で最適なトレードオフを見つけることです。このトレードオフをどう解決するかで、CPE と基地局のインプリメンテーションがまったく異なってきます。

WiMAX CPE デザインは、ハードウェアアクセラレータを用いてインプリメントされる CRC や暗号化/解読のような MAC ファンクションの使用頻度が低いいため、プロセッサベースのアプローチを採用する必要があります。一方、基地局のインプリメンテーションは、低 MAC アクセラレータから、パケット処理への低速バス/高速バスのアプローチへ発展していく必要があります。これをハードウェアで達成するには、基地局の MAC はエンベデッドプロセッサもしくは FPGA 外部のプロセッサを使ってより低速なマネジメント/コントロールファンクションをインプリメントし、ハードウェアアクセラレーションには FPGA ロジックファブリックを使ってより高速なデータバスファンクションをインプリメントする必要があります。

MAC インプリメンテーションで重要なのは、適切なキューイングとスケジューリングを用いて、音声、データ、ビデオの「トリプルプレイ」を扱えるようにすることです。IEEE 802.16 規格はこうした機能に有効な基準ですが、競合するソリューションとの差別化を図るには、この機能を具体的にどうインプリメントするかが重要になります。ザイリンクスの FPGA は、メーカーがシステムデザインのこの重要分野にターゲットを絞り、新たな MAC ファンクションを開発するための柔軟なプラットフォームです。

最新の Virtex™-4 FX プラットフォーム FPGA には、低レイテンシの補助プロセッサインタフェース (APU) が組み込まれており、ソフトウェアコードにカスタマイズした命令を入れることでハードウェアとソフトウェアの区分化を簡単に行うことができます。この命令は実行時にロジックファブリックにインプリメントされます。

ザイリンクスプラットフォーム FPGA が製品の差別化と先進機能を可能にするもう 1

つの技術として、高性能 FEC をはじめとする先進の DSP ファンクションがあります。最適化した Turbo Convolutional コーデックを低コストの WiMAX FEC パックに組み込んだことで、ザイリンクスはシステム設計者が非常に効率的な FPGA コアにアクセスできるようにしました。このコアは WiMAX ベースバンドデザインにフレキシブルで開発を加速する FEC ソリューションの一部として展開できます。

もちろん、本稿で紹介した以外にも、WiMAX 基地局のデザインにはザイリンクスのテクノロジーが真価を発揮する分野がたくさんあります。現在、ザイリンクスのデバイスはクレストファクタ低減 (CFR)、デジタルプリディストーション (DPD)、デジタルアップ/ダウンコンバージョン (DUC/DDC) などの分野で、RF カードに先進の DSP 訂正アルゴリズムをインプリメントするために一般的に利用されています。電力増幅回路 (PA) の特性をデジタル的に補正することで、より費用対効果の高いアナログ RF 回路を利用してコストを大幅に節減でき、それにより基地局全体のコストを格段に引き下げることができるのです。詳細は、<http://www.xilinx.co.jp/esp/wireless/> をご覧ください。

結論

WiMAX 規格と、この規格がセルラー規格と比較してどう優れているのかについては多くの議論が続いていますが、現在の傾向を見る限り、WiMAX は音声、データ、ビデオをワイヤレス配信するための理想的なプラットフォームであることがわかります。ザイリンクスは WiMAX 標準化プロセスの初期段階から関与していました。ザイリンクス製品のユニークな機能を活用することで、ユーザーは競合他社に先行して WiMAX デザインを市場に投入できるのです。

ザイリンクスは、無線 MAC アプリケーションにおけるアクセラレートしたトラフィック管理ソリューションについて多くのユーザーと協力してきました。それぞれのインプリメンテーションはアプリケーションに応じてカスタマイズできます。

Enabling Next-Generation MAN Equipment

次世代 MAN 装置の開発

ザイリンクス RPR MAC リファレンス デザインの活用による
IEEE 802.17 Resilient Packet Ring に準拠する装置の短期・省資源開発

Delfin Rodillas
Staff System Architect
Xilinx, Inc.
delfin.rodillas@xilinx.com

メトロエリアネットワーク (MAN) アーキテクチャは、主に従来テクノロジーの SONET/SDH をベースにしています。SONET/SDH は、音声などの時分割多重トラフィックを伝送する場合は信頼性の高い理想的なテクノロジーですが、IP やイーサネットなど「バーストの多い」パケットトラフィックを伝送するには非効率です。近年、パケットベースのトラフィックが増加してきたことで、この非効率性は MAN のバンド幅にボトルネックを招いています。

新しいアーキテクチャに対する候補として、イーサネット オーバ SONET/SDH (EoS) レジリエント パケット リング (RPR: Resilient Packet Ring) そしてキャリア グ

レード イーサネットがあります。EoS は、SONET/SDH に新たなテクノロジーを重ね合わせることで高い効率とサービス サポートを達成するものです。キャリア グレード イーサネットは、従来のイーサネット プロトコルへの拡張機能を定義することで同様の目標を達成します。そして最近登場してきた MAN テクノロジーの中で最も興味深いのが、IEEE 802.17 に定義されている新たなレイヤ 2 トランスポート テクノロジー、RPR です。

本稿では、RPR テクノロジーの概要を説明すると共に、ザイリンクスが最近発表した RPR MAC リファレンス デザインを例に、RPR システムの開発に Virtex™-4 FPGA をどのように活用できるかを解説します。

RPR テクノロジーとその利点

RPR にはいくつかの優れた特長があります。図 1 に示すように、RPR は両方のリングで同時にトラフィックを送ることで、一般的な MAN に見られるデュアルリング トポロジを有効利用します。これは、1 本のリングで

データを送り、もう 1 本を保護アプリケーション用に確保しておく SONET/SDH と異なる点です。さらに、この RPR テクノロジーが堅牢でない場合 MAN アプリケーションでは使えないため 50ms 未満の復旧時間、フォルトトレランス、運用管理性をサポートしています。

RPR は複数のサービス クラスとサブクラスを定義しており、ボイス オーバ IP (VoIP) や IPTV など、増え続ける IP ベースのサービスをサポートするのに理想的です。たとえば、リアルタイムの VoIP トラフィックを RPR における最高のサービス クラス、A0 にマッピングすることで、バンド幅を保証し、ジッタを低く抑えることができます。インターネットトラフィックは、ベスト エフォートのクラス C トラフィックにマッピングできます。

RPR は fairness (公正) アルゴリズムも定義しており、fairness-eligible (公正適格) トラフィックで未使用の「再利用可能」バンド幅をノード間に公平に割り当てます。これは、アクセス超過に高いレベルで対応が可能なため、イーサネットのようなバースト

図 1 両リングでデータを同時に伝送する RPR のデュアルリングアーキテクチャ

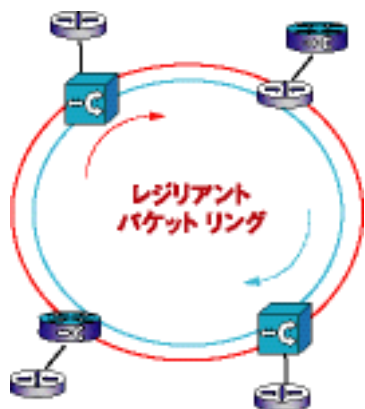
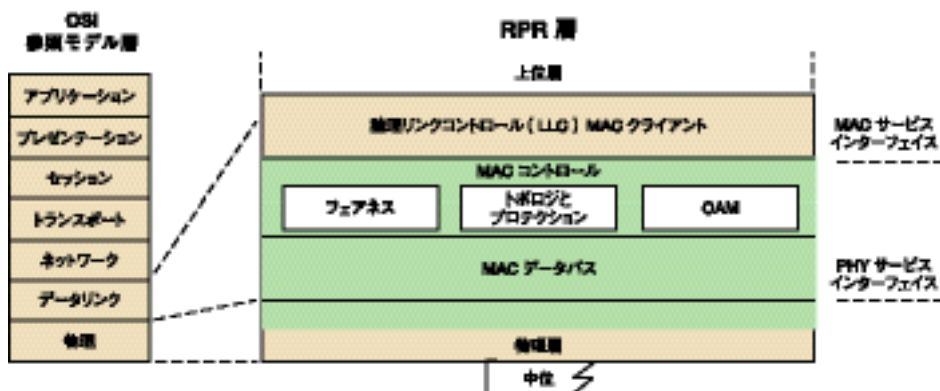


表 1 RPR の各サービス クラス

サービスクラス			QoS				フェアネスの適応
クラス	利用例	サブクラス	保障 BW	ジッタ	タイプ	サブタイプ	
A	リアルタイム	A0	○	低	Allocated	Reserved	×
		A1	○	低	Allocated	Reclaimable	
B	ややリアルタイム	B-CIR	○	Bounded	Opportunistic	Reclaimable	○
		B-EIR	×	Unbounded			
C	ベストエフォート						

図 2 OSIリファレンス モデルに対してマッピングした RPR レイヤ



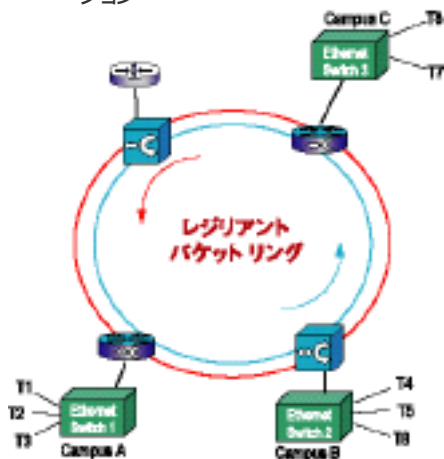
トラフィックをサポートするのに理想的です。表 1 は RPR がサポートしている種々のサービス クラスを示しています。

RPR MAC

すべての RPR ノードは、リングへのあらゆるアクセスを統括するエンティティ、RPR MAC をインプリメントします。図 2 は、RPR プロトコル スタックと、このスタックが OSI リファレンス モデルに対してどのようにマッピングしているかを示しています。MAC のファンクションには次のような側面があります。

- ・データをフォーマット/転送するには、MAC がデータを RPR パケット フォーマットにフレームすることでクライアントの転送要求を満たす必要があります。また、MAC はトランジット トラフィックをシングル トランジット キューもしくはデュアル トランジット キューを通して必ずリングレット (ringlet) に返送します。
- ・ネットワークを保護するには、MAC がネットワークのトポロジを追跡し、保護メカニズムを通して変更に対応する必要があります。SONET/SDH ネットワークと同様、RPR はサービスの割り込みを 50ms に制限しています。これは「ステアリング」もしくは「ラッピング」保護方式により達成できます。
- ・クオリティオブサービス (QoS) とフェ

図 3 イーサネット ブリッジング アプリケーション



アネスのファンクションには、MAC がネットワークのトポロジとリソースの利用率を監視し、利用可能なリソースに基づいてさまざまなクオリティレベルに対してトラフィックをポリシング/シェーピングする必要があります。前述のとおり、RPR は再利用可能なバンド幅を RPR ノード間に公平に割り当てるためフェアネス アルゴリズムを定義しています。

- ・オペレーション、管理、保守、プロビジョニング (OAMP) には、MAC が各サービスに対する統計を収集し、管理情報ベース (MIB) などの標準化されたインターフェイスを通してユーザーにそのデータをレポートとして返す必要があります。さらに、MAC が各ステーションに対してすべての関連パラメータのプロビジョニングを提供する必要もあります。

RPR テクノロジーの詳細については、最新の IEEE 802.17 仕様をご覧ください。

RPR ネットワーク アプリケーション

多くのサービス プロバイダや装置の OEM ベンダが、次世代 MAN アプリケーションに最適なテクノロジーとして RPR に注目している理由は、前述の特長によるものです。特に興味深い MAN アプリケーションの 1 つにイーサネット ブリッジングがあります。

イーサネット ブリッジングでは、MANで複数の LAN を接続するため RPR ネットワークが使われます。イーサネットから RPR、およびその逆方向へのブリッジングは、IEEE 802.1D の「MAC ブリッジ」仕様にしたがって行われます。図 3 は、RPR ネットワーク上で相互接続されている 3 つの LAN を示しています。

このアプリケーションに RPR を使う利点は、優先順位と VLAN の情報がエンドツーエンドで保たれることです。これは、キャリアクラスの保護 (50ms 未満) を維持しながら効率的に行うことができるため、99.999% の可用性を保ちながら VoIP やテレビ会議、インターネット サービスを同時に使用する企業などに役立ちます。

ザイリンクスの RPR ソリューション

ザイリンクスは、RPR 装置を容易に開発できるように、Virtex-4 FPGA を使用する RPR MAC リファレンス デザインを開発しました。このソリューションは IEEE 802.17 仕様に準拠しており、1.25Gbps、2.5Gbps、10Gbps のデータレートをサポートします。この他主な特長として、シングルコアにおける両方のリングレットのサポートや、メイト インターフェイスによる装置の冗長性サポート、シングル トランジットとデュアル トランジットのキューをサポートします。フェアネスについては、アグレッシブとコンサーバティブ タイプの両方がサポートされます。また、エンジニアリングの労力を極力抑えながらも、Time-to-Market を短縮するため、ドライバとアプリケーション ソフトウ

図 4 RPR MACリファレンス デザインのブロック図

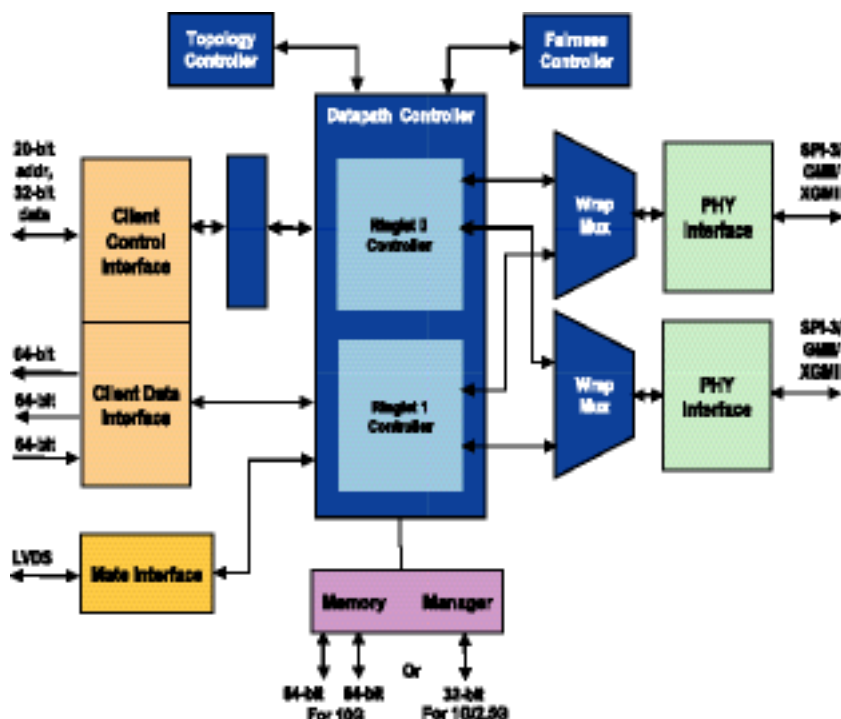


図 5 冗長性アプリケーションにおけるメイト インターフェイスの使用

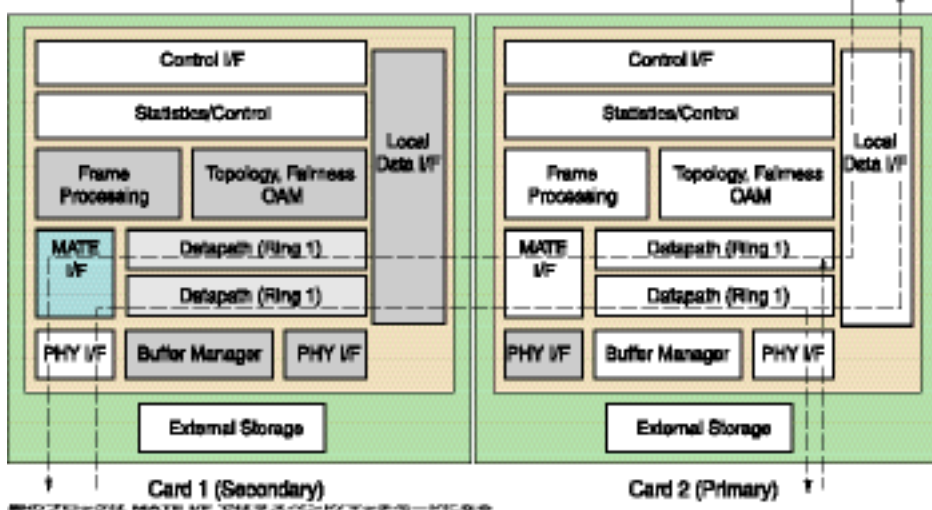


表 2 RPR MAC リファレンス デザインによりサポートされているPHY インターフェイス

インターフェイス	1G	2.5G	10G
SONET	不可	SPI-3	SPI-4.2
イーサネット	GMII, TBI/ RTBII	不可	SPI 4.2, XGMII, XAUI, またはXSBI

エアを提供します。なお、リファレンス デザインはザイリンクスとライセンス契約を締結していただければ無償で使用可能です。

RPR MAC のファンクション ブロック

図 4 は、RPR MACリファレンス デザインのハードウェア ファンクションのブロック図です。この図にはいくつかのデータバス、トポ

ロジ、フェアネス コントローラ ブロックがあります。また、PHY、メイト、クライアント インターフェイスの各ブロックに加え、メモリ マネージャ ブロックも用意されています。

デザインには 3 つの主コントローラがあります。1 番目は、リングレット 1 と 0 の両方に対して、RPR MAC を出入りするフレームの流れを管理するデータバス コントローラです。2 番目はリング上のステーションの接続性および順序を決めるトポロジ コントローラです。最後に、フェアネス コントローラは IEEE 802.17 にしたがってフェアネス アルゴリズムをインプリメントします。

XtremeDSP™ スライス (ソフトウェア内で記述されている DSP48) にフェアネス アルゴリズムをインプリメントしこれら構造をパイプライン化することで、このデザインが最も安価な -10 スピード グレードのデバイスを使った場合でも 10Gbps で動作が可能です。さらに、ファンクションをロジックでなく XtremeDSP スライスにインプリメントすることで膨大な量のロジックが節約されました。

図 4 の右側には、PHY インターフェイス ブロックがあります。PHY インターフェイス ブロックは各リングレットにそれぞれ 1 つずつあります。これらのインターフェイスは、FPGA に搭載されている SelectIO™ と RocketIO™ テクノロジを利用して実現します。リファレンス デザインには、SPI-3 を通して 2.5Gbps SONET/SDH をサポートし、GM インターフェイスを通してギガビット イーサネットをサポートし、また XGM を通して 10 ギガビット イーサネットをサポートする、PHY インターフェイス ブロックが収められています。また、ユーザー指定の PHY をサポートするため、FIFO ベースの PHY インターフェイスも用意されています。

デザインには含まれないものの、Virtex-4 FPGA の機能と利用可能な IP によりサポートされるブロックとして、TBI と RTBI 用のインターフェイス ブロックがあります。10Gbps のアプリケーションについては、Virtex-4 はエンベデッド RocketIO マルチギガビット トランシーバを通して SPI-4.2 と XSBI LVDS インターフェイス、また SERDES ベースの XAUI インターフェイス

スをサポートします。ザイリンクスは、開発期間を短縮できるよう、この 3 種類のインターフェイスすべてに IP コアとリファレンス デザインを用意しています。表 2 に、リファレンス デザインがサポートする各 PHY インターフェイスをまとめました。

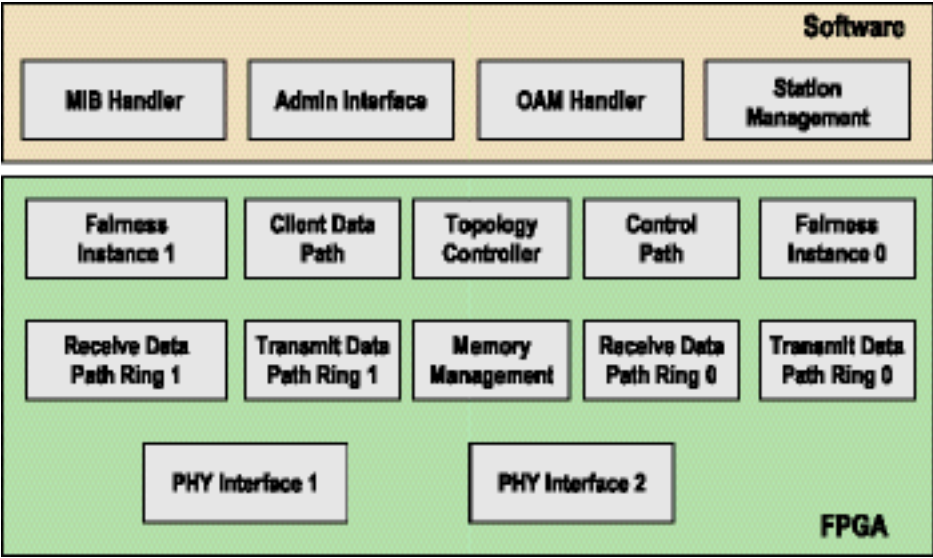
図 4 の左には、クライアント データ インターフェイスとクライアント コントロール インターフェイスからなる SPI-3 に似たクライアント インターフェイスがあります。クライアント データ インターフェイスは、10Gbps デザインでは 200MHz、1Gbps と 2.5 Gbps デザインではより低いデータ レートで動作する、64 ビットのインターフェイスです。TX 用に 1 つのインターフェイス、RX 用に 2 つのインターフェイスがあり、それぞれのインターフェイスがリングレットの要求に応じます。クライアント コントロール インターフェイスは 32 ビット インターフェイスであり、デバイスドライバはこのインターフェイスを通して動作します。

キャリア クラスの通信装置に不可欠な冗長性をサポートする装置を開発するために使うインターフェイスが、MAC ブロック図の左下に延びているメイト インターフェイスです。このメイト インターフェイスを通して、プライマリカードは万一障害が起こった場合に備えてセカンダリ カードへのパスを確保できます。図 5 は、メイト インターフェイスを用いてプライマリ カードとセカンダリ カードを接続し、装置に冗長性を持たせる方法を示しています。リファレンス デザインは、このインターフェイスを LVDS I/O にインプリメントしています。10Gbps の装置については、LVDS I/O の代わりに広バンドの RocketIO MGT を使用できます。

メモリ マネージャ ブロックはアービトレーションとポインタ管理を行うバッファマネージャ、および DDR2 SDRAM コントローラからなります。当然ながら、トランジット キューにはメモリ リソースが必要です。ザイリンクスのソリューションで優れているのは、シングルトランジット キューのデザインを外部メモリなしでインプリメントしていることです。このデザインはFPGAに搭載されている大容量のブロック RAM を利用するからです。

より多くのメモリリソースを使うデュアルト

図 6 RPR MACリファレンス デザインにおけるハードウェアとソフトウェアの分割



ランジット キューのデザインは、外部の DDR2 SDRAM を使用します。メモリ インターフェイスは、1Gbps/2.5Gbps のデザインで 32 ビット/200MHz です。10Gbps デザインについては、2 つの 64 ビット/250MHz インターフェイスがそれぞれ 1 つのリングレットをサポートします。

ザイリンクスのリファレンスデザインは、Linux デバイス ドライバとアプリケーション ソフトウェアを同梱して提供されます。このソフトウェアは、RPR MAC のパラメータを設定/監視するために、SNMP エージェントと簡単に統合できます。

デザインではいくつかのプロセッサ オプションがサポートされています。Virtex-4 FPGA のエンベデッド PowerPC™、MicroBlaze™ ソフト コア、外部プロセッサのどれでも使用できます。FPGA に組み込まれているプロセッサを使うことで、外部のホスト プロセッサの負担を軽減して全体的なシステム性能を改善できます。図 6 は、RPR MAC リファレンス デザインでハードウェアとソフトウェア ファンクションをどのように分割するかを示しています。

デバイスと付属品

表 3 は、RPR MAC リファレンス デザインのデバイス サポートとリソース使用率です。リファレンス デザインは、最も安価な -10

表 3 デバイスのサポートとユーティリゼーション

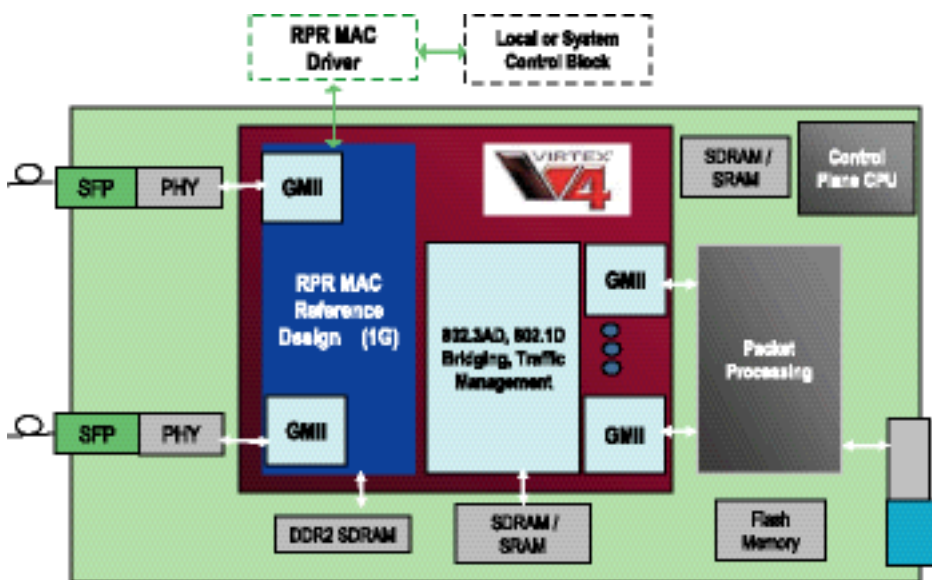
デバイスファミリ	Virtex-4 LXおよびFXデバイス			
スピード グレード	-10 for 1 Gbps, 2.5 Gbps, and 10 Gbps			
リソース (コンフィギュレーションに基づく)	スライス	ブロック RAM	DCM	FFs
	15K~16.5K	72~90	5~7	18744

スピード グレードで Virtex-4 LX と FX デバイス、およびすべてのデータ レートをサポートします。このデザインは、選択するオプションに応じて 15,000 ~ 16,500 スライスと 72 ~ 90 のブロック RAM を利用し、Virtex-4 LX40 以上のデバイスにフィットできます。また、コア以外にも技術解説書、VHDL テスト ベンチ、ソフトウェアが添付されます。

RPR MAC ラインカード デザイン例

イーサネットブリッジングの RPR アプリケーションについてはすでに紹介しました。図 7 は、このラインカードのアーキテクチャ構築法です。Virtex-4 LX FPGA にインスタンシアートされているのが RPR MAC リファレンス デザインです。このデザインは

図 7 RPR MACリファレンス デザインのイーサネットブリッジングアプリケーション



内部の GMII インターフェイスを通してギガビットイーサネットの PHY に接続されています。リングレット 1 と 0 につながっている SFP モジュールに 2 つのギガビットイーサネット PHY が接続されています。別の方法として、Virtex-4 FX デバイスを使い、外部 PHY の代わりにエンベデッド RocketIO MGT を使用し、統合性をいっそう高めることも可能です。

適正サイズのデバイスであれば、イーサネットから RPR と RPR からイーサネットへの両方向に、802.1D ブリッジング、また可能な場合は 802.3AD アグリゲーションなどのカスタム ファンクションをインプリメントするための追加ロジックを用意できます。さらに、インGRESSおよびエGRESSフローを管理するためのトラフィック管理ファンクションが必要になることが多いでしょう。柔軟かつ高性能な FPGA ファブリックにより、機能性や効率を犠牲にせず、任意のトラフィック管理アルゴリズムをデザインできます。デザインには RPR MAC 用のメモリコントローラと任意のカスタムブロックを統合することも可能です。デザインにはドライバソフトウェアとの通信を可能にするためのフックが用意されています。こうしたデザインを LX60 にフィットするか、あるいはもっと大きな Virtex-4 FPGA にするかは、どのようなファンクションをインプリメントするかで異なり

ます。

すでにおわりのとおり、FPGA はシステムレベルの統合を可能にし、システムレベルのコストを削減できます。さらに、FPGA にはパフォーマンスマージンが十分にあるため、このデザインは 10Gbps のデザインでも最も遅い -10 スピードグレードでも実現可能です。これによりコストを一段と削減できるのです。

結論

トリプルプレイサービスの展開が進む今、特に未開発地域に新たに展開する場合、次世代 MAN 用の転送技術として RPR を考えるサービスプロバイダがますます増えるでしょう。また、需要の増大に伴い、装置の OEM ベンダはザイリンクスのフレキシブルな RPR ソリューションを活かし、付加価値の高い独自機能を搭載した標準規格の製品を短期間で開発できるようになります。

ザイリンクスの RPR ソリューションについての詳細は、ザイリンクスの RPR Web サイト (http://www.xilinx.co.jp/esp/wired/optical/net_tech/rpr.htm) をご覧ください。同サイトにはホワイトペーパーや製品概要資料に加え、リファレンスデザインへのアクセスを要求するページへのリンクも掲載されています。

Xcell journal
THE AUTHORITY JOURNAL FOR PROGRAMMABLE LOGIC USERS

パートナーの皆様
御社の製品・サービスを
Xcell journal 誌上で
PRしてみませんか？

ザイリンクスの技術広報誌 Xcell ジャーナル（季刊誌）は、日本はもとより世界のプログラマブル ロジックユーザー向けに、設計の短縮化、ならびに設計の高品質化に貢献できるよう最新の製品&技術情報をはじめ、最新の設計・アプリケーション等の解説、サードパーティ各社のツール情報などをタイムリに提供しています。

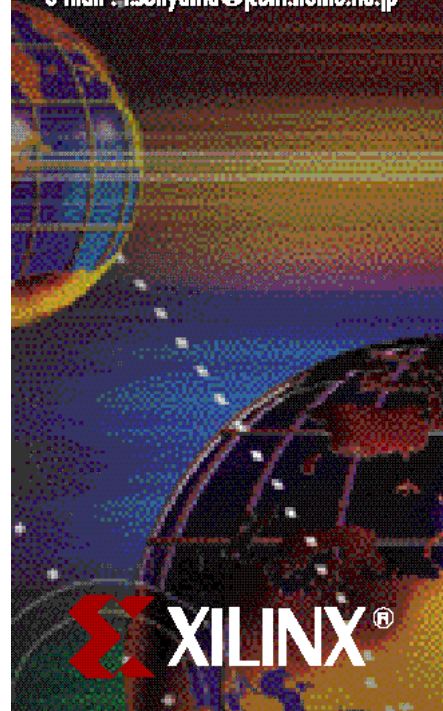
御社の製品・サービスを是非、本誌で
宣伝してください。

広告掲載に関するお問い合わせ先

有限会社 エイ・シー・シー

Xcell 広告係 まで e-mail でお願いいたします。

e-mail : t.sohyuma@com.home.ne.jp



Designing an FPGA-Based RFID Reader

FPGA を使った RFID リーダの設計法

RF コンポーネントと FPGA を使ったさまざまな規格に対応する
実用的な RFID リーダのインプリメント

Niladri Roy

Sr. Manager — ISM, Vertical Marketing
Xilinx, Inc.
niladri.roy@xilinx.com

Akshaya Trivedi

Sr. Systems Architect — Wireless, Vertical Marketing
Xilinx, Inc.
akshaya.trivedi@xilinx.com

James Wong

Product Marketing Manager
Linear Technology Corp.
jwong@linear.com

無線周波数識別 (RFID) は、バーコードや磁気ストリップといった一般的な自動識別技術に似ています。これは、商品に RFID トランスポンダ (いわゆる「タグ」) に記憶させた固有の識別番号 (UID) を付けるというものです。通常、タグは商品を詰めた容器やダンボールなどに付けられます。RFID リーダ (インターロゲータ) はそのタグから UID を読み取ります。

基本的な RFID システムは、アンテナまたはコイル、RFID デコーダ付きのトランシーバおよび UID をプログラミングした RFID タグという 3 種のコンポーネントによって構成されています。表 1 は、よく使われる 4 つの RFID 周波数とそれぞれのアプリケーションです。ビジネス面から見た場合、今最も注目されている周波数は UHF で、サプライチェーン マネジメントにおいて、多数のアプリケーションが期待されます。

EPC タグ

EPC は、RFID タグの標準規格である電子製品コード (Electronic Product Code) の略であり、タグのデータ コンテンツとオープンな無線通信プロトコルの両方からなります。EPC は、バーコードの仕様に使われているデータ規格を ANSI やその他の標準化団体が定めた無線データ通信規格 (IEEE 802.11b) と組み合わせられています。現在サプライチェーン マネジメントに採用されている EPC 規格は EPC Class 1 Gen です。

表 1 RFID の周波数

	周波数	受信距離	アプリケーション例
LF	125 KHz	数 cm	自動車用イモビライザ
HF	13.56 MHz	1m	入退室管理
UHF	900 MHz	~7m	サプライチェーン
μwave	2.4 GHz	10m	トラフィック監視

Class 1 のタグは、名目上は工場でプログラミングされることになっていますが、現場でダウンロードすることもできます。通常、タグはいったん書き込まれるとメモリがロックされ、追加の書き込み操作ができません。Class 1 タグは従来のパケット指向プロトコルを使い、リーダはコマンドとデータを含むパケットを送信してタグから応答を受取り取ります。

劣悪なリーダ環境

RFID システムの環境は非常に劣悪です。周波数チャンネルはライセンス料のかからない ISM（工学/科学/医学）帯域で動作します。この帯域の RFID リーダは、コードレス電話や、ワイヤレス ヘッドセット、ワイヤレス データ ネットワーク、その他同じ場所で使っている他のリーダの電波干渉を受けやすいのです。各リーダの RF レシーバのフロント

エンドは、読み取りエラーの原因になる歪成分を引き起こすことなく高干渉の信号レベルに耐えるデザインにする必要があります。また、十分なダイナミック レンジを確保することで低レベルのタグ応答信号でも確実に検出できるよう、レシーバのノイズを低く抑える必要があります。

図 1 に示すリーダの RF トランシーバアーキテクチャは、電波干渉の多い劣悪な環境でも正しく動作する実証済みのデザインです。トランスミッタとレシーバは共に、堅牢性を最大限高めコストを最小限に抑えるため、それぞれダイナミック レンジの広い直接変換モジュレータ/デモジュレータを採用しています。

実用的で堅牢な RF レシーバのデザイン

レシーバの心臓部は、Linear Technology 社の LT5516 を使って構築されています。LT5516 は、オンチップに高精度な直交位相 0° と 90° シフトを備える、非常に統合性の高い直接変換型の直交デモジュレータです。アンテナからの信号は RF フィルタを通過後、バラントランスフォーマを通してデモジュレータの入力に直接送り込まれま

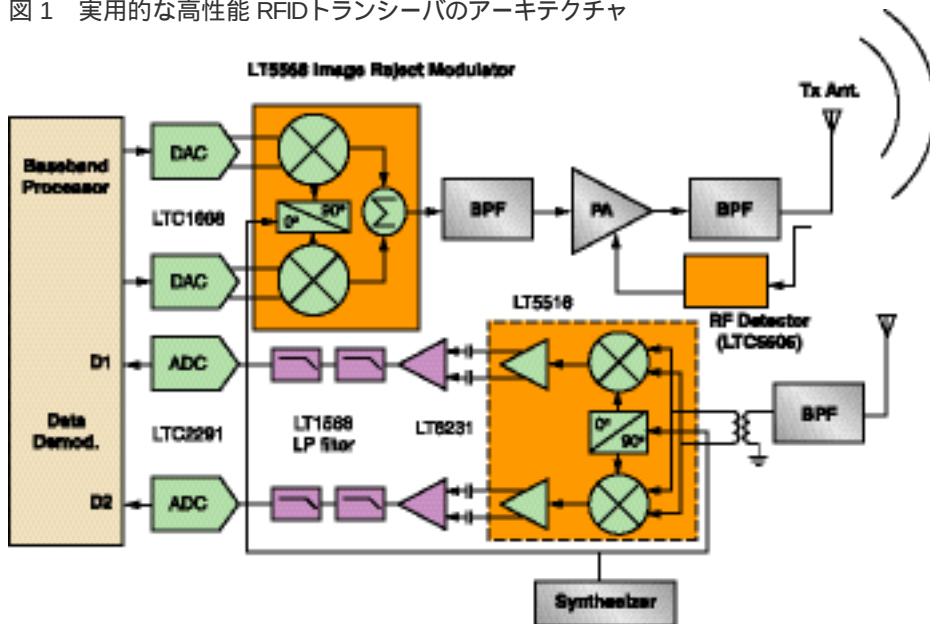
す。LT5516 のノイズ値は低いので、LNA（低ノイズ増幅器）は必要なく、21.5dBm IIP3 と 9.7dB P1dB という本来の性能を発揮できます。

受信サイクル中、リーダはタグに電力を供給するため連続波（無変調）キャリアを送信します。要求があると、タグはキャリアを振幅変調し、ビットストリームで応答します。変調フォーマットは ASK（amplitude shift key）もしくは PR-ASK（phase-reversal ASK）です。デモジュレータは、固有のダイバーシティ受信機能を提供する 2 つの直交位相検出出力を持っています。一方のパスがマルチパスや位相キャンセルによってまったく信号を受信しない場合、 90° 位相シフトされたもう一方のパスが強い信号を受信します。この逆の場合もあります。この結果、レシーバの総合的な堅牢性が改善されます。

復調されたら、シングル エンドの出力に変換する差動増幅器として構成されているオペアンプに、I（正位相）および Q（直交位相）の差動出力を AC カップリングできます。ハイパス コーナーは、60Hz の電源周波数より十分に高い周波数を維持しながら、受信データ ストリームの最小信号コンテンツ未満、またタグの動きによって起こりうる最大ドップラー周波数より高い 5kHz に設定する必要があります。こうして得られた出力は、4 次ローパスとして構成された LT1568 を用いてローパス フィルタペアを通過できます。最大ビットストリーム信号がベースバンドまで通過できるよう、ローパス コーナーは周波数 5MHz に設定します。

これで、解像度 12 ビットを持つデュアルタイプの低電力アナログ - デジタル コンバータ、LTC2291 により、ベースバンド信号をデジタル化できるようになります。タグのビットストリームのバンド幅は 5kHz ~ 5MHz であるため、LTC2291 は 25MSps のレートで十分なオーバーサンプリングを提供し、復調信号を正確にキャプチャします。必要に応じて、ベースバンド DSP に追加の信号フィルタリングをインプリメントすることも可能です。こうすることで、レシーバがロジックのスレッシュホールドを最大限柔軟に設定できるようになり、スレッシュホールドはベースバンド プロセッサがデジタルで設定できます。

図 1 実用的な高性能 RFID トランシーバのアーキテクチャ



高ダイナミックレンジ RFトランスミッタのデザイン

トランスミッタは統合型のイメージ リジエクト直接変換モジュレータを採用しています。LT5568 は非常に高い直線性と低ノイズ フロアを特長とし、伝送信号に対して抜群のダイナミック レンジを誇ります。モジュレータはデジタル - アナログ コンバータ (DAC) から直交のベースバンド I および Q 信号を受け取り、900MHz 伝送周波数に直接変調します。

内部的には、LO (ローカル オシレータ) は高精度な直交位相シフタにより分割されます。変調後の RF 信号を組み合わせることで、シングル エンド、単側波帯の RF 出力を形成し、そのイメージは 46dBc に抑制されます。さらに、モジュレータは LO キャリア信号の抑制を -43dBm に最大化するため、対応する I および Q 混合器を持ちます。

モジュレータの複合回路は非常に優れた ACPR (隣接チャネル電力比) を示し、必要な送信スペクトル マスクを満たすのに助かります。たとえば、モジュレータの RF 出力レベルが -8dBm の場合、ACPR は -60dBc 以上です。クリーンな出力だと、信号は最大許容電力の 1W (米国では +30dBm) またヨーロッパの規格では 2W まで増幅できます。いずれの場合も、これはタグに電力を供給し読み取りレンジを最大化するために使われるため、この一定レベルを維持することが重要です。LTC5505 RF 電力検出器の内部温度補償は、RF 電力増幅器の出力を調整するため、電力を正確に測定すると共に安定したフィードバックを提供します。

ベースバンド プロセッシングと ネットワーク インターフェイス

ベースバンドでは、FPGA はデジタル - アナログ コンバータ (DAC) に、またアナログ - デジタル コンバータ (ADC) から、波形のチャンネル化を実行します。このプロセスはデジタル IF プロセッシングとも呼ばれ、ある種のフィルタリング、ゲイン コントロール、周波数変換、サンプル レートの変更を含みます。FPGA は複数のチャンネルを

並列処理することさえできます。

図 2 は、実際に構築可能な RFID リーダアーキテクチャをパーティション化したものです。ベースバンド プロセッシング タスクには他にも次のものがあります。

- ・プリアンプルの検出
- ・シーケンスの見積もり
- ・変調と復調 (ASK、周波数および位相シフト キーイング)
- ・信号の生成
- ・コリレータ プロセッシング
- ・ピーク検出とスレッショルド設定
- ・CRC とチェックサム
- ・エンコードとデコード (NRZ、マンチェスタ、単極、差動双位相、ミラー)
- ・フレーム検出
- ・ID のスクランブル解除
- ・セキュリティ暗号化エンジン

こうして受信した RFID タグのデータは、シリアル ポートがネットワーク インターフェイスを介して企業のエンタープライズ システム サーバに送られます。

この従来型のアーキテクチャは、リーダが近隣タグの管理を引き受ける高度な分散型 TCP/IP ネットワークの一部になりつつあります。つまり、リーダがタグと、エンタープライズ ソフトウェア アプリケーションに接続されているインテリジェントな分散型データベース システムを結ぶゲートウェイとして働くわけです。

これらのベースバンド タスクは、ハードウェアとソフトウェアのパーティショニングに基づいて、FPGA または DSP、もしくはその両方を組み合わせて実現できます。ザイリンクスは、FIR、CIC、DDS、DUC、DDC、ビット コリレータ、サイン/コサイン LUT の形で一連の IP コアを用意しています。ロジックは、シフト レジスタと XOR を使う暗号化エンジンを実行するのに適しています。ザイリンクスの Virtex™-4 ファミリー用の DSP 48 エンジン他は他のシグナル プロセッシング タスクを実行するのに適しています。

ベースバンド プロセッサは、さまざまなベースバンド タスクの機能性とスケジューリングを制御し、リンク レイヤ プロトコルも担当します。ベースバンド タスクとしては、周波数ホッピング、LBT (Listen-Before-Transmit) およびアンチ コリジョン アルゴリズム プロセッシングがあります。また、ベースバンド プロセッサはイーサネットや USB、Firewire などのインターフェイスを提供できます。

ベースバンド タスクとデジタル RF チャンネル化プロセッシングは、FPGA のみによるソリューションを非常に魅力的にすると共に統合性を高めます。FPGA の機能性、DSP の機能性、ベースバンド プロセッサの機能性をすべて、エンベデッド プロセッサを搭載した FPGA に詰め込むことができるのです。

図 3 は、FPGA をベースとする RFID プロセッサのアーキテクチャの例です。エンベデッド プロセッサは、Virtex-4 FX ファ

図 2 RFIDリーダのアーキテクチャ例

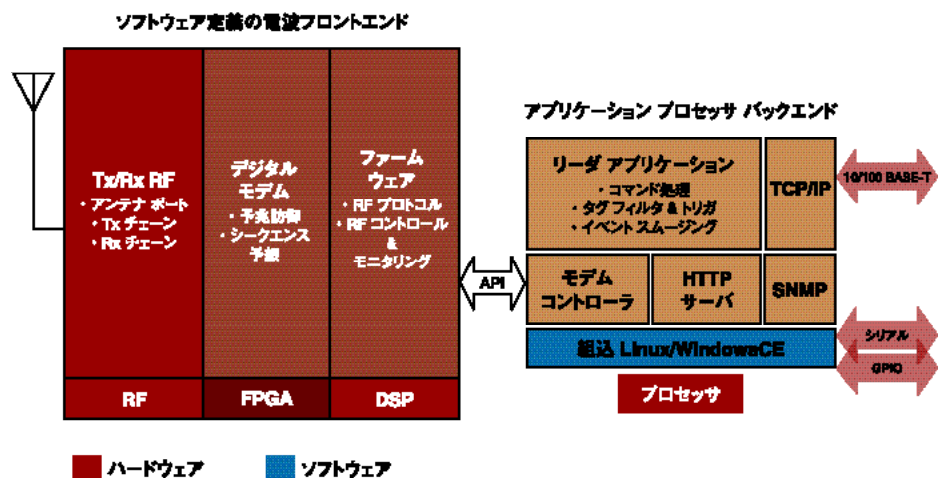


図3 Virtex-4 FX ベースの RFID アーキテクチャ

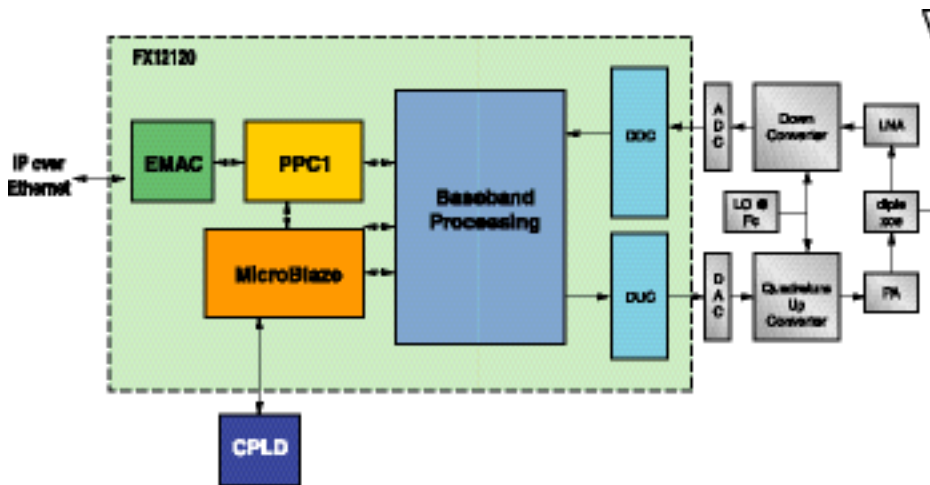
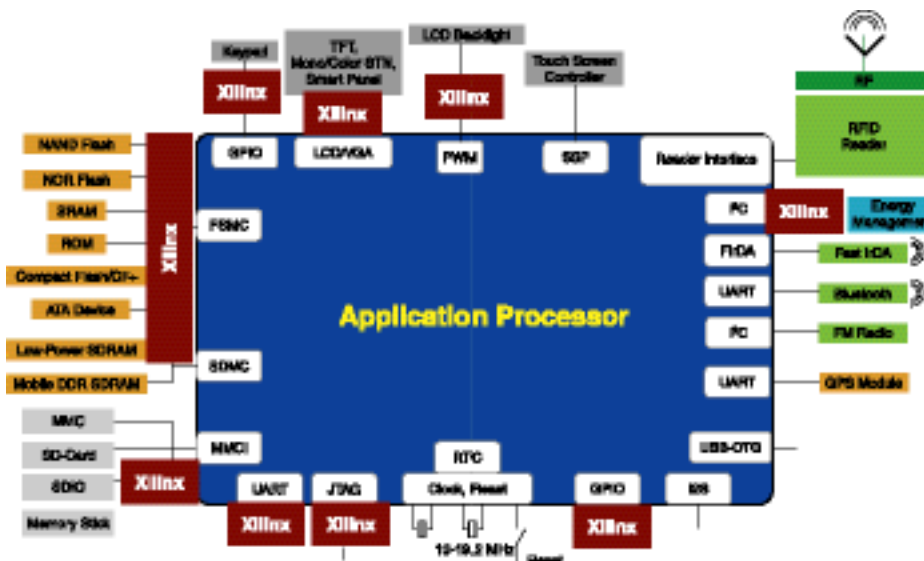


図4 RFIDリーダーに組み込まれた CoolRunner-II CPLD



ミリの場合の Power PC™ といったハード IP にすることも、Spartan™ デバイスにおけるソフト コアの MicroBlaze™ にすることも、あるいは PowerPC と MicroBlaze を併用することもできます。内蔵のハード イーサネット MAC (EMAC) を外部のイーサネット PHY に接続することでイーサネット ネットワークに接続できます。また、Lite Ethernet MAC IP for 10/100-BaseT で代用することも可能です。

Power PC/MicroBlaze エンベデッド プロセッサは、次のタスクを実行します。

- ・ EPC データの処理と転送
- ・ プロトコル処理

- ・ インターロゲータのスケジューリング
- ・ TCP/IP ネットワークのインターフェイス設定
- ・ 制御と監視
- ・ モデム コントローラ
- ・ アップグレード エージェント
- ・ HTTP サーバ
- ・ SNMP/ MIB 処理

ザイリンクスのギガビット イーサネット システム リファレンス デザイン (GSRD) は、TCP/IP ベースのプロトコルとユーザー データ インターフェイスの間に高性能なブリッジングを用意するための EDK ベースのリファレンス システムです。GSRD のコ

ンポーネントには、TCP/IP システムのバイト単位、パケット単位のオーバーヘッドに対処するための機能が備わっています。

Monta Vista Linux と Treck スタックでは、TCP 伝送性能ベンチマークを利用できます。Xilinx Platform Studio (XPS) のマイクロプロセッサ ライブラリ定義 (MLD) を使う Nucleus PLUS RTOS は、Micro Blaze と PowerPC プロセッサ搭載のシステムに新たな次元を切り開きます。これは小型なため、未使用のオンチップメモリを使用することにより消費電力の最小化と性能の改善が可能です。また、モジュールウェアが幅広く用意されていることで、RFID バックエンド ネットワーキングに理想的です。

ハンドヘルド リーダは、図 4 に示すようにザイリンクスの CoolRunner™ CPLD を使うことで、ハード ディスク ドライブ、QWERTY キーボード、リムーバブル メモリ インターフェイス、各種ディスプレイ デバイス、およびその他のペリフェラルにインターフェイスが可能です。また、高速度で小さなチップ パッケージに収められたこれらの CPLD は、消費電力をわずかに増やすだけで、アプリケーション プロセッサを助け、これらの機能に対応することができます。

結論

将来的に、RFID リーダは現在ディスクリート DSP で実行されている RF プロトコル プロセッシングのようなフロントエンドの DSP ファンクションを FPGA に統合することになるでしょう。エンベデッド ソフトプロセッサ コアはすでに優秀な DMIPS/MHz 性能を持っており、近い将来、このエンハンス版がリーダー アプリケーションを制御するバックエンドの外部プロセッサにとって代わるプログラマブル ロジックを通して、RFID リーダ装置に対する最大限の柔軟性とコスト削減を達成することでしょう。

ザイリンクスは、引き続き XtremeDSP™ と MicroBlaze コンフィギャブル ソフトプロセッサ コア製品に改善を加えることで、FPGA における DSP とエンベデッド プロセッシングの機能をいっそう向上させていくつもりです。

Connecting Industrial Automation Control Networks

産業オートメーション 制御ネットワークへの接続

産業オートメーションに求められるフィールドバスや接続性、相互運用におけるニーズと、ザイリンクスのプラットフォームソリューション

Niladri Roy

Sr. Manager – ISM, Vertical Markets
Xilinx, Inc.
niladri.roy@xilinx.com

産業オートメーション制御ネットワークは、産業センサー、アクチュエータ、デバイス、プロセス制御サブシステムを、インテリジェントに相互接続すると共にエンタープライズネットワークにも接続する、シリアルバスを使ったマルチドロップネットワークです。このようなネットワークでは、フィールド装置からエンタープライズリソースプランニング（ERP）にいたるまで、異なる階層レベルで制御機能を連携させる必要があります。

オープンな制御システムは、今なお異なるベンダのデバイス間でのデータフローに頼って

います。システムがお互いを理解できるように、アーキテクチャやアプリケーションオブジェクトを標準化する動きはあまり進んでいません。

表 1 現在のフィールドバス

IEC 規格	フィールドバス名	コメント
IS 61158 Type 1	Foundation Field Bus H1	US Automation Field Bus
IS 61158 Type 2	ControlNet	Control Network
IS 61158 Type 3	Profibus	Device Network
IS 61158 Type 4	P-Net	Factory, Shipbuilding
IS 61158 Type 5	Foundation Field Bus HSE	Control Network
IS 61168 Type 6	SwiftNet	Developed by Boeing
IS 61158 Type 7	WorldFIP	French Device Network
IS 61158 Type 8	Interbus	Discrete I/O
IS 61158 Type 3	Profibus DP	Control Network
IS 61158 Type 7	Acuator-Sensor Interface (Asi)	Discrete I/O
IS 62026-2	DeviceNet	Discrete I/O
IS 62026-5	Smart Distributed System	
ADIS 62026-6	Seriplex	

注記: EtherCAT をはじめとする他の産業ネットワークングプロトコルは、現在 IEC 規格に統合されている最中であり、公開仕様（PAS）の一部となっています。IEC は、2005 年 3 月、ETHERNET Powerlink プロトコルも承認しました。

フィールドバスとは、産業オートメーションの通信バスに対する総称です。過去には 20 以上のフィールドバスが存在しましたが、現在は標準化作業（IEC IS 61158、IS

62026、ADIS 62026）により 13 種類に絞られています（表 1）

多様なフィールドバス間で統一的に通信する必要性は、主に次の理由からくるものです。

- ・プロセスをより細かく制御
- ・高度な診断機能と遠隔診断
- ・プラントの可用性改善
- ・配線の改善（ケーブルの本数削減）
- ・コンディションの監視とプラント保守の統合
- ・アップグレードの柔軟性
- ・エンタープライズ（企業）ネットワークとの統合

インテリジェントな機能を容易にインプリメントできる、統合型で低コストのシステムプラットフォームが必要とされています。また、種類の異なる多数

の従来装置とフィールドバスを統合するには、それぞれのフィールドバスをお互いにブリッジングすると共に、エンタープライズにも接続する必要があります。また、IEC

61158 は統一規格ではなく、各種フィールドバスの集まりにすぎません。このため、フィールドバスの「縄張り争い」と統合の必要性はしばらく続きそうです。

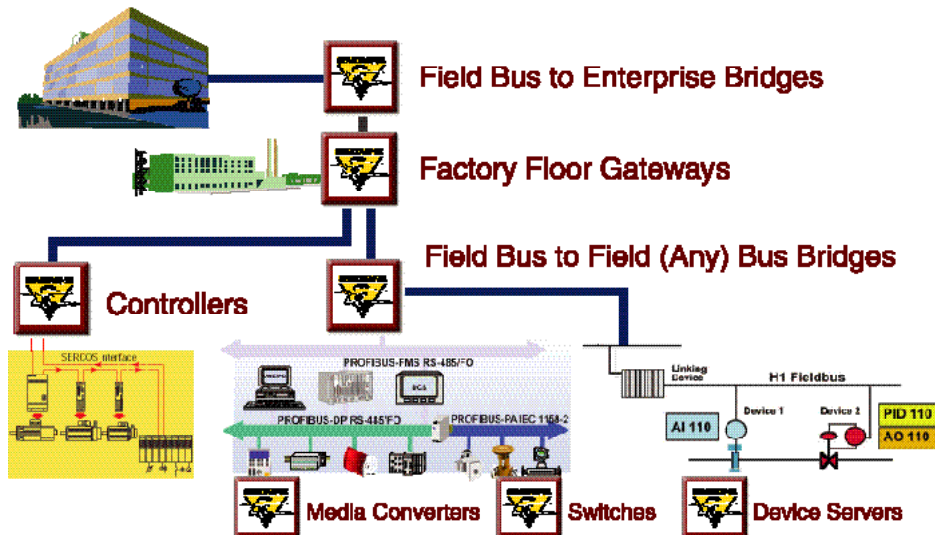
FPGA の中でも、ザイリンクスの Spartan™-3 ジェネレーション、特に Spartan-3E ファミリは、あらゆる機能を備えた低コストのプログラマブルハードウェアプラットフォームとして、産業オートメーションにインテリジェントなソリューションをインプリメントするのに理想的です。

産業オートメーション制御ネットワークにおけるザイリンクス

ザイリンクスは、あらゆるネットワーキングカテゴリとオートメーション階層にプログラマブルロジックソリューションを提供しています。低価格な Spartan-3E FPGA を使うことで、さまざまなデバイスとコントローラに非常に経済的に展開できます。

ザイリンクスの XtremeDSP™ テクノロジは、ハードウェアでの高速な DSP 演算を可能にし、DSP デジタルドライブを通して多軸モーションコントロールに前例のない解像度をもたらします。FPGA にインプリメントされている MicroBlaze™ ソフトプロセッサにより、従来外部のマイクロコントローラを必要としていたファンクションをオフロードできます。この結果、チップ数を削減した小型でスッキリとした費用対効果の高いソリ

図 1 産業オートメーションにおけるザイリンクス



ューションを開発できるのです。

UART、イーサネット MAC、PCI、PCI Express、CAN 2.0B の各種 IP コアは、産業イーサネットバスおよび PC ベースのインテリジェントコントローラとブリッジするためのハードウェアデザインを加速化します。

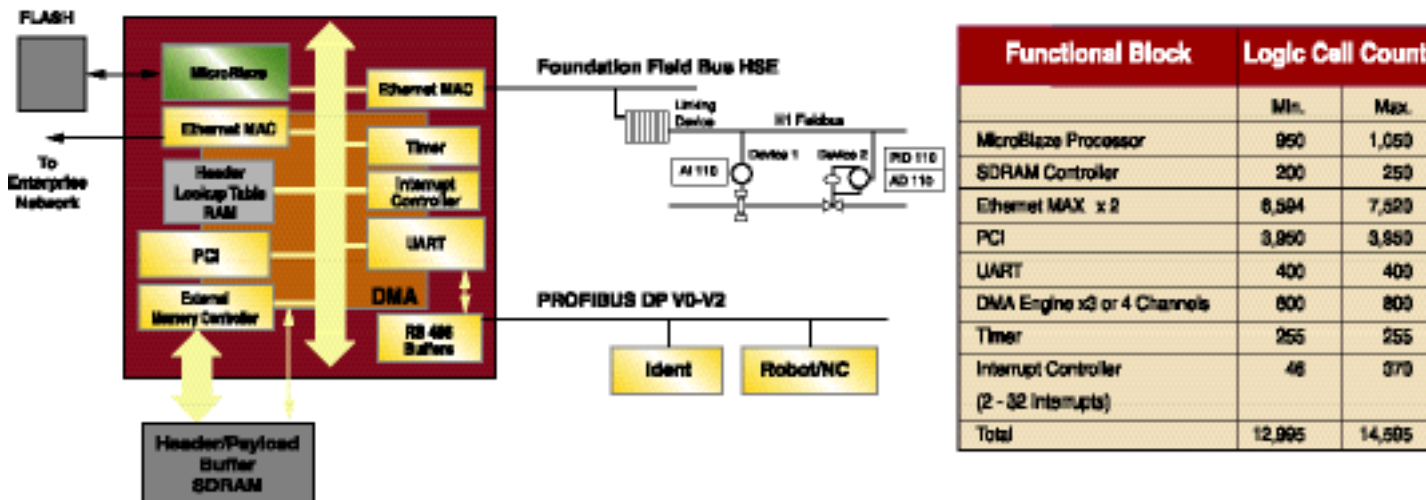
図 1 は、産業オートメーションにザイリンクスの FPGA を展開したところです。ザイリンクスの FPGA は、デバイスとシステムコントローラで利用できるだけでなく、次に挙げる分野のアプリケーションにも対応します。

・メディアコンバータ

- ・スイッチ
- ・デバイスサーバー
- ・ブリッジ
- ・ゲートウェイ

Spartan-3E ファミリの FPGA に、5 万～500 万のシステムゲート、216Kb～1,826Kb のブロック RAM まで、幅広い集積度を提供し、スケーラブルなプロセッシングニーズを満たしています。多額のコストをかけてレイアウトを変更することなく、デバイスやパッケージを変更するときにシームレスに集積度を移行できることから、システムベンダは投資を無駄にしないで済む

図 2 ザイリンクスの Spartan-3E FPGA に産業オートメーションゲートウェイをインプリメント



え、製品のロードマップを通じて総コストを削減できます（表 2）。

Spartan-3E FPGA は、エンベデッド MicroBlaze プロセッサ、UART、イーサネット MAC に加えて、世界でも有数の低コ

予想されるロジックセルの個数を示します。ザイリンクスの PCI Express と CAN 2.0 B コアには、産業インターフェイスを追加したり、プログラマブル ロジック コントローラ（PLC）を最近の PC ベースのコント

二重動作を組み合わせることで、これらの制約をうまく克服できました。こうして、イーサネットはオートメーション制御の業界に急速に普及するテクノロジーとなったのです。

図 2 に示すような産業オートメーションゲートウェイを使うことで、プロトコル変換をソフトウェアにインプリメントし、互換性のないイーサネット ネットワークをブリッジングできます。

ザイリンクスは、産業オートメーションのコネクティビティにはリアルタイム イーサネットを使用する製品市場が重要だと考えています。リアルタイム イーサネット ネットワークの到来により、最初は物理レイヤとデータ リンク レイヤ、およびエンタープライズ ネットワークへのシームレスな接続から始まって、産業ネットワーキングにおける標準化の可能性が生まれてきます。ザイリンクスの FPGA は、リアルタイム イーサネット ネットワークをインプリメントするための低コストなプラットフォームで、機能の拡張や変更に伴いフィールドでのアップグレードを必要とする現在進展中の規格をインプリメントするのに非常に適しています。

表 3 は、リアルタイム イーサネットのパフォーマンスを提供する 17 種類のインターフェイスです（2005 年 11 月現在）。この 17 のうち、特に注目したいのは、短期間で急速に支持を集めた EtherCAT、SERCOS III、Ethernet Powerlink です。

EtherCAT は、ツイスト ペアまたは光ファイバ ケーブルを用いて、30 μ s で 1,000 の分散 I/O、もしくは 100 μ s で 100 軸を処理します。EtherCAT のトポロジはシンブルかつ低コストなライン構造、ツリー構造、デジジー チェーン、ドロップ ラインをサポートし、高価なインフラストラクチャ コンポーネントを必要としません。

SERCOS は、SERCOS の実証済みのメカニズムをイーサネットの物理インフラストラクチャと併合したものです。100Mbps のデータ レートを高いプロトコル効率と組み合わせることで、それまでの SERCOS バージョンと比較してサイクル時間を半減させ、条件の厳しいリアルタイム アプリケーションに新たな基準を打ち立てました：8 バイトのサイクリック データで最大

表 2 ザイリンクスの Spartan-3E 製品マトリックス

デバイス	XC 3S100E	XC 3S250E	XC 3S500E	XC 3S1200E	XC 3S1600E
システムゲート	100K	250K	500K	1,200K	1,600K
ロジックセル	2,160	5,508	10,476	19,512	33,192
18 × 18 乗算器	4	12	20	28	36
ブロック RAM ビット	72K	216K	360K	504K	648K
分散型 RAM ビット	15K	38K	73K	136K	231K
DCM	2	4	4	8	8
I/O 標準	18	18	18	18	18
最大差動 I/O ペア	40	60	92	124	156
最大シングルエンド	108	172	232	304	376
パッケージ	User I/O	User I/O	User I/O	User I/O	User I/O
VQ100	66	66	—	—	—
TQ144	108	108	—	—	—
PQ208	—	158	158	—	—
FT256	—	172	190	190	—
FG320	—	—	232	250	250
FG400	—	—	—	304	304
FG484	—	—	—	—	376

ストなパラレル インターコネクト ソリューションを備えています。ザイリンクスの Real PCI は、PCI v2.2 準拠でタイミングが保証されたゼロ ウェイト ステートのイニシエータとターゲットの各コアおよびフル 64 ビット データ バスを提供しているため、Spartan-3E は、フィールドバスからフィールドバス、フィールドバスからエンタープライズ、フィールドバスからインテリジェントな PC ベースのコントローラ サブシステムへと接続するゲートウェイの構築に最適な FPGA ファミリです。

図 2 に、Spartan-3E のデバイスにインプリメントしたゲートウェイのブロック図と、

ローラに置き換えたりするための追加のサポートも用意されています。

産業イーサネット

当初、イーサネットは決定論的特性と堅牢性が欠落していると思われていたため、オートメーション業界では除外視されていました。10Mbps の場合、CSMA/CD は産業コントロールに求められるリアルタイムの応答（5 ~ 20ms）が保証できませんでした。しかし、100-BaseFX（リンク当たり 2 本のマルチモードファイバで 100Mbps）ハブの代わりにスイッチドメディア、そしてフル

8 ドライブの場合、サイクル時間は 31.25 μ s です。

ETHERNET Powerlink は、標準的な Fast Ethernet (IEEE 802.3u) を通して決定論的、等時的なリアルタイムのデータ

シームレスな統合のソフトウェアコンポーネント

産業オートメーションでシームレスな統合を達成するには、接続したすべての装置を

ent Object Model) の各テクノロジーに基づき、プロセス制御と製造自動化アプリケーションで使用するインターフェイスやプロパティ、メソッドを標準化したものです。

ActiveX/COM テクノロジーは、各ソフトウェアコンポーネントがお互いにどのようにやり取りしてデータを共有するかを定義します。OPC は、プロセス内の制御用ソフトウェアやデバイスにかかわらず、さまざまなプロセス制御装置と通信するための共通のインターフェイスを提供します。

主に Microsoft Windows を採用しているエンタープライズ環境では、OLE はアプリケーション間の統合策としてすでに使われており、アプリケーションに高レベルな互換性を実現します。OLE テクノロジーを使うと、再利用可能なプラグ&プレイオブジェクトを開発し、複数のアプリケーションで相互運用できるようになります。また、再利用可能なコンポーネントベースのソフトウェア開発も容易になります。この場合、ソフトウェアコンポーネントはどのソフトウェアベンダのどの言語で書いても問題ありません。ファクトリオートメーションベンダが段階的に OPC をサポートすれば、将来的にファクトリからエンタープライズへのシームレスなリンクが現実のものとなるでしょう。WindRiver 社の VxWorks AE などのリアルタイム OS は、OPC をサポートするためすでに VxOPC のような拡張機能を備えています。

ザイリンクスは、エンベデッド OS のパートナーベンダ各社と協力し、Spartan-3E ハードウェアプラットフォームをいっそう充実させ、完全なシステムソリューションを提供するよう努めています。

結論

プロセッサの性能向上や、民生の電子機器やモバイル通信ネットワーク、プラットフォームに依存しないプログラミング言語の進歩は、従来不可能とされてきたスマートなファクションをインプリメントするための有力なツールとなります。

たとえば、IEEE 1394 はリアルタイム対応の高速バックボーンとして動作でき、マルチメディアトラフィックを伝送するフィール

表 3 リアルタイムイーサネットの産業インターフェイス

	名 称	標準化組織 / 主要メーカ
1	EtherCAT (Ethernet for Control Automation Technology)	ETG / Beckhoff
2	Ethernet/IP mit CIP Sync	ODVA / Rockwell Automation
3	ETHERNET Powerlink (EPL)	EPG / B&R
4	Precision Time Protocol (IEEE 1588)	IEEE / -
5	PROFINET	PNO / SIEMENS
6	RTPS (Real-Time Publish-Subscribe Protocol)	Modbus-IDA / Schneider Electric
7	SERCOS-III	IGS / -
8	SynqNet * (only Layer 1 based on Ethernet)	SynqNet User Group / Motion Engineering Inc. (MEI), USA
9	JetSync	- / Jetter, Germany
10	PowerDNA (Distributed Network Automation and Control)	- / United Electronic Systems (UEI), USA
11	SynUTC	- / Oregano Systems, Austria
12	Switch mit Zeit-Server	- / Ontime Networks, Norway
13	RTnet (Open Source)	- / Real-Time Systems Group of University Hannover, Germany
14	Vnet/IP	- / Yokogawa, Japan
15	TCnet	- / Toshiba, Japan
16	EPA (Ethernet for Plant Automation)	- / ZHEJIANG SUPCON INSTRUMENT, China
17	SafetyNET p	SafetyBUS p Club / Pilz

交換を可能にする、ISO/OSI レベル 2 のプロトコルです。このプロトコルを使うことにより、サイクル時間 100 μ s、ネットワークジッタ 1 μ s 以下で高精度なデータ通信を行うことができます。

リアルタイムイーサネットの分野で利用可能なザイリンクスソリューションは、Spartan-3E で、これには前述のインターフェイスがインプリメントされています。

OPC (OLE for Process Control) に準拠させると良いでしょう。OPC とは、Microsoft 社と協力関係にある世界中の多くの大手オートメーションハードウェア/ソフトウェアサプライヤが共同で策定した業界標準です。

OPC は Microsoft 社の OLE (Object Linking and Embedding : 現在の Active X) COM (Component Object Model) および DCOM (Distributed Compon

ドエリア ネットワークのセグメントに対して伝播遅延を保証した透過的な相互接続を実現します。400Mbps の IEEE 1394 (FireWire) 通信を採用するモジュール型の DSP システムは、すでに産業オートメーションのアプリケーションに利用でき、多軸モーション コントロール アプリケーション用の高速デジタルドライブ、デジタル カメラ、その他の FireWire ペリフェラルを統合できます。

産業オートメーションには USB プロトコルも使われていますが、その利用範囲は、Windows ベースの PC にシリアル プロトコルのデバイスを移植するための、シンプルなプラグ&プレイ ソリューションを提供するのみに限られているようで、これは工場では PLC の座を急速に奪いつつあります。

標準化された TCP/IP プロトコルはインターネットへのシームレスなポータルを提供し、

簡単に入手できるプログラミング言語やネット ブラウザなど、使い慣れたテクノロジーを用いて Web サーバを小さな制御装置に統合することができます。また、eXtensible Markup Language (XML) は工場とエンタープライズ間でアプリケーションを統合するための有望なツールです。

産業オートメーション業界では、ワイヤレスにますます注目が集まりそうです。ワイヤレス通信の利点としては、柔軟性とケーブルコストの節約が挙げられます。たとえば、バックボーン ネットワークとしてワイヤレス メッシュを使うと、インストールが簡単になり、展開規模の大小にかかわらず、手ごろで見た目にもしっかりした完全にポータブルなソリューションになります。メッシュ ネットワークのノードは、インストールが簡単なことに加え、時計や秤、監視カメラ、さらにフォーク リストやクレーン、コンベヤ システムといっ

た可動型の機械にいたるまで、イーサネットを必要とするこの場所にでも追加できます。フィールド バスのワイヤレス版もすでに視野に入っています。

ザイリンクスは、今後も継続的な技術革新を通して産業オートメーションの進歩を支援し、エンベデッド ソフト プロセッサや DSP エンジン、そしてオンチップのクロック マネジメントや LVDS トランシーバ、レベル シフタといった増加の一途をたどる一般的なディスクリート ファンクションを含む、高性能で豊富な機能を備えるファブリックを提供していきます。さらに、システム ベンダがシステム コストと製品ライフサイクルを効率良く管理できるよう、メモリとシステム インターフェイスのコネクティビティ ソリューションを用意し、ユーザーが競合他社に先駆け新たな市場チャンスを掴むお手伝いをします。

ザイリンクス ウェブセミナー

プログラマブル ロジック ソリューションのリーダーであるザイリンクスの世界最高速FPGAのさまざまな機能と活用方法をご紹介します。コストを抑え、最大のパフォーマンスを実現するための最新情報を手に入れてください。

好評配信中 >>>

- CoolRunner™-II CPLD を使用してシステムの消費電力を低減 **New**
- Virtex™-5 ファミリの紹介と Virtex-5 LX の概要 **New**
- ザイリンクス・セロックシカ XtremeDSP ソリューション
- PlanAhead™ 8.1 - 階層デザインと解析 : FPGA デザイン性能の最大化
- ローコスト Spartan™-3E FPGA コンフィギュレーション オプション
- FPGA を用いたプロセッサ設計の特徴と手法
- Virtex-4 メモリインターフェイス アドバンテージ
- Virtex-4 ローパワー アドバンテージ
- Virtex-4 シグナル インテグリティ

セミナー内容の詳細 / ご視聴は今すぐこちらから >>> <http://www.xilinx.co.jp/webseminar/>



IDE Hard Disk Drive Solutions for Smart Handheld Applications

高性能ハンドヘルド アプリケーション向けの IDE HDD ソリューション

iWave Systems 社が提供する低消費電力の
IDE/ATA コントローラ

Jishad C.K. Abubacker

Member Technical

iWave Systems Technologies Pvt. Ltd.

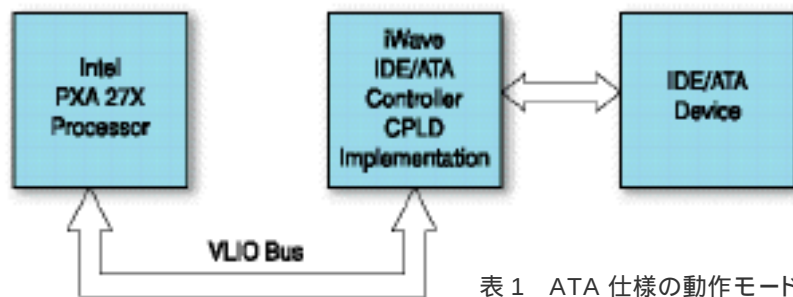
jishad@iwavesystems.com

携帯用デジタル民生機器の高機能化により、内蔵ストレージの容量増大が求められるようになりました。ハード ディスクドライブ (HDD) は、フォーム ファクタ、容量、信頼性の向上に加え、価格的にも手ごろになってきたことから、MP3 プレイヤ、パーソナルメディア プレイヤ、GPS ナビゲーション システム、カー エンターテインメント システム、携帯用ゲーム端末、スマートフォンなど、多くのアプリケーションに採用されています。たとえば、Philips 社の HDD120 MP3 プレイヤ/20GB レコーダは、従来よりも小型で軽量、省電力のポータブル HDD を採用しています。

今日の HDD で普及しているインターフェイスは、Advanced Technology Attachment (ATA) 一般的に Integrated Drive Electronics (IDE) と呼ばれるものです。

iWave Systems 社は、低消費電力のザイリンクス CoolRunner™ CPLD にインプリメントした IDE/ATA コントローラを

図 1 ファンクションブロック図



発表しました。このコントローラは次の機能をサポートします。

- ・ 16 ビット可変レイテンシ入出力 (VLIO) モードにおける Intel PXA270 CPU スタティック メモリ インターフェイス
- ・ ATA PIO モード 0
- ・ ATA マルチワードダイレクト メモリアクセス (DMA) モード 0、1、2
- ・ データバッファリング用に外部 SRAM インターフェイス
- ・ データスループット :
 - 16 ビット CPU インターフェイスと SRAM アクセス時間 55ns の場合、DMA モード 2 で達成した最大データスループットは 6.4Mbps です。また、16 ビット CPU インターフェイスと SRAM アクセス時間 10ns の場合、DMA モード 2 で達成した最大データスループットは 7.4Mbps です。
 - 32 ビット CPU インターフェイスと SRAM アクセス時間 10ns の場合、DMA モード 2 で可能な最大データスループットは 10Mbps です。
- ・ ハードディスクインターフェイスを 1 つだけサポート

システムの概要

図 1 は、Intel Bulverde PXA27x プロセッサに HDD ストレージを追加した基本的なシステムブロック図です。このプロセッサはシステム内のホストとして働き、HDD との間を行き交うトラフィックを管理します。IDE コントローラはそのスタティックメモリインターフェイス (VLIO インターフェイス) を通じて Intel CPU に接続し、Intel

表 1 ATA 仕様の動作モードに対する理論上の最大スループット

PIO Modes	Maximum Throughput
0	3.3 MBps
1	5.2 MBps
2	8.3 MBps
3	11.1 MBps
4	16.7 MBps
Multi-Word DMA Modes	Maximum Throughput
0	4.2 MBps
1	13.3 MBps
2	16.7 MBps
Ultra DMA Modes	Maximum Throughput
0	16.7 MBps
1	25.0 MBps
2	33.3 MBps
3	44.4 MBps
4	66.7 MBps
5	100 MBps

PXA27x プロセッサファミリ向けの完全な機能を備えた IDE コントローラ コンパニオンデバイスです。

プロセッサ上で DMA を利用することで、IDE コントローラは HDD とデータをやり取りする間に CPU をオフロードし、システム性能を改善してシステムの消費電力を低減します。

IDE コントローラは、PIO モード 0 に対するサポートを提供すると共に、ATA インターフェイスや制御レジスタ、ATA タイミングを管理します。オンボードに SRAM (最小 1,024 バイト) を統合した IDE コントローラにより、CPU は、割り込みをかけたたり外部接続の IDE デバイスが準備できるまで待つことなく、読み出しや書き込み動作を実行できます。

ATA 動作モード

表 1 は、ATA の仕様に定められているモードと、それぞれの理論上の最大データレートの一覧です。

プロセッサの概要

PXA27x プロセッサは、32 ビット Intel XScale マイクロアーキテクチャファミリのエンベデッドプロセッサです。このプロセッサファミリには、数々の高度なペリフェラルファンクションが組み込まれています。

- ・ CPU コア : 最高 624MHz の Intel XScale マイクロアーキテクチャ
- ・ キャッシュ : 命令用に 32KB、データ用に 32KB、「ミニ」データ用に 2KB
- ・ 内蔵 SRAM : 高速なコード/データストレージ用に 256KB
- ・ ペリフェラル :
 - オーディオコーデック '97/12S オーディオポート
 - USB クライアント/ホスト/OTG コントローラ
 - 3 本の UART
 - FIR/SIR 通信ポート
 - LCD コントローラ
 - SD/MMC コントローラ
 - I²C コントローラ
 - パルス幅変調 (PWM)
 - JTAG
 - カメラインターフェイス
 - USIM インターフェイス
 - キーパッドインターフェイス
- ・ メモリコントローラ : SDRAM、フラッシュ、SRAM、PC カード
- ・ 低消費電力 : 500mW (標準) 以下
- ・ パッケージ : 23mm × 23mm または 13mm × 13mm

コントローラの概要

iWave IDE コントローラのデザインは、CP132 パッケージに収納されたザイリンクスの CoolRunner- CPLD (XC2C256) をベースにしています。このデザインは、

複数の他のデバイスにインプリメントしてロジックのさらなる統合と柔軟性の向上を図ることが可能です。デザインを構成するブロック（もしくはモジュール）は図 2 のとおりです。

CPU インターフェイスとレジスタブロック

ローカルバスインターフェイスは、レディ

(RDY) 信号を用いて PXA27x VLIO を自動的に処理します。RDY 信号は、高速バスの動作中に、CPU 読み出し/書き込みコマンドへの IDE コントローラ デバイスの応答を正しく同期化するために使われます。SRAM が、読み出しまたは書き込み動作に対して準備ができると、転送の準備ができたことを通知するため IDE コントローラが CPU への割り込みをアサートします。

レジスタブロックは、コントローラモードの設定やステートマシンのステータス表示、動作モードの選択用として、複数のレジスタを持っています。

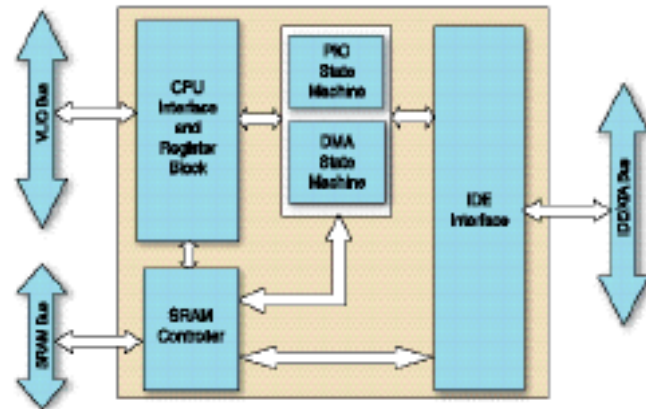
SRAM コントローラ

SRAM コントローラは、IDE コントローラと SRAM 間のインターフェイスを明確に定義します。プロセッサや IDE コントローラが SRAM にアクセスするたびに制御信号を生成してデータをバッファリングします。

ステートマシンブロック

このブロックは 2 つのステートマシン、PIO と DMA からなります。これらのステートマシンは、外部 IDE デバイスレジスタへのアクセスを含む、IDE データの読み出しと書き込みを担当します。すべての IDE シグナルタイミングはこのブロックにインプリメントされています。PIO ステートマシンは、PIO モードで動作中にトランザクションを制御します。DMA ステートマシ

図 2 ATA/IDE コントローラのブロック図



ンは DMA モードで動作中にトランザクションを制御します。

IDE インターフェイス

このモジュールは IDE に向かうインターフェイスを制御します。IDE に向かうデータトランザクションは、ステートマシンブロックと SRAM コントローラブロックによって区別されます。

ミニ HDD の概要

ドライブベンダは数社から選択できます。主なベンダは次のとおりです。

- ・日立製作所
- ・東芝アメリカ
- ・GS Magic 社
- ・Cornice 社
- ・Seagate Technology 社

リファレンス プラットフォーム

図 3 に、HDD ストレージ機能対応のドータカードをサポートする PXA27x プロセッサ ハンドセット アプリケーションのリファレンス プラットフォームを示します。HDD ドータカードは図 4 のとおりです。

IDE ソリューション パック

iWave の開発パッケージには次のものが

図 3 Intel PXA ハンドセット アプリケーションのリファレンス プラットフォーム ボード

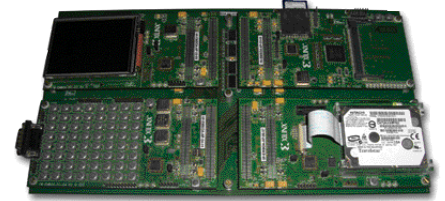


図 4 HDD ドータカード



同梱されています。

- ・Intel PXA27x ハンドセット アプリケーションのリファレンス プラットフォーム
- ・IDE コントローラのリファレンス デザイン ファイル
- ・Windows CE デバイス ドライバとアプリケーション ノート
- ・ユーザー ガイドとドキュメンテーション

結論

iWave Systems 社は、Intel Bulverde PXA 27x プロセッサ用のコンパニオン チップとして動作する、CPLD にインプリメントされた非常に消費電力の低い IDE インターフェイスを提供しています。このインターフェイスは、16 ビットのインターフェイス デザインで、データ レートが 7.4Mbps であることから、性能と消費電力のどちらも犠牲にすることなくポータブルデバイスに利用できます。

iWave Systems 社は現在、DMA モードで 10Mbps のデータ レートを実現する、32 ビットの IDE インターフェイス デバイスを開発中です。また、デザインに最小限の変更を加えるだけで他のプロセッサをサポートすることも可能です。近い将来、Linux デバイスドライバも提供する予定です。

詳細は、mktg@iwavesystems.com まで電子メールでお問い合わせください（英語のみ）。

Xilinx Low-Cost Display Solutions

ザイリンクスが提供する 低コスト ディスプレイ ソリューション

Spartan-3E ディスプレイ・ソリューション・ボードを
活用したディスプレイ デザインの短期開発

Josephine Sy

Sr. Manager, Vertical Markets, Consumer

Xilinx, Inc.

josephine.sy@xilinx.com

つい最近まで、高品位フラットパネルディスプレイのテレビは平均的な消費者にとって高嶺の花でした。しかし、今日では種類も豊富になり、価格も、1 インチ 1 万円を切るものまで登場してきました。パネル メーカーは、消費者ニーズに応えながらさらなる普及を目指し、生産能力の拡大に励んでいます。

米国の調査会社の iSuppli 社によると、LCD とプラズマ ディスプレイ パネル (P

が最小限に抑えられていることです。価格は最初に画面のサイズで決まり、後はこれらの特徴が優れているほど高くなっていきます。

一部のメーカーは、少しでも高い価格で販売するために、自社独自のイメージ エンハンスメント技術をブランドにしています。では、莫大な資金とリソースを投じることなく、自社ブランドの優れた技術を高い費用対効果で開発、テスト、製造するにはどうすればいいの

ーション向け FPGA としてベスト セラーとなっている Spartan-3E デバイスやメモリ、ディスプレイ パネルやビデオ/チューナー ボードに接続するための包括的なコネクティビティ サポートが組み込まれています。

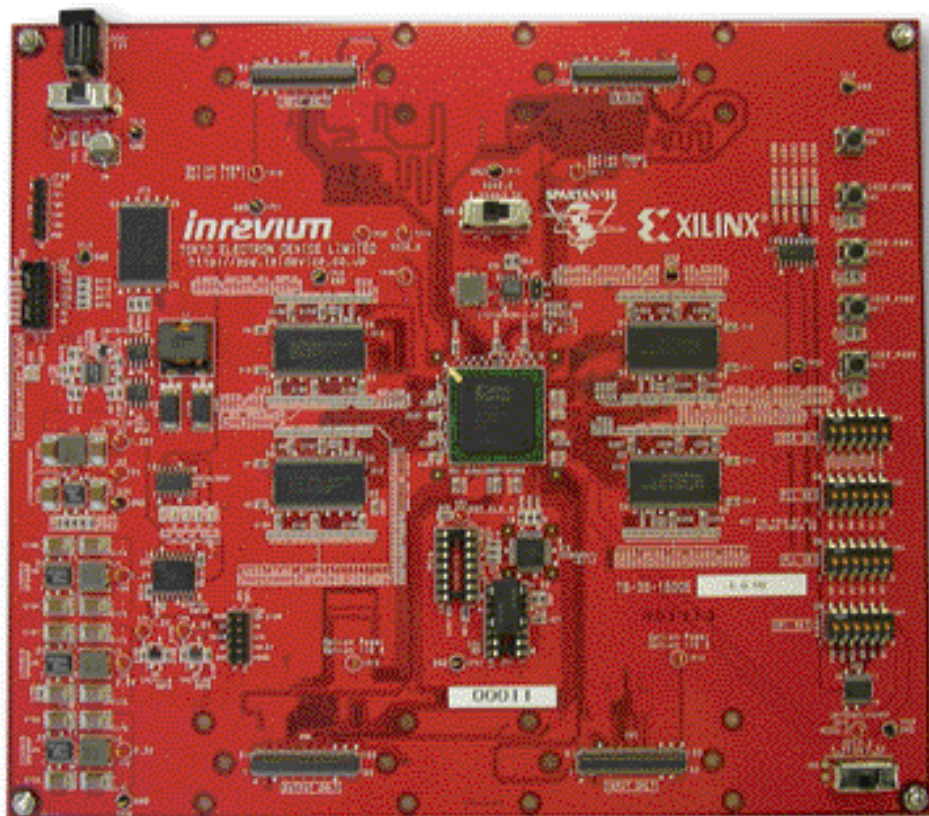
ディスプレイ アプリケーションに FPGA を利用する理由

デジタル ディスプレイ製品の設計者は、より多くのファンクションを統合し、より多くのニーズに応え、より多くの規格に準拠しながら、これまで以上に Time-to-Market を短縮しなければならないというプレッシャーを常に受けています。ASIC ベンダは必要な機能を用意するためにカスタマイズしたチップを製造しますが、ますます複雑化するビデオ/イメージ プロセッサを開発するには 1 年以上かかり、ファブリケーション プロセスが細密化するほど大きな NRE チャージが発生します。

Pixelworks、Genesis、Trident、Philips、ST といった半導体ベンダは、数多くの ASSP ソリューションを提供していますが、ディスプレイ メーカーはそれらのソリューションを用いて自社ブランドの独自機能を持つディスプレイを製造することはできません。しかし、プログラマブル ソリューションは、システム全体に頻繁に少しずつ改善を加えることで ASIC ソリューションを補うことが可能で、製品の差別化により ASSP ソリューションを補うこともできます。差別化は、イメージ エンハンスメント技術、ペリフェラル インターフェイス、ストレージ インターフェイス、コネクティビティ、あるいは GPIO 拡張などのシンプルなインプリメンテーションにより実現します。

プログラマビリティとフレキシビリティに優れるザイリンクスの FPGA は、このようなファンクションをインプリメントするための卓越したプラットフォームです。さらに、並列処理での動作や、特に民生機器向けディスプレイ市場を対象とした統合された機能を備えることから、多くのデジタル ビデオ アプリケーション開発に最適です。これら機能としては、ビデオとディスプレイ パネル両方に対応する複数のインターフェイス規格、DSP

図 1 Spartan-3E ディスプレイ・ソリューション・ボード



DP) 採用のテレビの世界における出荷台数は、2004 年の 2,000 万台から 2009 年には 9,000 万台近くまで増加する見込みです。これらのテレビは、採用しているテクノロジー、サイズとも多岐にわたり、同じインチ数だと若干価格が高いにもかかわらず、ブラウン管 (CRT) テレビの座を急速に奪いつつあります。

従来のテレビと異なるものとして消費者が期待するのは、より高い解像度や、よりリアルな色調再現、そしてデジタル動画特有の劣化

でしょうか。ザイリンクスはパートナー各社と共に、ディスプレイ ベンダが製品をいち早く市場に出すことができるソリューションを開発しました。このソリューションは、複数の先進のビデオ/イメージ プロセッシング IP コアに加え、ザイリンクスの Spartan™-3E ディスプレイ・ソリューション・ボードを提供し、豊富な機能のフラットパネル ディスプレイを短期間でデザインできます。

Spartan-3E ディスプレイ・ソリューション・ボードには、ザイリンクスの民生アプリケ

ファンクション、デジタル クロック マネージャ、電圧レベル変換、高 I/O パッケージオプションがあります。

これらの特徴に加え、ザイリンクスが高いウェハ生産能力を維持しながらプロセス技術の微細化とウェハ サイズの大型化を進めたことで、Spartan-3E FPGA は低価格での提案を可能にしています。相互接続性は、これまでよりプログラマブル ロジックの強みでした。今日、次々に変わる規格とインターフェイス技術により、FPGA はディスプレイソリューションにおける必需品になりつつあります。

Spartan-3E ディスプレイ・ソリューション・ボード

現在、ザイリンクスはデザインから発売までの期間を短縮できるよう、フラットパネルテレビのモニタ、リア プロジェクション テレビ、デジタル プロジェクタに最先端のディスプレイ技術を効率的にデザイン、検証できる開発プラットフォームを提供しています。このプラットフォームを使うことで、ディスプレイの画質と色調設定を改善するための複雑なアルゴリズムを作成・変更が可能です。

Spartan-3E ディスプレイ・ソリューション・ボードには、484 ピンの BGA パッケージに組み込まれた Spartan-3E 160 万ゲート XC3S 1600E FPGA や、関連するコンフィギュレーション PROM、そして FPGA をプログラミングする場合に使用可能なシリアル ペリフェラル インターフェイス (SPI) が統合されています。さらに、512 Mb x16 DDR SDRAM メモリが4枚装着されており、フレーム バッファリングをサポートするのに理想的です。

Spartan-3E ディスプレイ・ソリューション・ボードには、266Mbps の DDR SDRAM コントローラとイメージ プロセッシング アルゴリズムのリファレンス デザインが用意されています。また、GPIO、USB、Camera Link、DVI といったオプション ボードも使用可能です。これらオプション ボードを使えば、標準的なディスプレイ パネルとビデオボードに簡単に接続し、コネクティビティ ソリューションとビデオ/イメージ プロセッシ

ング アルゴリズムを検証できます。

図 1 は、Spartan-3E ディスプレイ・ソリューション・ボードです。ディスプレイの設計者は、このボードを使い、フレキシブルで低コスト、高性能なソリューションを目的に、より精細な画質、複数のメモリ インターフェイス、多彩なフォーム ファクタを開発できます。また、1 個の XC3S1600E Spartan-3E デバイス上に、統合型マイクロコントローラ、エンベデッド MicroBlaze™ 32 ビット RISC プロセッサ、LVDS、RSDS、ミニ LVDS インターフェイス、デジタル信号処理、オンチップ メモリ、高速な外部メモリ アクセスなど、重要なディスプレイ機能を組み込むこともできます。

リファレンス デザインと IP

Spartan-3E ディスプレイ・ソリューション・ボードに伴い、ザイリンクスは画質を高めるためのリファレンス デザインも提供しています。ディスプレイ ソリューション用のリファレンス デザインとしては、高精度のガンマ補正、イメージ ディザリング エンジン、色温度調整、動画偽輪郭 (Dynamic False Contour:DFC) があります。これらのリファレンス デザインを使用することで、輪郭強調やダイナミック ガンマ補正、ノイズ除去といった機能を基盤となるプラットフォームに付け足し、すばやく市場に投入することができます。

ザイリンクスのサード パーティ ベンダは、

その他さまざまなディスプレイ ソリューションを提供しています。たとえば、Digital Design社(<http://www.digide.com/>) は、OpenGL、Symbology Overlay、Scaling /Decimation など、完全にテスト済みの高度なソフト コアを提供しています。ディスプレイ パネルとビデオ ボードのアプリケーション用としてザイリンクスとパートナーから入手いただける各種リファレンス デザインは、表 1 のとおりです。

結論

フラットパネル ディスプレイにおける画質は非常に主観的なものであり、イメージ エンハンスメント アルゴリズムの仕様は常に進化を続けています。この進化の結果、ザイリンクスの FPGA とリファレンス デザインを使うことでイメージ エンハンスメント アルゴリズムを素早く簡単に変更できます。

ザイリンクスの Spartan シリーズは、DVD プレイヤ、プラズマ ディスプレイ、HDTV など、量産向け民生アプリケーションに広く採用されてきたという実績があり、極めて信頼性の高いパーツを提供しています。ザイリンクスは、今後もコストの削減に努めながら、新たな規格に対応して市場特有の機能とディスプレイのリファレンス デザインを追加していく予定です。

ザイリンクスのリファレンス デザインと入手方法の詳細は、<http://www.xilinx.co.jp/esp/consumer/display/> をご覧ください。

表 1 デジタル ディスプレイ パネルとビデオ ボードのリファレンス デザイン

ディスプレイ パネル	ビデオ ボード
7:1 LVDS Rx	適応可能なダイナミック ガンマ補正
タイミングコントローラ (TCON)	モーションアーティファクトの評価と補償
標準化された複数の I/O (LVDS、RSDS、Mini-LVDS)	好みの色変化 (FCT)
正確なガンマ補正	輝度とコントラストの補正
イメージディザリング	色調とサチュレーションの補正
色温度調整	シャープネスの拡張
動画偽輪郭の低減	動画による一時的ノイズの削減

High-Performance Image Processing on FPGAs

FPGA による 高速イメージ処理

高品質イメージング モジュールの開発と
低コスト デバイスへのインプリメント

Michael Tusch

CEO

Apical Limited

mtusch@apical-imaging.com

民生・産業共のカメラ・ディスプレイの巨大な市場ニーズにより、デジタル イメージング技術が急速に進化し、デバイス ベンダはより高品質の製品開発を求められています。キャプチャとディスプレイの各ハードウェアから可能な限り最高のイメージを抽出するには、先進のイメージ処理アルゴリズムを使用します。しかし、そのインプリメンテーションには、アルゴリズム固有の複雑さや、部材コスト削減のプレッシャ、開発中の多様なフォーマットをサポートする必要性、特定のデバイス環境を頻繁にカスタマイズする必要性など、さまざまな要因によって制約が生じています。

イメージ処理 IP の開発とライセンス販売は、Apical 社の中核ビジネスです。したがって、Apical 社が成功するかどうかは、これらの要因にいかに対処できるかで決まります。新しい IP コアのデザインが、RTL コーディングや検証の難しさにより妨げられたり、ユーザーが IP を評価して製品にインプリメントする簡単な方法を持っていなかったりすると、せっかく素晴らしい研究成果を挙げても意味がありません。

FPGA は、特にビデオ アプリケーションの分野で当社 IP の Time-to-Market を短縮するための非常に有効な手段であることが実証されました。IP の開発に FPGA を広範に用いることで、Time-to-Market が短縮され、IP の品質を改善し、商用化への道筋をつけることができます。本稿では、ディスプレイ アプリケーション向けのイメージ エンハンスメント技術という観点から、これらの利点を詳しく紹介いたします。

フラットパネル ディスプレイの ためのイメージ処理

ディスプレイの画質は、そのダイナミックレンジと色域によって決まります。ダイナミックレンジとは、基本的に特定の明るさの周辺環境で再現できる最も暗いイメージと最も明るいイメージの輝度の差です。色域とは、正確に再現できるカラー スペースの範囲を

表します。従来のブラウン管（CRT）と比べて、フラットパネルではダイナミックレンジ、色域の両方がある程度制限されます。特に、ダイナミックレンジが狭いことと、暗い領域で完全な黒を表現しにくいことが難点です。

入力ビデオイメージをディスプレイのダイナミックレンジに調整する標準的な技術は、ガンマ補正です。これは、イメージ処理パイプラインが微調整された非線形ゲインカーブを使用したときに若干の変更を加えるという方法です。しかし、ダイナミックレンジを大幅に調整すると、コントラストが失われて色が歪み、画質が劣化することになります。

これより良い方法は、適応型のスペースバリエーション法です。スペースバリエーションは、フレームの各領域に異なるダイナミックレンジと色補正を適用します。ディスプレイの機

図2のように、ディスプレイのイメージ処理パイプラインにこのアルゴリズムを組み込むと、最終的な画質を劇的に改善できます。また、このような処理機能を搭載するディスプレイは、理想的な表示環境で完璧な色とコントラストを保ちながら、周囲の光が非常に明るくてもイメージをきれいに再現できます。

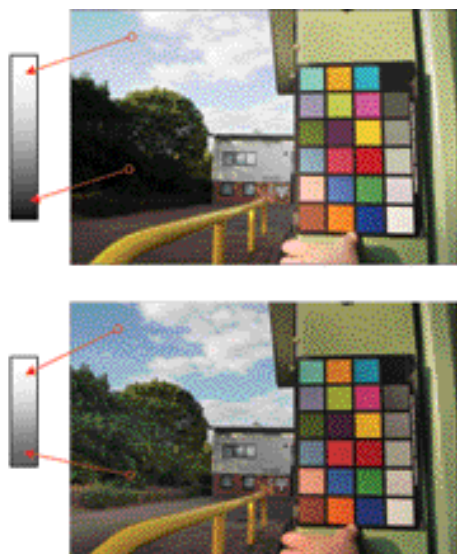
この処理は、ソース YUV データや処理後の RGB 等のいかなる段階でも実行できます。一般には標準のディスプレイパイプラインの前（プリプロセッシング）または後（ポストプロセッシング）に含めると便利です。ベストの結果を得るにはポストプロセッシングが最適です。

このようなアルゴリズムは、従来の手法よりはるかに手間がかかります。2パスプロセスで、数学的に複雑なうえ、リアルタイムで

インプリメントするには、ASSP か DSP を用いてきましたが、これらは今なお有効な手段で、場合によってはこれらが最適なケースもあります。しかし、それぞれには制約があることは周知の事実です。ASSP は柔軟性に欠け、高価なうえ開発に時間がかかります。パワフルな DSP は割高で、対応するソフトウェアアプリケーションがハードウェアの性能にマッチしないことがあります。FPGA デバイスの魅力は、それぞれの利点を兼ね備えていることです。

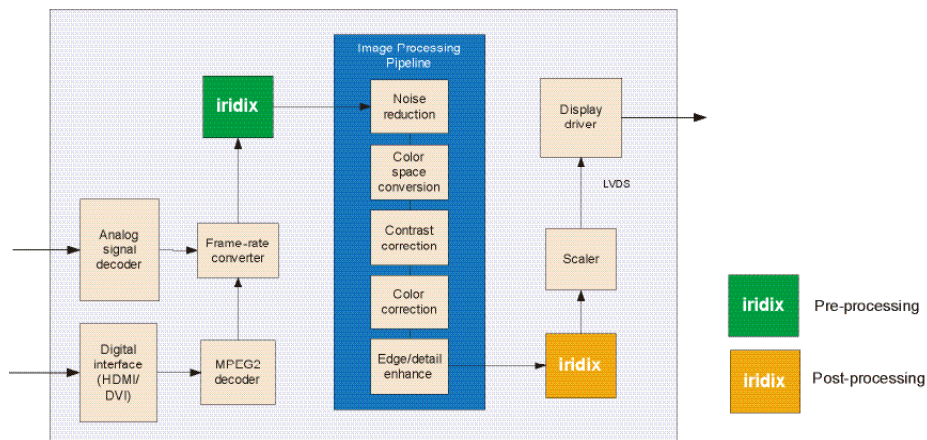
イメージ処理アルゴリズムとそれらのターゲットとなるディスプレイアプリケーションは共に急速に進化しているため、FPGA の柔軟性は Apical 社にとって特に重要です。Time-to-Market はあらゆる民生アプリケーションにとって重要な要素です。製品の品

図1 スペースバリエーションによるダイナミックレンジ圧縮の効果



能で十分対応できる領域は変更されず、それ以外の領域に適用されます。Apical 社の iridix（虹彩）技術の場合、入力フレームの統計的解析に基づき、個々のピクセルに異なる非線形補正が適用されます。広いダイナミックレンジを持つイメージにこのアルゴリズムがどう影響するかは、図1を見れば一目瞭然です。このアルゴリズムは、ビデオ信号のすべてのフレーム内のすべてのピクセルに最適化した異なるガンマカーブを効果的に適用しています。

図2 典型的なディスプレイパイプラインと、FPGAを通したプリプロセッシングおよびポストプロセッシングのオプション



ストリーミングビデオデータを変換して大容量フレーム（HDTV）を扱うため、少なくとも12ビットの高精度なオペレーションと高速演算を必要とします。

アルゴリズムの複雑さに加え、研究開発の新たな成果を次々に取り入れて、多種多様なビデオフォーマットをサポートすると共にカスタマイズの要件に対応することも開発上の課題となります。

イメージ処理用プラットフォームとしてのFPGA

従来、民生デバイスにイメージ処理機能を

質を落とすことなくできるだけ短縮する必要があります。

アルゴリズムの複雑さを考えると、画質を解析して歪みを検出するために、数百時間におよぶビデオテープのビヘイビアモデルを延々とテストすることは現実的ではありません。1個のフレームだけでも処理に数分かかります。このため、デザインをできるだけ早くハードウェアにインプリメントすることの重要性は、インプリメンテーション前に完全なシミュレーションを行うという従来の方法と衝突することになります。

加えて、IP はディスプレイ最適化プロセスの一環としてカスタマイズを必要とするこ

図 3 スタンドアロンのビデオプロセッシングに用いるSpartan-3 ベースのアーキテクチャ例

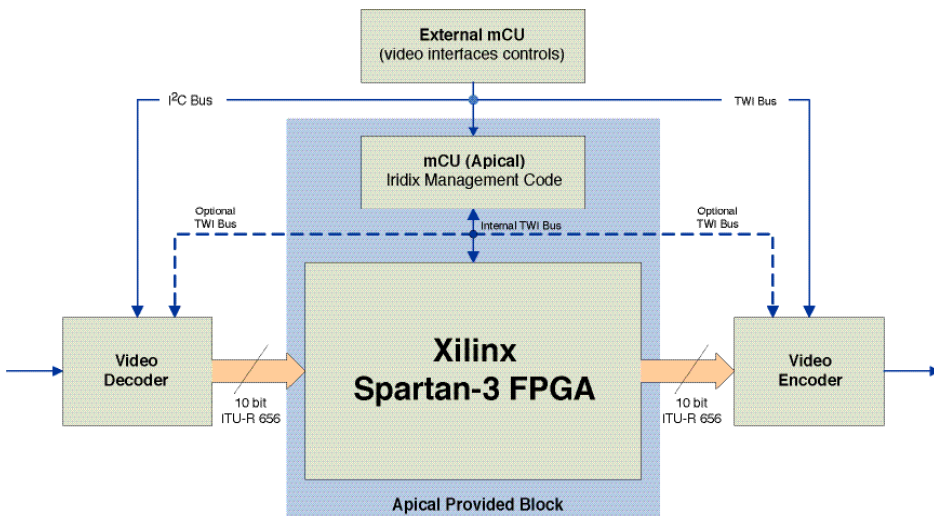


表 1 Apical 社の IP が要求する FPGA の特性

IP Requirement	FPGA Requirement
Logical Complexity	Around 5,000 Slices or More
Real-Time Pixel-by-Pixel Transformations	Embedded Hardware Multipliers
Storage of Look-Up Tables and Statistics	Embedded Memory
Time to Market	Good Development Environment

表 2 Spartan-3 FPGA 上の Apical 社 "iridix" コアの統計

Property	Spartan X3S1500-4
Slices	4,379
Logic	28% of Logic 40% of Multipliers
Memory	17% of Memory
Clock Frequency	75 MHz

とがあるため、柔軟性が不可欠です。ディスプレイアプリケーションにはビデオフォーマットに関する規格が複数ありますが、画質を標準化することは不可能ですし、ビジネス面でも魅力的ではありません。したがって、柔軟性とカスタマイズ性が高いほど IP の価値も高まります。

FPGA アーキテクチャの柔軟性を実際に活用するには、デバイスがアプリケーション

の性能要件を満たしている必要があります。Apical 社の主要アルゴリズムに対する要件は表 1 に示すとおりです。Apical 社の主なダイナミックレンジ圧縮 IP は、ほとんどのイメージパイプライン IP よりはるかに複雑ですが、ザイリンクスの Spartan™-3 FPGA など、必要なリソースをすべて備えているデバイスもあります。比較的安価な Spartan-3E (XC3S500E) FPGA でも、HDTV ビデオを 60Hz で処理できます。

Apical 社の Time-to-Market の目標を達成するには、良好な開発環境を用意できることが重要です。ザイリンクスの ISE™ ソフトウェアはそうした環境を提供し、また最近発表された Spartan-3 ディスプレイ・ソリューション・ボードは Apical 社の IP にとって利便性の高い開発・デモ用プラットフォームです。

ディスプレイ製品における FPGA

PLD は、比較的最近まで、フラットパネルディスプレイなどに複雑なビデオ IP をインプリメントするためのデバイスとしては考えられておらず、ASSP が唯一の選択肢

でした。しかし、FPGA の技術は急速に進化し、Spartan-3 FPGA のような低コストデバイスでさえ、このようなアプリケーションに十分利用できるようになりました。

Spartan-3 FPGA の性能/コスト比は、フラットパネルディスプレイを含む数々のアプリケーションで ASIC の代替デバイスとして通用します。Spartan-3 FPGA は、「この新 IP を含めたいが、そのためにデザインリスクや Time-to-Market を犠牲にするわけにはいかない」というデバイスベンダのジレンマをただちに解消してくれます。FPGA ビットストリームはエンベデッドソフトウェアと同じくらい簡単にアップデートできるうえ、パネルの特性やディスプレイイメージングパイプラインの残りの部分と適合するようにカスタマイズすることが可能です。

図 3 に示すとおり、シンプルな 8 ビットのマイクロコントローラを用いて、I2C 互換 (2 ワイヤ) のインターフェイスを通してアルゴリズムのパラメータを簡単に制御できます。

ロジック量が十分であれば、FPGA は標準の ASSP と遜色なく複数の要件にあわせたイメージエンハンスメントを実現し、デコーディング、デインターレーシング、スケーリングなどの追加ファンクションを扱うことができます。

結論

過去 5 年間、イメージ処理の研究開発は劇的な進化を遂げ、ディスプレイは強い価格圧力を受けながらも前例のない画質を実現できるレベルに到達しました。デバイスの開発において、そのモジュールコストが安い割には、最終的な画質の改善に最も貢献したのはイメージングパイプラインであるといえます。

Spartan-3 デバイスは、イメージングデバイスメーカーが Apical 社が提供するようなイメージエンハンスメント IP を用いて製品力を高めたい場合に、ASIC に代わる新たな候補になります。

IP と FPGA へのインプリメンテーションの詳細は、<http://www.apical-imaging.com/> をご覧ください。

Utilizing Virtex-4 FPGA-Immersed IP for Hardware Acceleration
for RAID 6 Parity Generation / Data Recovery

Virtex-4 FPGA- Immersed IP 利用による RAID 6 用ハードウェア アクセラレーション

ストレージシステムにおけるデータの信頼性と可用性を向上させる
FPGA と埋め込み型 IP ブロック

Matt DiPaolo
Sr. Product Applications Engineer
Xilinx, Inc.
matthew.dipaolo@xilinx.com

Steve Trynosky
Product Applications Manager
Xilinx, Inc.
steve.trynosky@xilinx.com

独立ディスクの冗長アレイ (RAID) とは、物理ストレージの容量の一部にまったく同じ情報を格納するハード ディスク ドライブ (HDD) アレイです。あるディスクのどこか一ヶ所のセクタが消えたなど、そのアレイの 1 つ以上のメンバディスクに障害が起こったり、メンバ ディスクへのアクセス パスに障害が起こったりした場合、この情報を用いてデータを生成しなおすことができます。

RAID にはたくさんのレベルがあります。インプリメントした RAID レベルは、データの読み出しと書き込みのオーバーヘッド、パリティの格納と維持のオーバーヘッド、そしてデータ消失までの平均時間 (MTDL) など、いくつかの要因に依存します。最新のレベルは RAID 6 で、これには 2 通りのインプリメンテーションがあります (Reed-Solomon P+Q もしくは Double Parity)。RAID 6 は 2 つのディスクが同時に故障しても対応できる初の RAID レベルであり、RAID 5 よりさらに MTDL が改善されています。

本稿では、RAID 6 を対象とするザイリンクスのリファレンス デザインを概説し、ブロック セレクト RAM、分散メモリ、FIFO メモリ、デジタルクロック マネージャ (DCM)、PowerPC™ PowerPC 405、DSP 48 ブロックなどを含む、Virtex-4™ アーキテクチャの埋め込み型ハード IP ブロックの利点を紹介していきます。ザイリンクスのハードウェア アクセラレーション ブロックは Reed-Solomon RAID 6 をサポートし、

所定のファームウェアと組み合わせることでより他の RAID レベルもサポートできます。

なぜ RAID 6 ?

RAID 5 のような RAID レベルでは、ディスクが故障すると、システム ファームウェアはそのディスクから失われたデータを再生成するため残りのディスクを使います。再生成が完了する前にもう 1 つのディスクも壊れると、データは永久に失われ、そこが MTDL の基準点となります。従来は、データ量とディスク障害の発生率を考えると、RAID 5 の MTDL は許容範囲でした。

シリアル ATA や シリアル アタッチド SCSI (SAS) などの安価なディスクや大容量ディスクの普及に伴い、ディスクの平均故障間隔 (MTBF) は劇的に高まりました。たとえば、それぞれ容量 300GB のディスクが 50 枚ある場合、MTBF は 5×10^5 時間となり (読み出しエラー率 10 ~ 14) アレイ故障までの期間は 8 年未満です。Intel 社の TechOnline "High-Performance RAID 6 : Why and How" では、RAID 6 では 80,000 年に延びるといわれています。追加のパリティデータとディスクドライブに対する追加の読み出し/書き込みによりディスク スペースのオーバーヘッドが高まり、また複数のディスク障害に対応するためシステムが複雑になることを考慮しても、MTDL を大幅に改善できるなら納得できます。

RAID 6 のもう 1 つの特徴として、データと冗長情報を複数のディスクに格納する方法があります。図 1 は、5 枚のディスクからなるシステムの例です。データとパリティ情報は、全ドライブにまたがってデータ ブロックに水平にストリップされます。一般に各ブロックは 512 バイトの整数倍です。RAID 4 のようにパリティ ドライブがシステムのボトルネックになる可能性を避けるため、パリティ情報はデータ ブロックを 1 ずつ増やしながらドライブの周りを回転します。5 ディスクの場合、パリティに対するオーバーヘッドは 40% ですが、ディスク アレイを大型化して 12 ディスク システムにすると 16% に減少します。

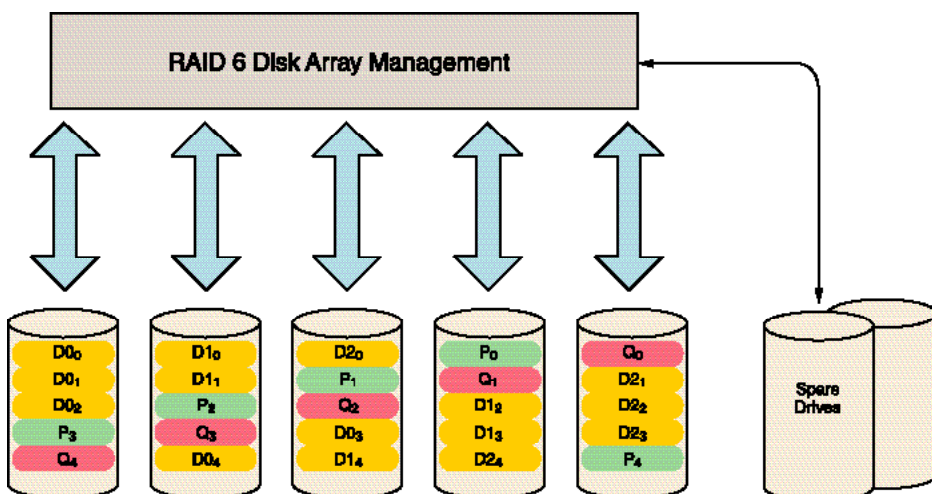
RAID 6 に使われる数式

Reed-Solomon RAID 6 を理解するには、ガロア体 (Galois Field : GF) の数式についてある程度の予備知識が必要です。ここでは RAID 6 のインプリメンテーションに使われる GF 数式をまとめておきますが、詳細は次のドキュメントをご覧ください。

- Xilinx XAPP731
(<http://www.xilinx.co.jp/bvdocs/appnotes/xapp731.pdf>)
- Intelligent RAID 6 : Theory, Overview and Implementation
(<http://www.intel.com/design/storage/papers/308122.htm>)
- A Tutorial on Reed-Solomon Coding for Fault-Tolerance in RAID-like Systems
(<http://www.cs.utk.edu/plank/plank/papers/CS-96-332.html>)
- The Mathematics of RAID 6
(<http://kernel.org/pub/linux/kernel/people/hpa/raid6.pdf>)

GF 数式は、いかなる計算であれ、2 つの演算子 (オペランド) から求められた値はかならずそれら演算子と同じビット数を持つ、

図 1 RAID 6 のデータブロック構造



FPGA には、メモリ コントローラおよび PowerPC405 とインターフェイスする SATA プロトコル コントローラが搭載されています。

と定義しています (GF で 8 ビットの数字 2 つを乗算すると、同じく 8 ビットの数字となる) GF の乗算と除算は次のように定義されます。加算/減算は、通常の整数の加算/減算と同じです。

$$2 \otimes 8 = \text{gfilog}[\text{gfllog}[2] + \text{gfllog}[8]] = \text{gfilog}[1 + 3] = \text{gfilog}[4] = 0 \times 10$$

$$0 \times d \div 0 \times 11 = \text{gfilog}[\text{gfllog}[0 \times d] - \text{gfllog}[0 \times 11]] = \text{gfilog}[0 \times 68 - 0 \times 64] = \text{gfilog}[4] = 0 \times 10$$

リファレンス デザインは、多項式 $x^8 + x^4 + x^3 + x^2 + 1$ を用いて gfllog と gfilog の値をインプリメントします。FPGA 内のブロック RAM に格納されているルックアップ テーブルは、高速アクセスを実現するためデータ バス内に置かれていますので、DDR メモリと同じスピードで高速に計算できます。

RAID 6 のパリティ (P & Q) 等式

2 枚のディスク障害から復旧するため、RAID 6 は 2 個の固有のパリティ値、P と Q を格納しています。この 2 番目のパリティは、2 つの未知の値 (つまりディスク障害ポイント) を解決できるよう、第 2 の等式を作ります。

次の等式は、分かり易くするため、各データブロックについて 3 枚のデータ ディスクと 2 枚のパリティディスクからなる RAID 6 ディスク アレイを想定しています。これらの等式は、2 枚のパリティディスクを含め、等式の数学的限界である 255 ディスクまでカバーします。

最初は RAID 5 と同じ P パリティです。シンプルな排他的論理和 (XOR) ファンクションは、アレイ グループ内のデータドライブに水平にまたがって同じセクタ内のデー

タ値からパリティブロックを生成します。図 1 では、 P_0 は $D0_0$ 、 $D1_0$ 、 $D2_0$ の論理和を求めます。

$$P_N = D0_N \oplus D1_N \oplus D2_N \oplus \dots \oplus D(M-1)_N$$

・ $N = 0 \sim$ ディスク ドライブ上のブロック

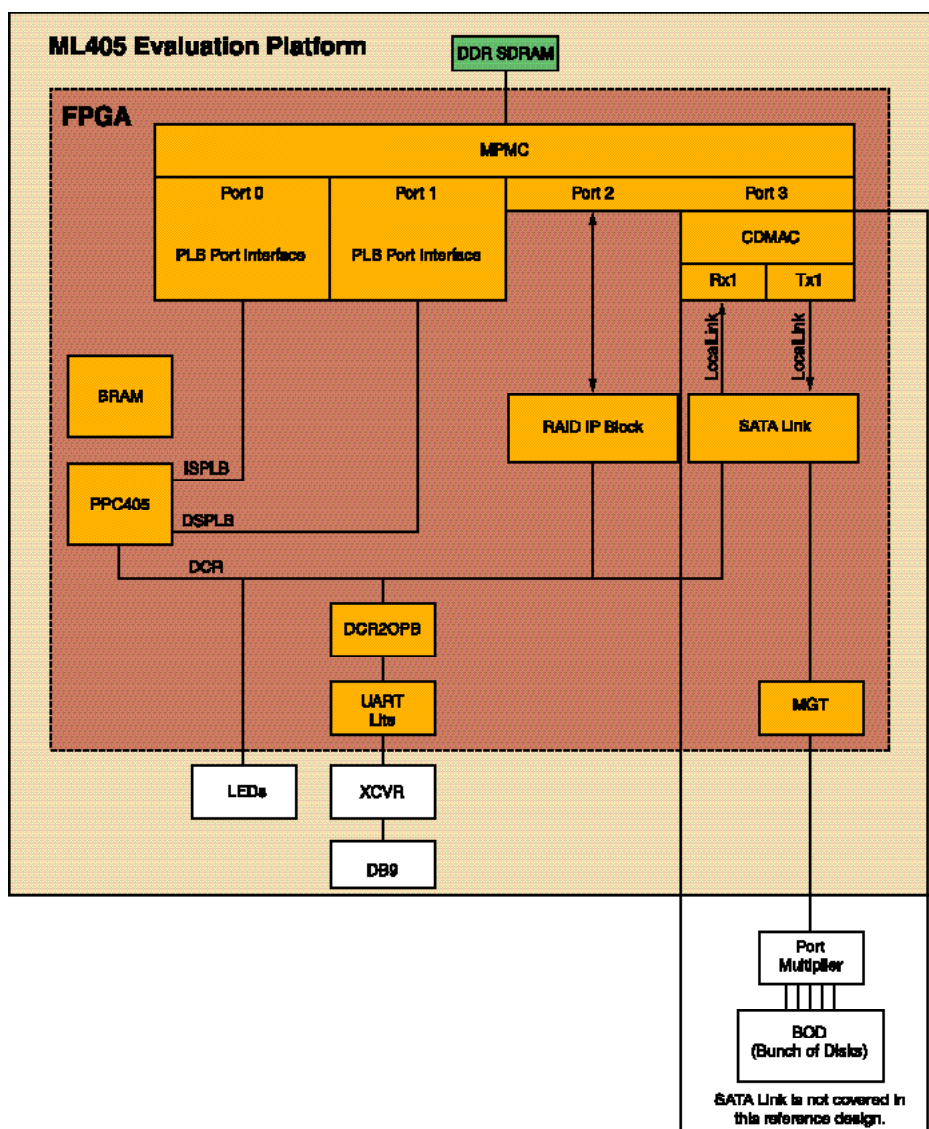
(セクタ) の最大数

・ $M =$ アレイ グループ内のデータ ディスクの枚数

3 データ ドライブ システムの最初のセクタに対する等式は次のとおりです。

$$P_0 = D0_0 \oplus D1_0 \oplus D2_0$$

図 2 理論上の代表的システム



RAID 6 では、Q パリティは各データ ディスク ドライブに関連付けられている GF 乗算定数を割り当てます。この定数は、アレイ内の各ドライブではなく、アレイ全体にまたがって水平にストリップされているデータ ブロックだけに適用されます。各データ ブロックは、次のデータ ドライブのデータ要素に追加する前に、定数により GF 乗算されます。g 定数は GFLOG テーブルから求められます。アレイに別のドライブが増設されると、 $g_3 = \text{gflog}(3) = 0 \times 8$ となります。

$$Q_N = (g_0 \otimes D_{0_N}) \oplus (g_1 \otimes D_{1_N}) \oplus \dots \oplus (g_{(M-1)} \otimes D_{(M-1)_N})$$

3 データドライブシステムの 3 番目のセクタの等式は次のようになります。

$$Q_2 = (0 \times 1 \otimes D_{0_2}) \oplus (0 \times 2 \otimes D_{1_2}) \oplus (0 \times 4 \otimes D_{2_2})$$

FPGA ベースのハードウェア アクセラレーション ソリューション

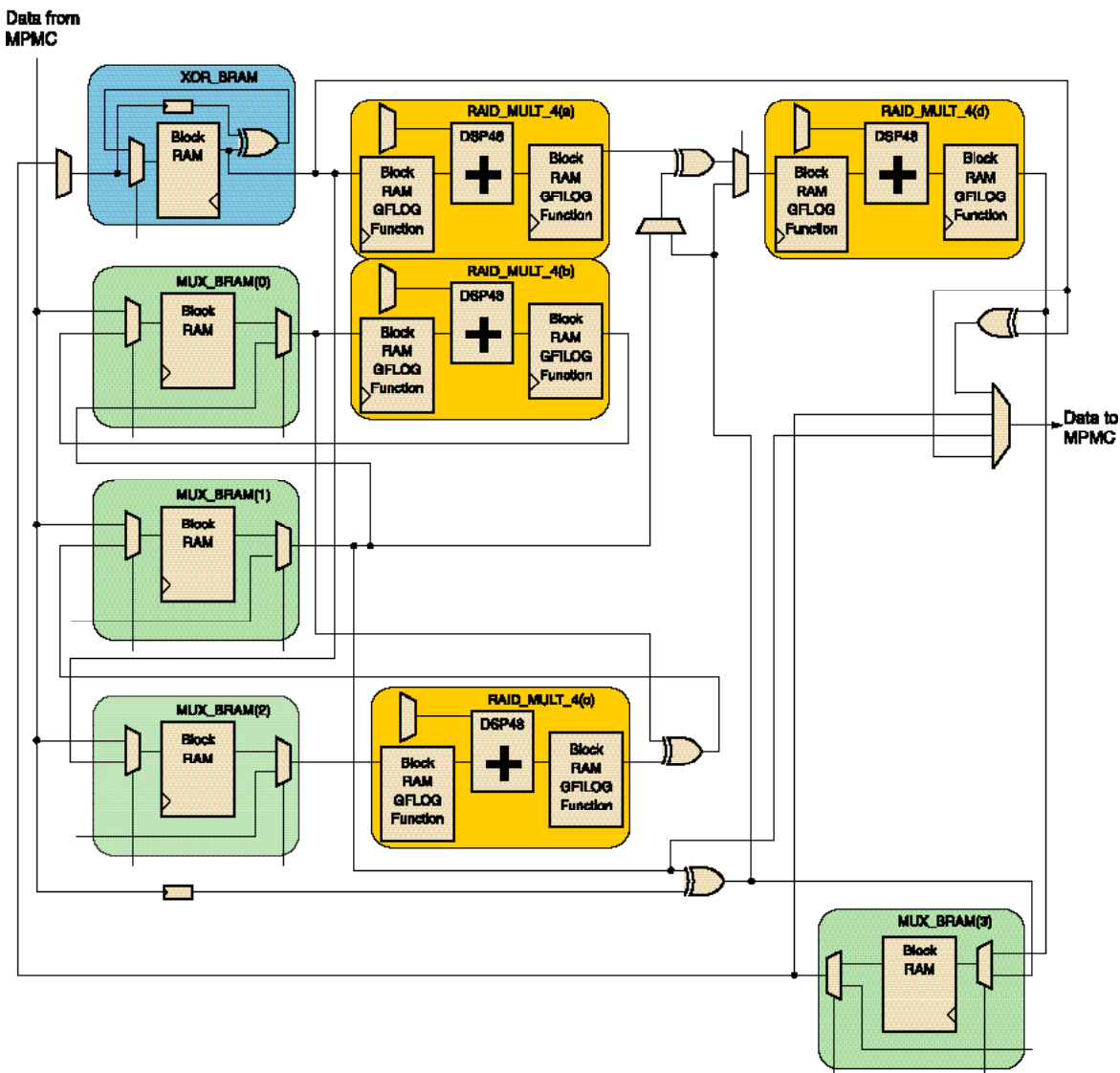
RAID 6 用のザイリンクス リファレンス デザインは、サンプル コンフィギュレーションに基づいています。このケースでは、システムは ML405 デモンストレーション ボードに RAID ホスト コントローラを備えています。このボードは Virtex-4 FPGA と DDR

メモリ、ポート マルチプライヤに接続されたシリアル ATA(SATA) コネクタを搭載しており、ポート マルチプライヤから 5 台の SATA HDD に接続されています。

FPGA には、メモリ コントローラと PowerPC 405 にインターフェイスする SATA プロトコル コントローラがあります。全体的なシステム アーキテクチャに応じて、SATA プロトコル コントローラをシリアル アタッチド SCSI(SAS)ファイバチャネル(FC) その他任意のディスク インターフェイス プロトコルに置き換えることも可能です。

リファレンス デザインは、RAID 6 システムのハードウェア アクセラレーションの部分だけを対象にしています(図 2)。エンベ

図 3 データ操作ブロックのロジック



ザイリンクスの RAID 6 用リファレンス デザインは Virtex-4 アーキテクチャの埋め込み型ハード IP ブロックの利点を備え、ファームウェアを組み合わせることにより各 RAID レベルをサポートできます。

デッド PowerPC 405 ブロックは、RAID 6 のハードウェアを制御し、メモリのデータブロックとパリティブロックへのポインタをセットアップするとともに、ハードウェアをセットアップします。ただし、メモリと HDD を結ぶプロトコル リンクについては、やり方が無数にあるため、リファレンス デザインには用意がありません。

RAID ファームウェアと RAID ハードウェア アクセラレータ ブロックを走らせるためのマイクロプロセッサが用意されています。また、このファームウェアは、ある種の HDD を接続したときに生じる代表的なデータを生成します。PowerPC 405 ファームウェアは、ディスク アレイ システムから取り出したディスク セクタをエミュレートするため、DDR メモリにサンプル データ ブロックを作成します。その後、RAID アクセラレータはこれらのデータ ブロックを用いてパリティブロック P と Q を生成します。

ザイリンクスのマルチ ポート メモリ コントローラ (MPMC) は DDR メモリを制御します。また、MPMC は共有メモリにアクセスするための複数のメモリ マスタを提供すると共に、PowerPC 405 のインストラクションおよびデータ側のプロセッサ ローカル バス インターフェイスそれぞれに接続します。他の 2 つのポートは、このリファレンス デザインに対するシステム特有のインプリメンテーションを提供し、1 つは RAID ハードウェア アクセラレータに、もう 1 つはハード ディスクへのアクセスに利用されます。MPMC の詳細は、XAPP535、"High-Performance Multi-Port Memory Controller" (<http://www.xilinx.co.jp/bvdocs/appnotes/xapp535.pdf>) をご覧ください。

RAID 6 ハードウェア アクセラレータは、膨大な数値演算を伴います。RAID 6 の計算では、データの各ブロックをメモリ バッ

ファに格納した後、他のデータ要素に XOR もしくは加算されている間、一時的なデータバッファに読み出す必要があります。膨大なデータ操作が必要になるのです。この操作には時間がかかりますが、ハードウェア インプリメンテーションはプロセッサだけのレジスタ計算より高速です。ハードウェアはデータブロックの並列操作、クロック レートでのブロックアップ テーブルへのアクセス、そしてプロセッサ単独の場合よりはるかに高速に動作する乗算器を提供できるためです。ディスク そのもののシーク時間を含めると、これは総時間のごく一部にすぎません。

ハードウェア アクセラレータは 4 つのメイン ブロックからなります。

- Data Manipulation Block (DMB) : このブロックは、1 バイトのデータ上で演算を実行します。システム データの幅に応じて、より大きなデータ幅をサポートするには DMB ロジックを追加できます。DMB はパリティの作成が可能で、RAID 6 の等式で解説したいかなる場合のデータでも再生成できます。
- RAID FSM : リファレンス デザインのメイン ロジックです。ブロック RAM アドレス、読み出し、書き込み制御、マルチプレクサ選択ラインを含むあらゆる DMB 信号と共に MPMC_IF ブロックを制御します。
- DCR FSM : PowerPC 405 デバイス制御レジスタ (DCR) バスと通信します。
- MPMC_IF : データを転送するために MPMC ブロックのネイティブ インターフェイスを制御します。MPMC は、プロセッサ インストラクションおよびデータ キャッシュのプロセッサ ローカル バス (PLB) インターフェイスとタイムシェアリングする、4 ポートの DDR メモリ コント

ローラです。

ファームウェアは、あらゆる RAID システムで大きな役割を果たします。とはいえ、RAID レベルが異なってもハードウェアはほとんど同じです。HDD での多様なデータ構成方法やパリティの生成方法に応じてファームウェアは変わりますが、ハードウェア アクセラレータは同じでも問題ありません。

ハードウェア アクセラレータは、RAID 6 以外の RAID レベルも必要最低限の変更でサポートできます。サポート可能な RAID レベルとしては、RAID Double Parity (DP)、RAID 5、RAID 4、RAID 3 などがあります。

結論

ザイリンクスの RAID 6 用リファレンス デザインは、ブロック セレクト RAM、PowerPC、PowerPC 405、Reed-Solomon RAID 6 をサポートするハードウェア アクセラレーション ブロック内の DSP48 ブロックなど、Virtex-4 アーキテクチャの埋め込み型ハード IP ブロックの利点を備えており、また所定のファームウェアと組み合わせることによって他の RAID レベルをサポートできます。

ブロック RAM は GF 数式ルックアップ テーブルに使用され、DSP48 のブロックは高速な整数加算を実行し、PowerPC 405 はメモリとアドレスを管理すると共に HDD アレイ内の RAID レベル データ構造を扱うこともあります。すべてのシステムに言うことですが、冗長システムを構築する際は、ハードウェアとファームウェアのトレードオフをしっかりと考える必要があります。

RAID 6 のリファレンス デザインについての詳細は、<http://www.xilinx.co.jp/bvdocs/appnotes/xapp731.pdf> をご覧ください。

Why You Should Use FPGAs in Data Security

データ セキュリティ のための FPGA

理想的プラットフォームとしてのザイリンクス製品の卓越性

Mike Nelson

Senior Manager, Storage and Servers, Vertical Markets

Xilinx, Inc.

matthew.dipaolo@xilinx.com

データセキュリティは、急速に通信や企業インフラの必須条件になりつつあります。セキュア e コマース（安全な電子商取引）は年々 2 倍の成長を遂げています。米国企業改革法（Sarbanes-Oxley Act）や、医療保険の相互運用性と説明責任に関する法律（Health Insurance Portability and Accountability Act：HIPAA）などの新たな法律により、より多くの情報を保管、保護する義務が生じています。機密データの取り扱いを誤ると、莫大な賠償責任を負いかねない時代なのです。さらに、製品設計の完全な電子化、顧客データベース、サプライチェーン マネジメントなど、企業資産としてのデータ価値も高まりつつあります。このように、データセキュリティはほとんどのシステムアーキテクチャで欠くことのできない要素になっています。

しかし、データセキュリティのインプリメンテーションには下記に代表される深刻な課題が数多く存在します。

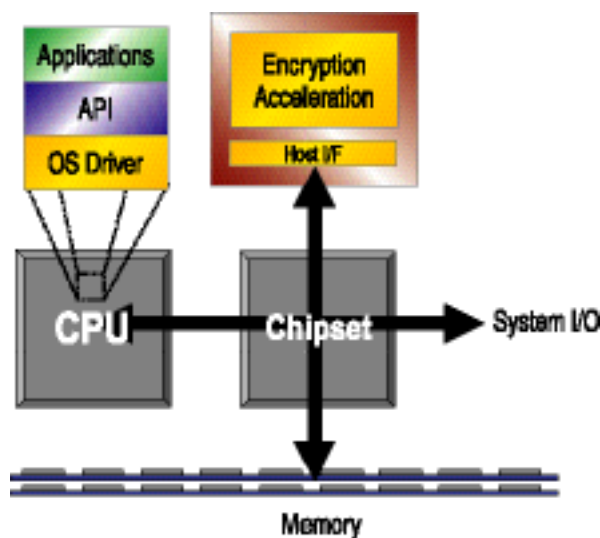
- ・ 幅広いパフォーマンス要件
- ・ システム コストに対する強いプレッシャー
- ・ 多岐に存在し、常に進化する標準規格
- ・ データセキュリティが IT インフラの一部となりつつある中、必要不可欠となってきた管理性

本稿では、データセキュリティに対するインプリメンテーションの選択肢を見ていくと共に、このアプリケーションのプラットフォームとしてザイリンクスの FPGA がいかに優れているかを紹介します。

データセキュリティのインプリメンテーション

データセキュリティのインプリメンテーションには、ソフトウェア オンリー（ソフトウェアだけのもの）からハードウェア オンリー（ハードウェアだけのもの）までさまざまな方法があります。一般に、ソフトウェアだけでインプリメントする方が簡単に見えますが、これは、認証や暗号化のアルゴリズムは膨大な数値演算を伴うため、シングル ユーザー/クライアント サイド アプリケーションや非

図 1 並列型のデータセキュリティコプロセッサ



コプロセッサの側面図
膨大な演算処理を
他のプロセッサに割り当てる

図 2 インラインのデータセキュリティプロセッシング



インライン プロセッサ
データセキュリティを
システムのデータパスに直接組み込む

常に低バンド幅のサーバ アプリケーションに限られます。

データセキュリティをインプリメントする上でより良い方法は、カスタム ハードウェアを用いてソフトウェア ソリューションを加速化することです。この方法は、x86 やネットワーク プロセッサ ユニット（NPU）をベースとするシステム デザインでごく一般的に使われています。図 1 に、コプロセッサによる古典的なデータセキュリティソリューションを示します。

コプロセッシングは、そのシンプルさと、ソフトウェア オンリーのソリューションのパフォーマンスを手際良く高められることから、魅力的な手法ですが、コプロセッシングを利用する場合、ベース システムのメモリ、特に I/O バンド幅がパフォーマンスに悪影響を与えるというマイナス面もあります。しかし、データセキュリティ アプライアンスとしてパッケージングされている x86 システムなど、専用のインプリメンテーションを使用すると、これらのリソースを慎重に割り当て

表 1 データセキュリティのインプリメンテーション オプションの比較

	ソフトウェア オンリー	ASIC	ASSP	FPGA
初期投資	不可	高～非常に高	低	中
パフォーマンス	低	高	高	高 (1)
ユニットコスト	不可	低	中	中
カスタマイゼーション	高	高	低	高
スケーラビリティ	低	低	中	高
デバイスの入手性	不可	中期	中期	長期
攻撃への耐久性	低	中	低～中	高
リプログラマビリティ	高	低～なし	低～なし	高

(1) モジュラー指数化の場合を除く。FPGA はモジュラー指数化を十分サポートできますが、トランザクション サーバクラスの TPS には効率的ではありません。

ることができるため、それほど大きな問題にはなりません。また、PCI と PCI-X の従来の共有バスアーキテクチャから PCI-Express のスイッチド ファブリック アーキテクチャへの移行に伴い、コプロセッシングのバンド幅が大幅に向上することから、将来を有望視されています。

しかし、コプロセッシングは万能薬ではなく、アプリケーションによってはインラインアーキテクチャの方が適すケースも多くあります。インラインアーキテクチャは図 2 のとおりです。

インライン プロセッサは、システムのデータパスにデータセキュリティを直接組み込みます。この方法は、VPN ゲートウェイやストレージセキュリティ アプライアンスなどの通信型アプリケーションによく使われ、主要なシステム リソースにほとんど、あるいはまったく影響を与えずにコプロセッサと同じくらい数値演算の負担を軽減します。

データセキュリティのオプション

データセキュリティにソフトウェア オンドリーの限界以上のパフォーマンスを求める場合、アドオン コプロセッサがインライン データパス プロセッサという形で追加のハードウェアが必要になります。では、ASIC、ASSP、FPGA のうちどのハードウェアが適するのでしょうか。

いずれも一長一短で、状況に応じて使い分ける必要があります。ですが、重要な判断基

準を考慮すると、FPGA ソリューションの利点には目を見張るものがあります。それぞれの判断基準ごとに各インプリメンテーション オプションの相対的メリットを表 1 にまとめましたので参考にしてください。

表 1 の値は、ソフトウェア オンリーを基準に、3 種類のハードウェア オプションを相対評価したものです。では、それぞれの特長をみていきましょう。

NRE

どのハードウェア ソリューションにも、ソフトウェア オンリー ソリューションには必要のないインクリメンタルな NRE (初期投資) が必要です。このカテゴリでは、個々のターゲット アプリケーションに合わせてパッケージングされている ASSP が第一候補です。しかし、標準以外の方法で使いたい場合、その利点はなくなります。

次の候補は、定義上、回路工学の知識を必要とする FPGA です。FPGA はハードウェア デザインにもっとも効率的なプラットフォームであるため、NRE は最小限ですみます。ASIC は、一般に IP ライセンシング コスト、マスク チャージ、ツール チェーン コストがはるかに高く、サイクル時間も長いことから、この中ではずっと下に位置します。

パフォーマンス

パフォーマンスだけを考慮した場合、ハー

ドウェアのオプションはどれもソフトウェア オンリーよりはるかに優れています。それぞれパフォーマンスに差はあるものの、大差はありません。どのオプションも、ほとんどのアプリケーションに対して基本的にワイヤ スピードのソリューションを提供できます。

例外として、公開鍵アルゴリズムに多用されるファンクション、すなわちモジュラー指数化があります。FPGA は 1 秒あたり 50 ~ 1,000 のトランザクション (TPS) を十分サポートできますが、これを大幅に超えるパフォーマンスに効率的にスケーリングすることはできません。5,000 TPS 以上を必要とする選り抜きのアプリケーションには、ASIC や ASSP を使う方が良いでしょう。

ユニットコスト

物理的なユニットコストについては、NRE を償却できるだけの十分な数量を確保できる場合は、ASIC が最も経済的です。一般に、10 万単位以上のアプリケーションには ASIC が最も魅力的です。逆に、ASSP と FPGA は少量から中程度の数量のアプリケーションに最適です。

このカテゴリでは、ASSP が FPGA より優れているといわれますが、100% 同じコンフィギュレーションを比較した場合は確かにそうです。しかし、ASSP はそのデザイン上、多くの機能が搭載されているため、どのコンフィギュレーションにも開発費を十分賄えるだけの大きな市場があるでしょう。

つまり、ほとんどのアプリケーションでは、どの部品でも機能のごく一部しか使われないということです。対照的に、効率的な FPGA デザインは実際に利用する必要十分な機能だけをターゲットにするため、負担がかかるのはインプリメンテーションのときだけです。「何もかも詰め込む」ASSP と「必要十分な機能だけを備える」FPGA デザインを比較すると、FPGA プラットフォームは極めて経済的であることがわかります。

カスタマイゼーション

カスタマイゼーションでは、ASIC と FPGA が ASSP を大きく引き離すことができます。顧客が目的を決め、それに応じて構築していくソリューションとして、ASIC と FPGA はアーキテクチャのデザインに合わせて必要な機能を統合する能力を最初から備えており、そうすることで機能性を飛躍的に高めることができます。たとえば、ASSP に用意されていない多くのレガシー アルゴ

リズムをサポートしたり、IT の運用管理を改善するためカスタム機能を統合したり、特定のアプリケーション向けにソリューションをチューニングしたりできます。つまり、機能や性能、費用対効果を通して競合他社との差別化を図るわけです。

例として基本的な AES コプロセッサのケースをみてみましょう。必要とするのが基本的なコプロセッサだけの場合、図 3A に示すとおり、特に利点はありません。しかし、このソリューションをテープ アーカイブ アプリケーション向けとしてデザインする場合は、追加の機能を組み込み、アーキテクチャをチューニングすることで、卓越したプラットフォームにできる可能性があります。

この例では、新たに考案された AES-GCM 暗号化/解読コアにインライン圧縮とブロック マッピングを組み合わせることで完全に統合したソリューションとし、単に ASSP だけでデザインした製品に対してプラットフォームとして大幅に差別化できます（図 3B）。

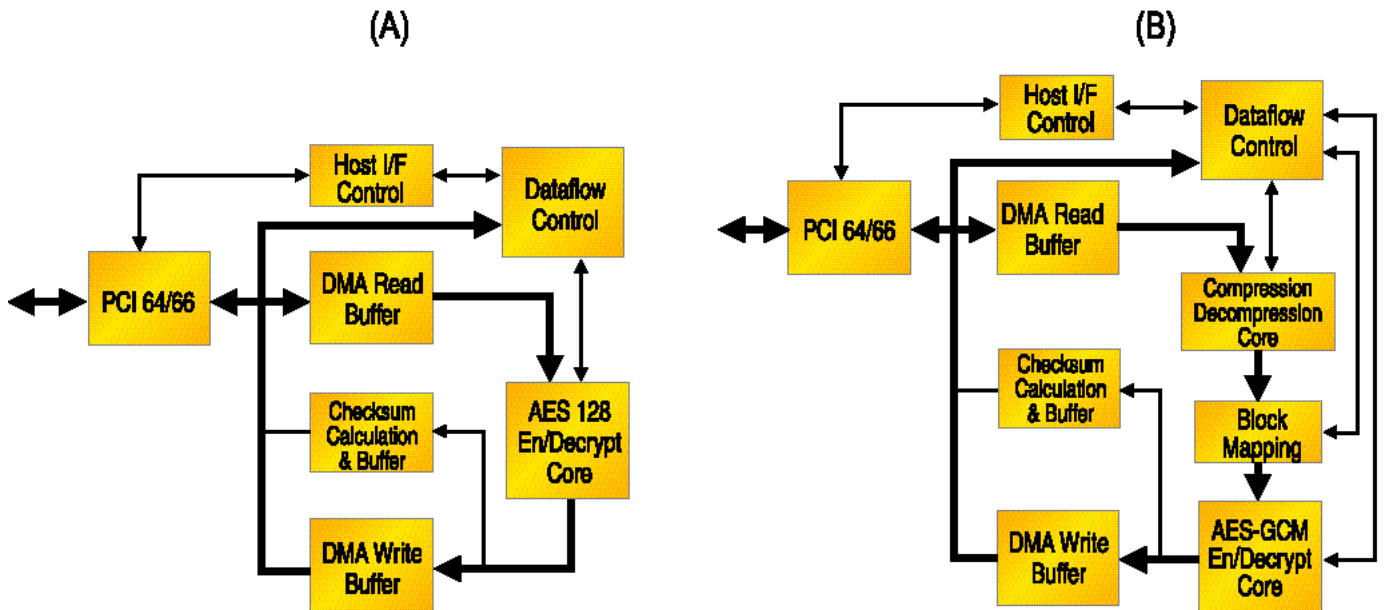
スケーラビリティ

スケーラビリティとは、同一のアーキテクチャで幅広い価格と性能に対応することです。ソフトウェアは非常にスケーラブルですが、複雑化に伴いパフォーマンスが劣化するため、おのずと限界があります。1 つの解決策として、ホスト CPU プラットフォームのパフォーマンス改善がありますが、メモリの種類や速度、チップセット、単純コストなどの複雑な要素が絡むことから、理想的ではありません。また、一般に ASIC はかなり特定のデザインをターゲットにするため、これもスケーラビリティに優れているとは言えません。ASSP はパッケージ互換の価格/性能オプションを幅広く提供することから、ボードレベルで十分なスケーラビリティを持ちます。

FPGA は、次の 3 点により価格/性能に素晴らしいダイナミックレンジを提供します。

- ・ カスタム ロジック コンフィギュレーション
- ・ 幅広いデバイス オプション

図 3 データ セキュリティの基本ソリューションとアプリケーション向けにカスタマイズしたソリューション



基本的な AES コプロセッサ

コプロセッサをチューニングした
テープ アーカイブ アプリケーション

- AES - GCM を具体的に統合
- インライン圧縮/減圧を統合
- ブロックマッピングをファイル システム用にフィードバック

・極めて効率的なデザインの再使用

最もシンプルなケースでは、デバイスに異なるさまざまなロジック コンフィギュレーションをロードするだけで、1 つのハードウェア デザインで多彩なファンクションをサポートすることが可能です。中規模のケースでは、パッケージ互換の FPGA をいろいろ組み合わせることで ASSP と同じボード レベルのスケーラビリティを達成し、性能と機能性をさらに向上させることができます。最大規模のケースでは、さまざまな大規模コンフィギュレーションにまたがってシステムの機能の共通コアをパッケージングしなおし、ターゲットとする市場を効率的に拡大していくことができます。たとえば、GE、10GE、ファイバ チャネル、SAS といった各種のポート要件をサポートするよう、インラインの蓄積データ (data-at-rest) アーキテクチャを手直しし、ストレージ装置のさまざまなセグメントに対応させるのはこのケースに該当します。

デバイスの入手性

システムをデザインするうえで必ず考えなければならないのが、使用するコンポーネントをいかに長期にわたって確保するかです。データ セキュリティが不可欠な通信インフラや航空宇宙/防衛などのアプリケーションでは、これは特に重要なことです。この点については、幅広い業種で長年採用されてきた FPGA は、ソフトウェアに次ぐ入手性を提供します。ASIC や ASSP の入手性はベンダによりますが、一般に FPGA に比べて非常に限られています。

攻撃への耐久性

ハードウェアを現場で使うような特に機密性の高いアプリケーションの場合、アーキテクチャを攻撃から守ることも重要な要素です。データ セキュリティは元々、貴重なデータを保護するために展開するものであり、それゆえシステムのアーキテクチャをクラッキングしようという重大な攻撃の標的になりやすい側面を持っています。

ASSP はある程度の保護を提供しています

が、標準パーツとして使われているため、入念に解析してクラッキングされてしまう可能性が高いのです。結局、人の手で暗号化したものは同じく人の手で解読できてしまうわけです。あとはどれだけ労力をかけるかの問題です。ASIC の場合は、入手性が限られていることと、文書化されていないという性格上、ASSP より解読が困難ですが、同じような脆弱性は残ります。その点、FPGA は適切にパッケージングして安全策を講じることにより、明らかな侵入を検出すると本体を完全に消去できるというユニークな特性を持っており、プログラムが消された FPGA からはデータ セキュリティのアルゴリズムを知ることには不可能です。100% の安全性が求められるアプリケーションには重要な要素でしょう。

リプログラマビリティ

FPGA のリプログラマビリティは、ユーザーのソリューションに真にユニークな機能を提供できます。

データ セキュリティの世界は永久に流動的です。規格が変わればメソッドは進化し、それに伴いシステムとアルゴリズムの脆弱性が判明します。ソフトウェアでは変更できますが、ASIC と ASSP においてはまず不可能で、またフル スピードで変更することもできません。しかし、FPGA (フィールド プログラマブル ゲート アレイ) は、リプログラマブルであり、ソフトウェアと同じくらい効率的に時代の変化に適応できます。しかも新製品の出荷時だけでなく、すでに普及している既存の製品にも対応できるのです。これにより、マネージド プラットフォームの定義をまったく新しい次元に高めることができます。

IEEE 802.11 の WEP セキュリティ技術の悲惨な末路を例に取りましょう。当初喝采を浴びて迎えられた WEP は、単純な攻撃に驚くほど弱いことがわかりました。さらに、そのことが明らかになってから WPA ソリューションが定義されて新しいチップがデザイン・製造され、セキュアな IEEE 802.11i 準拠の製品が発売されるまで 1 年以上かかりました。しかも、昨年には WPA から WPA2 に引き継がれるという事態も発生しました。この結果、約束どおりのセキ

ュリティを提供できない製品が販売され、すでに普及している製品がそのまま放置されるという二重の災難に見舞われたのです。

FPGA 対応のプラットフォームであればそれに対処するためのパッチを速やかに開発し、承認後ただちに新たな仕様を適用して、普及済みの製品も最新の仕様に準拠させることができたはずでした。

リプログラマビリティが非常に有益な例は他にもたくさんあります。過去 10 年間の IPsec に見られ、もうすぐ IEEE 802.1AE (MACSec) 規格の登場に伴い今後も続いていく、サイファー モードと認証アルゴリズムの継続的な発展もその一例です。これ以外の例としては、IEEE 1619 ストレージセキュリティ規格 (LRW-AES および AES-GCM) とそこから派生するさまざまな規格、そして現在 NIST (米国立標準技術研究所) でプロポーザル段階にあるその他 20 件ほどのデータ セキュリティモードがあります。詳細は、<http://csrc.nist.gov/cryptoolkit/modes/proposedmodes/> をご覧ください。

FPGA ベースのソリューションにより、競合他社に先駆けて最新の規格をサポートできるうえ、すでに普及している製品もそれらの規格に準拠させることができ、競争上の優位を得られるのです。これこそデータ セキュリティの差別化であり、FPGA がもたらす大きなメリットの 1 つです。

結論

FPGA は、柔軟性、スケーラビリティ、費用対効果、適応性に優れています。これらの要素はすべて、プラットフォームを常に進化し続ける技術と共に最新の状態に保ち、製品をマネージド IT インフラストラクチャに統合しながら、多彩な製品全体にわたって最も高い費用対効果でパフォーマンスを達成するという、今日のデータ セキュリティ設計者が直面している基本的な課題を解決します。

ザイリンクスの FPGA とデータ セキュリティのための IP ソリューションの詳細は、http://www.xilinx.co.jp/esp/security/data_security/index.htm をご覧ください。

Accelerating Scientific Applications Using FPGAs

FPGA を利用する サイエンス向け アプリケーション の推進

ザイリンクス FPGA と C 言語ツールを使い、
Cray XD1 スーパーコンピュータ向け
高性能アルゴリズムを開発した物理学者の経験

Peter Messmer, Ph.D.
Research Scientist
Tech-X Corporation
messmer@txcorp.com

Ralph Bodenner
Senior Software Engineer
Impulse Accelerated Technologies
ralph.bodenner@impulsec.com

ザイリンクスのFPGA は、さまざまなハイブリッド並列コンピューティング システムに従来のプロセッサと一緒に使われることが多くなってきました。Cray XD1 スーパーコンピュータなどのシステムでは、FPGA は命令レベルの大規模な並列化を提供すると共に主要アルゴリズムの処理方法を根本的に変えることでサポート的な役割を果たします。

これらのハイブリッド システムは、多くのサイエンス向けアプリケーションにメリットがありますが、ハードウェアのプログラミング プロセスが複雑なため、本来多くのユーザーに受け入れられるべきものであるにもかかわらず、ハードウェアに詳しい少数の科学者だけに利用されているのが現状です。最新世代のソフトウェア-ハードウェア変換ツールを使えば、ハードウェアプログラミングの経験をほとんど、あるいはまったく持たない科学者(化学者や生物学者、物理学者)でも、FPGA で拡張したシステムを利用できるようになります。本稿では、Cray XD1 システムをターゲットに、これらのツールを使って FPGA で加速化したアプリケーションを開発しているある物理学者の経験を取り上げます。

FPGA により アプリケーションを加速化

従来、ソフトウェア アルゴリズムを FPGA ハードウェアにプログラミングするには、VHDL や Verilog などのハードウェア記述言語をはじめとするハードウェア デザイン メソッドについての特別な知識が必要でした。これらのメソッドは、ハードウェア設計者にとっては生産的かもしれませんが、それぞれの専門分野を持つ科学者や、より高度な知識を持

ソフトウェア プログラマには不向きでした。ハイパフォーマンス コンピューティングに FPGA を使用するには、FPGA ハードウェア デザインに関する知識が最小限しかない場合、C で書かれた純粋なソフトウェア インプリメンテーションから FPGA に主要アルゴリズムを移すことは課題の1つでした。

幸いなことに、今はソフトウェア-ハードウェア変換ツールを使って、慣れ親しんだソフトウェア指向のメソッドで FPGA ベースのサイエンス向けアルゴリズムを書くことが可能です。このツールを使えば、プロセス間通信を指定するための比較的シンプルなライブラリ ファンクションを追加するだけで、アプリケーションとその主要アルゴリズムを標準的な C 言語で記述できます。アルゴリズムは HDL 形式に自動的にコンパイルされ、その後 1 つまたは複数の FPGA デバイスをターゲットとするより低レベルのハードウェアに合成されます。それでも、アプリケーションを最適化してパフォーマンスを最大限に高めるには、FPGA に関するある程度の知識とハードウェアについての深い理解が必要かもしれませんが、アルゴリズムの公式化と初期テストについてはその分野の科学者に任せることができます。

ケース スタディ： FDTD アルゴリズム

有限差分時間領域 (FDTD) アルゴリズムは、コンピュータを使用した電気力学の分野で広く普及しているツールです。FDTD のアプリケーションとしては、伝播に関する問題 (都市部の複雑な環境における波伝播など)、光通信の問題、高周波コンポーネントのモデリング、分散の問題 (レーダー シグネチャの決定など)、トランスミッタと組織の相互作用を含む電磁適合性の問題、そしてプラズマ モデリングがあります。

FDTD アルゴリズムのひとつ、Yee-FDTD アルゴリズムは、電磁場を空間的に離散化し、ファラデーとアンペールの両法則に従って計算を時間的に進めます。図 1 は、計算グリッド内の 1 つのセルに対するこのオペレーションと、配列されたグリッド上の

フィールド コンポーネントの空間的位置を表したものです。これと等価なアップデート オペレーションを、計算グリッド上のすべてのセルの各フィールド コンポーネントに対して実行する必要があります。

空間グリッドは、最短波長を正確にサンプリングするのに十分な微細さでなくてはなりません。さらに、システム内の最速波はタイムステップあたり 1 つのグリッド セルを超えて伝播してはならず、これがタイムステップにおける上限となります。したがって、FDTD のシミュレーションは一般に膨大な計算グリッドと多数のタイムステップから構成されることになります。

FDTD アルゴリズムは次のように要約できます。

```
for i = 0, n steps
  apply boundary condition
  update E field:  $E_{\text{new}} = E_{\text{old}} + c2 * \text{curl } B * dt$ 
  update B field:  $B_{\text{new}} = B_{\text{old}} - \text{curl } E * dt$ 
end
```

FDTD は、計算に多数のセルと高度な並列処理が使われることから、FPGA のハードウェア加速化によってメリットを享受できる理想的な候補です。

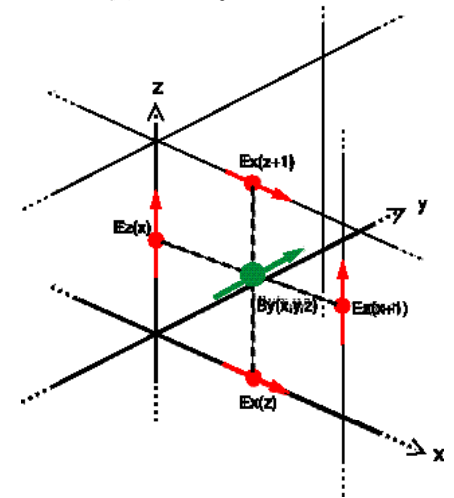
このプロジェクトには 2 つの目標がありました。1つ目は、この主要アルゴリズムを C 言語で書かれた純粋なソフトウェア インプリメンテーションから FPGA に移す方法を見つけることです。2 つ目は、最新のソフトウェア-ハードウェア変換ツールを使うことで、FPGA のハードウェア デザインについて最低限の知識しか持たない科学者でも、この他同様のアルゴリズムを FPGA で拡張したプラットフォームに移植できるかを調査することです。これらの目標を達成するには、このプロジェクトに参加するハードウェアに詳しいエンジニアは、主にコンサルタントの役割を果たす必要があります。

ソフトウェア から FPGA ハードウェアに

ソフトウェアからハードウェアに変換する最初のステップは、ターゲット プラットフ

ームを選択することです。今回選択したのは、各コンピュート ノードに FPGA アプリケーション アクセラレータを備える Cray XD1 スーパーコンピュータです。XD1 システム内の各アプリケーション アクセラレータは、ザイリンクスの VirtexTM-II Pro または Virtex-4 FPGA を 1 個以上搭載しています。

図 1 Yee-FDTD 計算グリッド : E フィールドのコンポーネントはセルのエッジにセンタリングされ、B フィールドのコンポーネントはセルの表面にあります。点線は、curl E の y コンポーネントの計算を表し、有限差分を通して B_y をアップデートするために使われます。



Cray のシステム ツールによりアプリケーション アクセラレータの取り扱いと FPGA ビットストリームのロードが簡易化され、ソフトウェア プログラマはプロセス全体を理解しやすくなりました。

プラットフォームを決めたら、次のステップはソフトウェアからハードウェアへの変換プログラムを選択します。今回の実験には、標準的な C に力を入れていること、並列ハードウェアを自動的に生成、最適化できること、Cray XD1 をサポートしていることから、Impulse Accelerated Technologies 社の Impulse C を選びました。Impulse C のツールにより、ハードウェアとソフトウェアのさまざまなパーティショニング方法をプロトタイプしたり、使い慣れた C 開発ツールでアプリケーションをテスト、デバッグしたりすることが簡単にできました。

図 2 B フィールドに curl 演算子を適用した、Impulse C ハードウェア プロセスに対する C コードの要約

```
void curlProcess(co_stream inputStream, co_stream outputStream)
{
    co_stream_open(inputStream, O_RDONLY, INT_TYPE(32));
    co_stream_open(outputStream, O_WRONLY, INT_TYPE(32));

    while(!co_stream_eos(inputStream)) {
        co_stream_read(inputStream, &bx, sizeof(co_int32));
        co_stream_read(inputStream, &by, sizeof(co_int32));
        co_stream_read(inputStream, &bz, sizeof(co_int32));
        co_stream_read(inputStream, &bx_plus_y, sizeof(co_int32));
        co_stream_read(inputStream, &bx_plus_z, sizeof(co_int32));
        co_stream_read(inputStream, &by_plus_x, sizeof(co_int32));
        co_stream_read(inputStream, &by_plus_z, sizeof(co_int32));
        co_stream_read(inputStream, &bz_plus_x, sizeof(co_int32));
        co_stream_read(inputStream, &bz_plus_y, sizeof(co_int32));

        ex = (bz_plus_y >>2) - (bz >>2) - (by_plus_z >>2) + (by >>2);
        ey = (bx_plus_z >>2) - (bx >>2) - (bz_plus_x >>2) + (bz >>2);
        ez = (by_plus_x >>2) - (by >>2) - (bx_plus_y >>2) + (bx >>2);

        co_stream_write(outputStream, &ex, sizeof(co_int32));
        co_stream_write(outputStream, &ey, sizeof(co_int32));
        co_stream_write(outputStream, &ez, sizeof(co_int32));
    }

    co_stream_close(outputStream);
    co_stream_close(inputStream);
}
```

アプリケーションのパーティション化

ハードウェア アクセラレータを使用したアルゴリズムでは、アプリケーション コードのクリティカルなセクションを判別することが重要です。このケースでは、FDTD アルゴリズムの中で時間のかかる部分は、セルのハーフ アップデートあたり数回の加算と少なくとも 1 回の乗算、除算を必要とする curl 式の計算でした。個々のセルのアップデートは他のセルのアップデートに依存しないため、このコードは並列化の良い候補であることがわかりました。

Impulse C は、マルチプロセッシングのコンセプトをサポートします。つまり、複数の並列プロセスを C 言語で記述し、それぞれ相

互接続することで半自律的な処理ノードのシステムを形成できるわけです。Impulse C には、ストリームや共有メモリ、信号など、プロセス間通信のさまざまな方法が用意されています。

なるべく単純化するため、FPGA ベースの FDTD アルゴリズムは、別個の C 言語ハードウェア プロセスに隔離されている整数ベースの curl アルゴリズムを平易な C 言語でインプリメントすることから始めました。Impulse C を使うと、このハードウェア プロセスは C 言語の典型的なサブルーチンとそっくりになり、Impulse C ストリームの読み出し/書き込み関数呼び出しを追加することで、抽象データの通信を提供できます。図 2 に、このプロセスを記述するソースコードをまとめました。

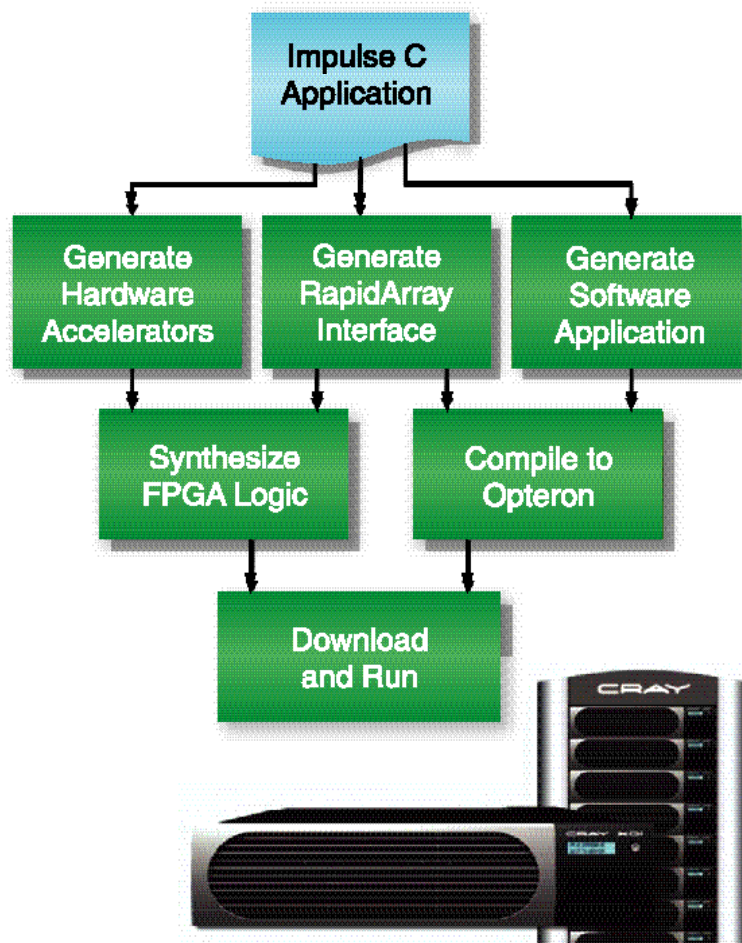
このように、アプリケーションをハードウェアとソフトウェアのプロセスに分割するのは、プログラミングの観点から見れば比較的わかりやすいものの、非常に多くの通信を必要とするため、入力および出力ストリームがパフォーマンスのボトルネックになります。とはいえ、こうして最初にパーティション化したことで、ハードウェア生成とハードウェア/ソフトウェア生成プロセスを試すと共に、パフォーマンス改善に向けて C コードをいかに最適化すればいいか理解できました。

Impulse のツールを用いてデスクトップでソフトウェアをシミュレートした後、ソフトウェアからハードウェアへのコンパイラを呼び出しました。自動生成されたファイルとしては、curl関数に対するハードウェアと、Cray 社の RapidArray インターフェイスを通してデータストリームをインプリメントするすべての所要インターフェイスがあります（図 3）。その後、Impulse 社と Cray 社の指示に従い、生成された VHDL をザイリンクスの ISE™ ツールを用いて Virtex-II Pro FPGA のビットストリームに変換しました。前述のとおり、Impulse 社のツールは、ザイリンクスのツールへのエクスポートを含めてプロセスを抽象化するため、プロセスを詳しく理解する必要はありませんでした。こうして作られたビットストリームとソフトウェア プロセスに対するソース（Opteron で走らせる）を、Cray 社のツールを用いて Cray XD1 プラットフォームへ移行することができました。

アプリケーションのさらに多くを FPGA に移す

Cray XD1 プラットフォームへのアルゴリズムの開発、展開が成功すると、より大きなアプリケーションの最適化に着手できる態勢が整いました。最初の実験を通してわかったのは、CPU と FPGA の間で膨大な量のデータを転送する必要があることから、アプリケーション アクセラレータを curl の計算専用にしたのではパフォーマンスが劣化するという事です。幸いにも、Virtex-II Pro デバイスの高いゲート集積度により、FPGA 本体にはるかに高度な演算を組み込むこと

図 3 Impulse C のツールを使うことで、ハードウェアとソフトウェア間でアプリケーションをパーティショニングし、Cray XD1 プラットフォームの必要なインターフェイスの生成が可能



ができました。

次のステップは、FPGA 上にハードウェア プロセスとして FDTD アルゴリズム全体をインプリメントすることです。このデザインでは、ホスト CPU が実行するのは、必要なタイムステップの数を FPGA に伝え、各タイムステップで計算ドメインのあらかじめ定義済みの部分に境界条件を設定することだけです。その後、FPGA ですべてのフィールドを格納し、E と B の両フィールドのアップデートを実行します。ハードウェアにより完全なアルゴリズムを処理し、ソフトウェアの場合と同等の正確かつ信頼性の高い結果を得られることから、システム全体のパフォーマンスを高めるためたくさんの異なるパーティショニング方法と C レベルの最適化を試そうという自信を得ることができました。

最適化プロセスを通して、生成したハードウェア記述をブラックボックスとして扱い、高レベルの C ソースファイルだけを最適化しました。Impulse C のツールを用いてアプリケーション開発、最適化、プロトタイプハードウェアの生成を繰り返していけば、時間を大幅に削減できることが証明されました。

将来の最適化

これで FPGA アクセラレータを搭載する Cray XD1 プラットフォームで基本的なアルゴリズムを処理できるようになりました。ここまで要した期間は、Impulse ツールとプログラミングモデルを習得して Cray XD1 システムに慣れるまでの時間を合わせても 3 週間を少し超える程度です。次

は、アルゴリズムの最適化です。方法の 1 つは、抽象メモリのブロック読み出し/ブロック書き込みファンクションを使うことで Impulse C で直接サポートされる高速な QDR メモリを利用することです。これにより、現在システム全体に見られるストリームの通信ボトルネックを削減、もしくは排除できます。

我々は、アルゴリズムの最適化中、生成後のロジックを解析してループパイプラインを自動生成することでスループットを改善できる、Impulse 社のより高度な最適化ツールを使用しました。これら最適化の過程でわかったことは、Impulse C に代表されるように、ハードウェアプログラミングに高レベル言語のアプローチを採用することで、アルゴリズムを繰り返し改良して試行錯誤しながら最適化できることです。Impulse C に用意されているグラフィカルオプティマイザやサイクルアキュレートなデバッガ/シミュレータなど、反復的なデザイン解析ツールにより、変換とマッピング前にアルゴリズムのパフォーマンスを見積もることができます。こうして、FPGA アクセラレータの開発は、C のコーディング、デバッグ、高水準な最適化という非常に反復的でダイナミックなプロセスになるのです。

結論

ソフトウェア-ハードウェア変換ツールが登場する以前、FPGA で加速化したアプリケーションの開発は、ハードウェアを熟知している専門的な科学者以外には、非現実的でした。我々は、Impulse C のアプローチと Cray XD1 プラットフォームを組み合わせることで、プロトタイプアルゴリズムをハードウェアに変換し、C プログラミングの各種メソッドとスタイルを使って結果をすぐに観察できました。このプロジェクトを通して、FPGA のデザインについて詳しい知識を持たないソフトウェアアプリケーションのプログラマでさえ、多種多様なアルゴリズムアプローチを試し、サイエンス向けアプリケーションを加速化できるという自信を得ました。

FPGA と Impulse C を用いたアプリケーションの加速化についての詳細は <http://www.impulsec.com/> をご覧ください。

A Programmable ExpressCard Solution

高性能 ExpressCard による PCI Express 向け ソリューション

Philips Semiconductor 社とザイリンクスが提供する
低コスト・低消費電力のプログラマブル PCI Express ソリューション

Ho Wai Wong-Lam

Marketing Manager

Philips Semiconductors

ho.wai.wong-lam@philips.com

Abhijit Athavale

Sr. Marketing Manager

Xilinx, Inc.

abhijit.athavale@xilinx.com

ExpressCard モジュールは、ノートブックコンピュータのアフターマーケットで主に機能のアップグレードや拡張用として使われている従来の PC カードや CardBus モジュールに取って代わる、PCMCIA が策定したより薄型で高速、軽量の差し込み式のカードです。したがって、ExpressCard モジュールも当面はノートブックコンピュータのアフターマーケットが対象となります(図 1a)。

デスクトップコンピュータ市場(図 1b)では、シールドボックスモデルへ移行して、ノートブックコンピュータが 10 年前から採用している拡張用の差し込み式カードを用いて簡単かつ安全にアップグレードできることが、PC メーカーとエンドユーザーに共通する願いです。このカードがデスクトップコンピュータに採用されれば、エンドユーザーにとっては使い勝手が改善され、PC メーカーにとっては、エンドユーザーが自分でコンピュータを開けてマシンを傷つけることがなくなるため、サービスコストを節減できるという利点があります。今後、ExpressCard テクノロジーはメディアボックスや IP セットトップボックスといった PC ベースの機器に普及していくものと思われます。

ExpressCard テクノロジー

ExpressCard 規格では、すべての ExpressCard モジュールには USB 2.0 または PCI Express、もしくはその両方をサポートすること、またすべての ExpressCard スロットには 480Mbps USB 2.0 インターフェイス、あるいはシングルレーン("x1")の 2.5Gbps PCI Express インターフェイスを使うモジュールに対応することを定めています。さらに、ExpressCard 規格はホットプラグをサポートし、フォームファクタや電源管理モード、サーマルリミットに厳しい条件を課しています。

ExpressCard モジュールには 2 種類のサイズがあります。

- ExpressCard/34 :
34mm (W) x 75mm (L) x 5mm (H)
- ExpressCard/54 :
54mm (W) x 75mm (L) x 5mm (H)

図 1 ノートブック (a) とデスクトップ (b) コンピュータに差し込む ExpressCard モジュール (写真提供: PCMCIA)



ホストシステムは、34 または 54 のモジュール幅に対してスロットを任意に組み合わせることができます。34mm のモジュールを 54mm のモジュール用スロットで使うことはできますが、その逆はできません。

サーマルリミットは、「スロット内」の放熱と定義されています。サーマルリミットは、ExpressCard/34 モジュールの場合は 1.3W、ExpressCard/54 モジュールの場合は 2.1W です。

ExpressCard テクノロジーでは、PCI Express にアクティブステート L0 とアクティブステート L1 の電源管理が必須です。アクティブステート電源管理 (ASPM) は、PCI-PM や ACPI (Advanced Configuration and Power Interface) といったソフトウェアによる電源管理方法より、はるかに能動的なハードウェアによる電源管理を行います。

CardBus と USB 仕様ですでに定着しているホットプラグ機能は、PCI Express 仕様でもサポートされます。ExpressCard モジュールのユーザーは、ホストコンピュータの電源を切ることなくモジュールをいつでも抜き差しできます。さらに、PCI Express と USB 2.0 の自動検出とコンフィギュレーションにより、ホストシステムは外部のスロットコントローラを使わずに ExpressCard テクノロジーをサポートできます。スロットへの電源を制御するため、小さな ExpressCard 電源スイッチが必要です。

Windows XP と Windows 2000 は、PCI と PCI Express デバイスを自動検出できません。しかし、Windows Longhorn では、PCI Express デバイスを今日の USB デバイスと同じくらい簡単に取り外したり検出したりできるようになる予定です。

PX1011A PCI Express PHY と Spartan-3E FPGA

Philips Semiconductor 社とザイリンクスの両社は、ExpressCard の新興市場に向けて低コストのプログラマブル PCI Express ソリューションを提供しています。両社のソリューションは、Philips 社 PX1011A PCI Express PHY、ザイリンクス Spartan™-3E FPGA、ザイリンクス LogiCORE™ PCI Express IP コアを使い、規格に準拠した x1 PCI Express エンドポイントを提供します。このソリューションは、低消費電力、先進のパッケージング、シグナルインテグリティ、PCI Express 仕様への準拠により、ExpressCard 仕様の必要条件を満たしています。また、このソリューションのプログラマブルでリコンフィギュラブルなファブリックを使うことで、多機能カードやインテリジェントなペリフェラルなど、革新的な ExpressCard アプリケーションを開発できると共に、部品の在庫や認定に伴うコストの削減にもつながります。

今後登場してくる多くの ExpressCard

アプリケーションは、パッケージや消費電力、シグナル インテグリティなどの技術的要件により、従来の半導体デバイスを利用できない可能性があります。しかし、これら要件を満たすチップが開発されるのを待たなくても、我々が共同開発した 2 チップの実証済みプログラマブル ソリューションを利用することで、短い Time-to-Market と長い Time-in-Market、低リスクと高い費用対効果を得ることが可能です。最終製品のデザインからテスト、出荷までわずか数週間ですむうえ、予期しない問題が発生したときでもハードウェアをアップグレードしたり修理したりできます。

Philips PX1011A

Philips 社の PX1011A は、低コストの FPGA と共に使うために最適化された x1 2.5Gbps PCI Express PHY デバイスです。パッケージは非常に小さく、卓越した送受信性能を発揮すると共に、PCI Express の仕様、v1.0a と v1.1 に準拠しています。PX1011A は、ExpressCard/34 と ExpressCard/54 の両方のアプリケーションに利用できます。PX1011A は、Express Card アプリケーションをサポートするため、次の機能を備えています。

- ・ I/O を含め、通常の L0 モードで低消費電力 (300mW 以下)
- ・ ExpressCard/34 モジュール上の面積のごく一部しか占有しない、小さくて薄い 81 ピン パッケージ (9 × 9 × 1.05 mm)
- ・ アクティブ ステート L0 および L1 モードをサポート
- ・ オプションの L2 モードでは、L2 電源モードに対するウェイクアップ メカニズムとしてサイドバンド WAKE# 信号を使用可能

ザイリンクス Spartan-3E FPGA と PCI Express IP コア

ザイリンクス PCI Express IP コアは Spartan-3E FPGA 向けにデザインされ、少ないリソースしか使用しません。このコア

図 2 ノートブック コンピュータで生中継のデジタル テレビ受信画像をデモする、Philips 社とザイリンクスの CES 2006 DVB-T ExpressCard/34 モジュール

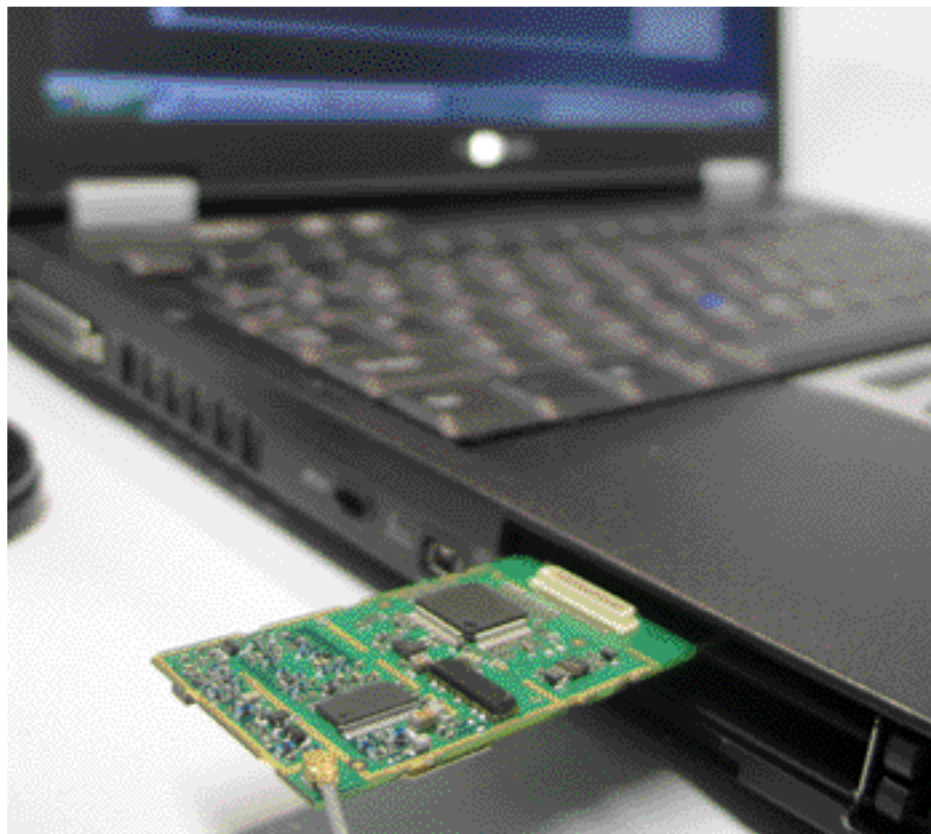


図 3 DVB-T ExpressCard/34 デモストレータに組み込まれている ザイリンクス Spartan-3E FPGA と Philips PX1011A



は、PCI Express 仕様に定義されている論理レイヤとトランザクション レイヤをインプリメントしており、例えば Spartan-3E500 にデザインした場合はリソースの約 50% が残ります。

Spartan-3E FPGA は、SSTL_2 I/O に基づき、ソース同期の 250MHz PXPIPE 規格を用いて PX1011A PHY と通信し、豊富なブロック RAM リソース

を提供します。このリソースを使うことで、トランザクション レイヤ パケットを格納するため送受信サイド バッファをインプリメントできます。Spartan-3E500 FPGA は ExpressCard 仕様の機械的要件を満たす、非常に小さなボール グリッド アレイ パッケージで利用できます。PCI Express IP コアは、ExpressCard アプリケーションが必要とする次の機能を提供します。

- ・ PCI Express 基本仕様 v1.1 への準拠
- ・ 各方向 2.5Gbps のバンド幅
- ・ リソース利用率
- ・ 5,408 ~ 5,708 の LUT
- ・ 6 つのブロック RAM
- ・ 3,920 ~ 4,017 のフリップフロップ
- ・ PCI/PCI Express 電源管理機能
- ・ アクティブ ステート電源管理 (ASPM)
- ・ プログラミングされた電源管理 (PPM)
- ・ 現行の PCI ソフトウェア モデルとの互換性

Philips 社とザイリンクスが共同開発した PCI Express ソリューションは低消費電力 (700 ~ 800mW) であり、Express Card/34 と ExpressCard/54 の両方のアプリケーションに適しています。

さらに、この共同ソリューションは 2005 年 6 月に PCI-SIG Compliance Workshop #45 で実施された PCI Express コンプライアンス テストに合格し、PCI-SIG Integrators List に掲載されています。

Philips 社とザイリンクスのソリューションを使うことで、アプリケーションはプログラマブルソリューションの柔軟性を享受しながら、PCI Express の 2.5Gbps という高いスループットをフルに活かすことができます。

DVB-T ExpressCard/34 デモンストレータ

2006 年 1 月に米国で開催されたコンシューマ エレクトロニクス ショー (CES) で、我々は Philips 社の PX1011A PCI

Express PHY と PDD 2016 DVB-T モジュール (図 2)、最適化した ザイリンクス PCI Express IP コア (図 3) 搭載のザイリンクス Spartan-3E FPGA からなる、世界初のプログラマブル ExpressCard アプリケーションのデモ実演を行いました。

Philips DVB-T ExpressCard/34 デモンストレータはノートブック コンピュータの ExpressCard スロットにあり、生中継のテレビトランスミッタから DVB-T 信号を受信します。ストリーミングテレビの受信画像はノートブック コンピュータに表示されます。

Philips RF Solutions 社は、次のような利点から、MPEG トランスポート ストリームを PCI Express パケットに変換してホストプロセッサと通信するための手段として Philips 社とザイリンクスの共同ソリューションを選びました。

- ・他社のソリューションより低い総コスト
- ・将来的な製品の拡張が可能で、Express Card 規格の改定に対応

- ・さまざまな製品に再利用が可能

結論

ExpressCard テクノロジはノートブックコンピュータに普及していくとみられますが、将来的にはデスクトップ コンピュータや、メディア ボックス、IP セットトップ ボックスなどの PC ベースの機器にも採用されるでしょう。Philips 社と ザイリンクスの Express Card ソリューションは、今後登場する多くのアプリケーションを可能にする低コスト、低消費電力のプログラマブル ソリューションです。

詳細は次のサイトをご覧ください。

- ・ <http://www.standardics.philips.com/products/pcie/phys/>
- ・ <http://www.xilinx.co.jp/pciexpress/>
- ・ <http://www.xilinx.co.jp/spartan3e/>
- ・ http://www.xilinx.co.jp/japan/j_prs_rls/silicon_spart/0603philipsj.htm

ザイリンクス トレーニング スケジュール

ザイリンクスでは、大規模、高速 FPGA を対象にした FPGA 設計のための各種トレーニングを各地で開催しております。是非ご利用ください。

コース名	日 程	開催地
ISE デザイン入力 v8	8 月 8 日 (火)	ザイリンクス 東京会場
	8 月 22 日 (火)	ザイリンクス 東京会場
	9 月 12 日 (火)	ザイリンクス 東京会場
FPGA 設計導入 v8	8 月 9 日 (水)	ザイリンクス 東京会場
	8 月 23 日 (水)	ザイリンクス 東京会場
	9 月 13 日 (水)	ザイリンクス 東京会場
FPGA 設計実践 v8	8 月 3 日 (木) ~ 4 日 (金)	豊洋エレクトロ 大阪会場
	8 月 7 日 (月) ~ 8 日 (火)	新光商事 東京会場
	8 月 24 日 (木) ~ 25 日 (金)	東京エレクトロデバイス 横浜会場
	9 月 6 日 (水) ~ 7 日 (木)	PALTEK 横浜会場
	9 月 14 日 (木) ~ 15 日 (金)	東京エレクトロデバイス 大阪会場
アドバンスド FPGA 設計	7 月 27 日 (木) ~ 28 日 (金)	新光商事 東京会場
	8 月 29 日 (火) ~ 30 日 (水)	ザイリンクス 東京会場
	9 月 21 日 (木) ~ 22 日 (金)	新光商事 大阪会場
MGT シリアル I/O デザイン エンベデッド システム開発	9 月 14 日 (木) ~ 15 日 (金)	ザイリンクス 東京会場
	8 月 9 日 (水) ~ 10 日 (木)	新光商事 東京会場
	8 月 24 日 (木) ~ 25 日 (金)	ザイリンクス 東京会場
	9 月 13 日 (水) ~ 14 日 (木)	新光商事 大阪会場
	9 月 13 日 (水) ~ 14 日 (木)	東京エレクトロデバイス 横浜会場
Virtex-4 デザイン	7 月 26 日 (水) ~ 27 日 (木)	ザイリンクス 東京会場
	9 月 19 日 (火) ~ 20 日 (水)	ザイリンクス 東京会場
シグナル インテグリティと基板設計の基礎	8 月 3 日 (木) ~ 4 日 (金)	ザイリンクス 東京会場

*すべてのトレーニングは、ザイリンクス認定インストラクターによるオフィシャルトレーニングです。

*日程および会場は、都合により変更となる場合もございます。最新情報はザイリンクストレーニングWebサイトをご覧ください。

詳細とご登録はこちらから ▶▶ http://www.xilinx.co.jp/education_schedule/

Getting the Most Out of Spartan-3 FPGAs with Synplify Pro

Synplify Pro を使って Spartan-3 FPGA の 性能を最大限に 引き出す方法

ザイリンクスとシンプリシティの設計時間とコストを
削減する合成ソリューション

Steve Pereira
Technical Marketing Manager
Synplicity
stevep@synplicity.com

今日の設計者は、ほんの 2、3 年前なら考えられなかったアプリケーションにザイリンクスの Spartan™-3 FPGA を使用しています。高集積度、高性能、低コストの FPGA は、たくさんの新たな可能性を切り開きます。かつては ASIC でしか実現できなかったアプリケーションも、今では FPGA で以前の数分の 1 の時間で低コストにインプリメントできるようになりました。

Synplicity 社の Synplify Pro 合成ソリューションは、Spartan-3 ファミリー向けに高度にチューニングされており、製品の Time-to-Market の短縮とデバイス コストの削減を同時に達成できます。

Spartan-3 デバイスのコスト削減

Synplify Pro ソフトウェアは、真のタイミングドリブンな合成ツールです。これは基本的に、クリティカルパスについてはスピードを最適化、それ以外のパスについてはエリアを最適化することを意味します。つまり、いったんタイミング制約が満たされると、Synplify ツールはエリアの最適化を実行し、できるだけ最小のデバイスでタイミング目標を達成できるようにします。タイミング

ドリブンな合成により、エリアを大幅に節約しながら、かつタイミングの目標を満たすことができるのです。

図 1 は、要求クロック周波数と、Synplify Pro を使用したデザインの配置・配線後の実際のクロック周波数がどう異なるかを表したグラフです。Synplify Pro のタイミング見積もりは、このツールがそれ以上最適化できないクリティカルパスが現れ始めるまで要求周波数の線に沿って進みます。したがって、その後のパフォーマンスは劣化していき

ます。

図 2 は、同じデザインに対する LUT の数です。この図から、真のタイミングドリブンな合成の重要さがわかります。要求周波数が低いときは LUT は少数です。LUT の数が増えるのは、要求周波数の上昇によります。

他の合成テクノロジーは、エリアとタイミングのどちらか一方だけを最適化する傾向があります。その場合、図 1 のようなグラフは、要求したタイミングにマッチする滑らかな線ではなく、階段状の関数を示します。しかし、Synplify Pro ツールのようなタイミングドリブンなテクノロジーを使えば、デザインをより小さな部品に収容できることになります。小さな部品を使用できるということは、数百あるいは数千の単位で量産する場合に莫大なコスト削減になります。

また Synplify Pro ソフトウェアでは、ロジックを Spartan-3 アーキテクチャ内の専用リソースに自動的にマッピングすることでエリアの節約を実現します。Synplify Pro は、ROM、RAM、SRL、およびグローバルなコントロール リソースを自動的に抽出します。これらのロジック モジュールを抽出することで、パフォーマンスが高まるだけでなく、ほとんど場合、ロジック スライスが減り、LUT の数とデバイス コストも削減されます。

その他エリアを節約できる特性としては、次のものもあります。

- ・ リソース共有：Synplify 8.0 から、リソース共有がタイミング ドリブンになりました。このスイッチは常にオンにしておいてください。
- ・ RAM のエリア属性：たとえば、1,400 × 33 の RAM を持っている場合、次のいずれかの方法でマッピングできます。
 - 4 個の縦長 RAM B16：この方法は追加ロジックなしで最速のインプリメンテーションを実現します。
 - 3 個の幅広 RAM B16：これは 1 個少ない RAM を生成しますが、追加のデコード ロジックが生成されます。

Synplify Pro ソフトウェアは、Spartan デバイスのコストをどれだけ削減できるのでしょうか。次の 3 通りの方法で実現します。

図 1 要求周波数とSynplify Pro を使用したときの配置・配線の実周波数

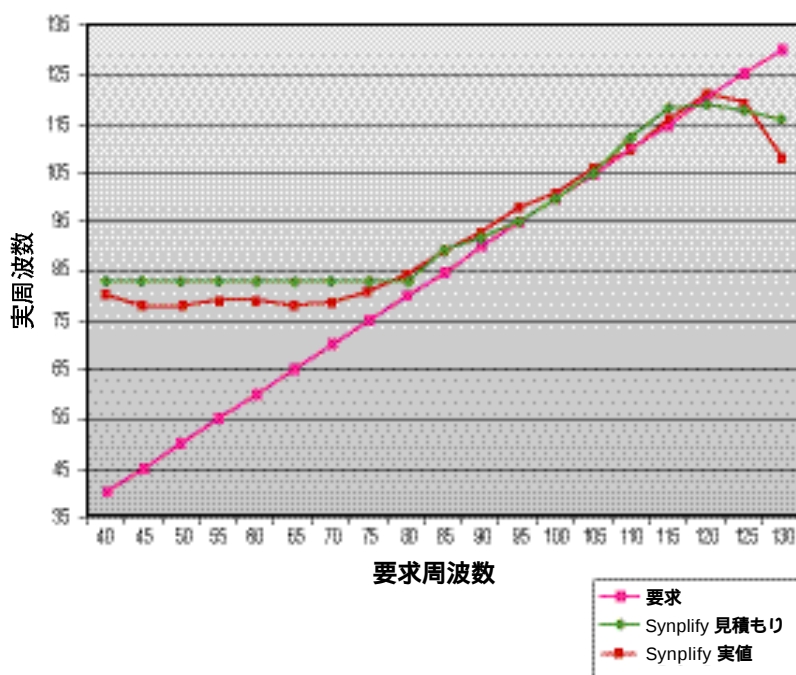
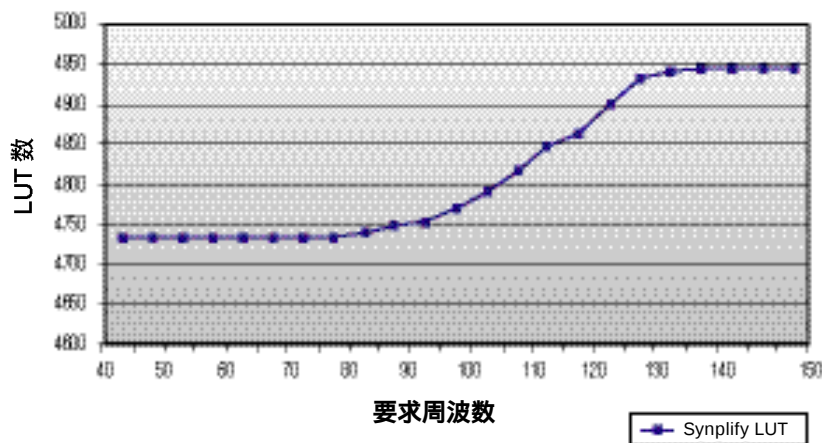


図 2 要求周波数とSynplify Pro を使用したときの LUT 数



1. 難しい性能目標を持つデザインに対しては、Synplify Pro ツールは要求周波数を満たす非常に高度なロジック最適化を実現できるうえ、より遅いスピードグレードのデバイスを選ぶことも可能です。低いスピードグレードに切り替えれば、大量生産の際にコストを大幅に削減できます。
2. 一定の性能目標を持つデザインに対しては、サイズがより重要です。図 1 と 2 のグラフが示すとおり、Synplify Pro ソフトウェアはオンデマンドでパフォーマンスを提供します。要求性能はさほど高くありませんが、LUT の数は非常に低いまです。この場合、より小さなデバイスを選ぶことでコストを節約できます。
3. デザインを変更します。システム内の既

存の FPGA に手を加える必要がある場合、変更コストがあまりに高くつくことがあります。必要な変更を配置、もしくは配線できない場合、唯一の解決策は莫大なコストを投じてシステムを完全にデザインしなおすことです。Synplify Pro ツールを用いてデザインすれば、パフォーマンス上の利点に加え、パフォーマンスオンデマンドによるエリア節約のおかげで、変更が失敗する確率は減少します。他の合成ツールがデザインのインプリメンテーションに 90% の利用率を必要とするところ、Synplify ではわずか 70% ですみます。90% を利用しているデバイスより、70% のデバイスの方が配線しやすいのは当然です。変更後のデザインは利用率が低い方がうまくインプリメントできる可能性が高いわけです。

結論

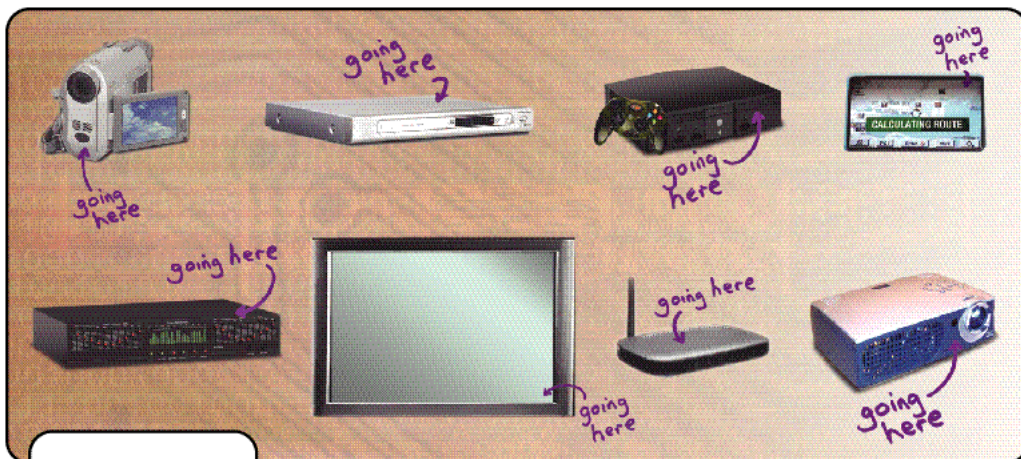
今日の厳しいビジネス環境では、コスト削減が以前にも増して重要です。ザイリンクスと Synplivity 社は、FPGA と予算の最適化に必要なあらゆるツールを提供しています。業界で最も利用されている FPGA 論理合成ツールである Synplify Pro のパフォーマンスと、業界をリードする FPGA を組み合わせることで、性能目標への達成を期限内にかつ予算内で実現します。

Synplify Pro ソフトウェアの試用は、<http://www.synplivity.co.jp/downloads/index.html> をご覧ください。

Synplify Pro のベンチマークについての詳細は、http://www.synplivity.com/literature/pdf/benchmarking_synplify.pdf をご覧ください。

誕生! Spartan-3E ファミリー——いまだかつてない低コストを実現!!

Spartan-3Eは、 これらの量産向けアプリケーションに 採用が決定されています。



デジタルコンシューマ アプリケーションに最適!

高性能90nmプロセステクノロジーを採用した最新のSpartan-3Eデバイスは、ロジック重視のデザインに最適化された製品で、特にデジタルコンシューマ アプリケーションに最適な機能を備えています。

従来比30%以上安価になったSpartan-3E FPGAは、ASICを置き換えるだけでなく、柔軟でかつタイムトゥマーケットを実現できます。

業界初の10万システムゲート FPGA がわずか 2ドル*で手に入ります

Spartan-3E FPGAは、10万システムゲートの柔軟なアーキテクチャに加え、低コスト、デジタル信号処理を実現可能な高性能エンベデッド乗算器、72KビットのブロックRAM、柔軟なクロックシステムを構築することのできるDCM、デジタルクロックマネージャ機能に加え、mini-LVDS、RSDSインターフェースを含むさまざまなI/O標準をサポートしています。また、Spartan-3Eファミリでは、最大160万システムゲートまでの高集積度をサポート。これらは、既に実証済みの90nmプロセスを使用しており、これら業界最先端クラスの製造技術とコスト効率に優れたアーキテクチャの融合で今までにないプライスポイントと最高の価値をお届けします。



すぐに使いこなせる
ソフトウェア

SPARTAN-3E

MAKE IT YOUR ASIC



The Programmable Logic Company™

www.xilinx.co.jp/spartan3e

Xilinx, SPARTANは、米国Xilinx, Inc.の登録商標または商標です。他の全ての名称は各社の登録商標または商標です。

*XC3S100Eの2006年後半、50万個での価格です。また、出荷時期および納期は変更される場合があります。



Simulating SSO Noise

SSO ノイズの シミュレーション

電磁 (EM) および過渡回路シミュレーションによる
SSO ノイズの正確な予測

Michael Brenneman

Technical Director
Ansoft Corporation
meb@ansoft.com

Mark Alexander

Senior Product Application Engineer
Xilinx, Inc.
mark.alexander@xilinx.com

Lawrence Williams, Ph.D.

Director of Business Development
Ansoft Corporation
williams@ansoft.com

システム デザインは、高速エッジを採用する物理インターフェイスに向けて進化しつつあり、クロック レートも数百メガヘルツに達しています。このようなシステムでは、信

性の高い電圧レベルとインターフェイスの信号切り替えのために、電源とグランドを適切に分配することが不可欠です。数千のピンを持ち、そのうち数百は I/O としてアクティブな信号を伝播できるようなデバイスを組み込んだシステム デザインでは、これは特に重要です。これほど多くのスイッチング アクティビティが行われるシステム環境で十分なシグナル インテグリティを確保するためには、同時スイッチング出力 (SSO) のノイズをいかに正確に予測するかが鍵となります。

本稿では、3 次元電磁 (EM) 場のシミュレーションと過渡回路のシミュレーションに基づき、SSO を解析するための反復可能で正確、実用的な方法を解説します。ターゲット デバイスは、FF1148 パッケージとそれに付随する 24 レイヤの FR4 テスト ボードに搭載されている最新の ザイリンクス

Virtex™-4 XC4VLX60 FPGA です。

SSO ノイズ

複数の出力ドライバが同時に状態を変えると、電源システム内の変動電流が一定の電圧を誘導し、電源に障害を招きます。SSO ノイズと呼ばれるこれらの障害は、出力ドライバ、入力レシーバ、もしくは内部ロジックの間に、好ましくない過渡的ビヘイビアを引き起こすことがあります。SSO ノイズは、信号/グランド比が不適切であるか、またはリターン パスが不連続であることに原因があります。

システム デザインの要件として、SSO ノイズの安全レベルを保ちながら同時にスイッチングできる I/O 出力ドライバの数と種類が定められています。SSO ノイズを正確に予

図 1 SSO ノイズの概略図：スイッチ "C" が閉じるときに観察される電圧 Vglitch
(出典：ハワード ジョンソン博士)

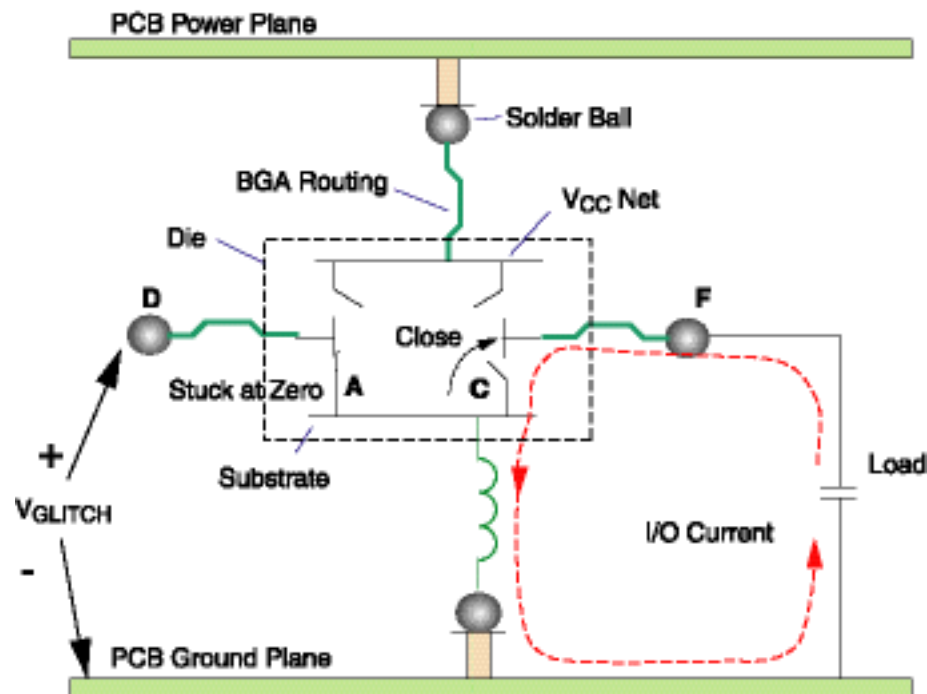
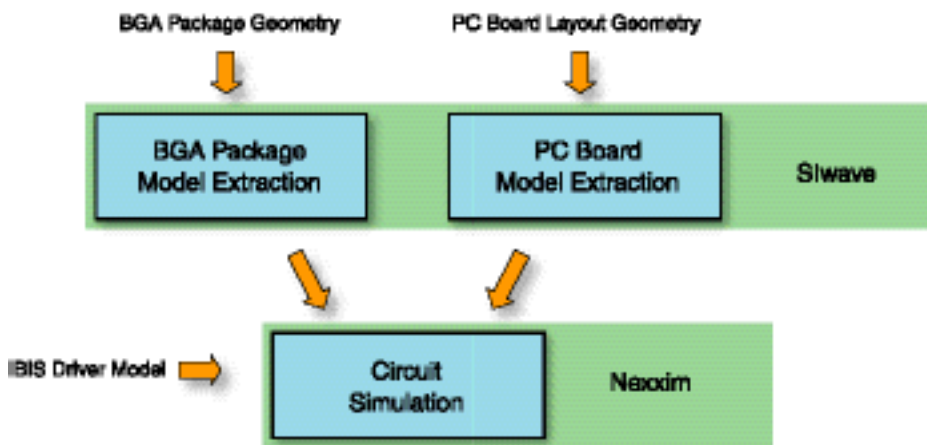


図 2 パッケージボードの電磁抽出と先進の過渡回路シミュレーションを組み合わせたデザインフローを使用



測し、インターコネクトのビヘイビアを評価するには、電磁シミュレーションを適用します。その後、この情報を使い、リターンパスの不連続を避け、リターンパスの総インダクタンスを最小限に抑え、デカップリングキャパシタのサイズと位置を最適化できます。

図 1 は、SSO ノイズを招くメカニズムを単純な回路図として示したものです。PCB

の電源プレーンとグランドプレーンの間に BGA パッケージがあります。ユーザー I/O "A" はロジック low に設定されています。この条件で、"D" で測定された電圧はグラウンドの電位に保たれる必要があります。インダクタ L_{gnd} は、BGA と PCB のリターンパスのインダクタンスです。ユーザー I/O "C" が閉じると、インダクタを流れる過渡電

流により "D" では電圧 Vglitch が観察されます。SSO ノイズとして知られるこのグリッチは、グラウンドインダクタンス間に現れる $L di/dt$ 電圧によって引き起こされます。

このスイッチング電流は、コンダクタ間に磁場を生成し、クロストークの最大の原因である相互インダクタンスを招きます（相互キャパシタンスも原因になりますが、相互インダクタンスほどではありません）。この相互インダクタンスは、観測ラインに駆動電流とは逆方向に電流を誘導します（レンズの法則）。あるラインから別のラインまでのエネルギーの結合は、信号経路間の距離と長さによって異なり、この場合は「高さ = ピア + ボール + パッケージの厚さ」となります。また、これはスイッチング電流の変動の時間長と共に増えていきます。

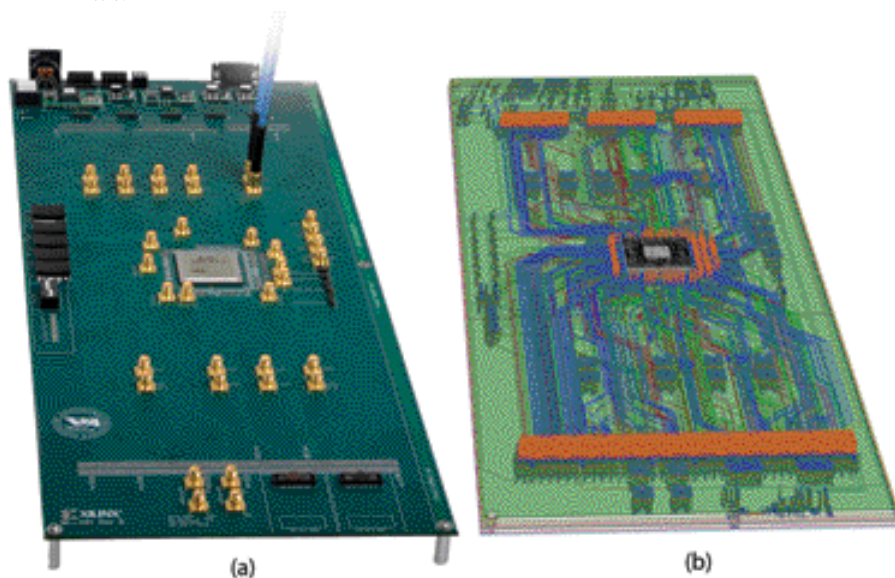
リターンパスのインダクタンスは、BGA パッケージ、PCB ピア、トレース配線に依存します。さまざまな電流ループが存在し、相互結合します。実際、すべてのピア間に自己インダクタンスと相互インダクタンスが存在します。これらインダクタンスは電源ピンとグランドピンの空間的配置と距離の近さで決まるため、パッケージデザインとピンの割り当て、およびパッケージと PCB のトレース配線時には細心の注意が必要です。Virtex-4 XC4VLX60 FPGA FF1148 パッケージとピンの割り当てでは、これらの点が考慮されており、またその効果は EM シミュレーションによって決定されています。

パッケージと PCB の コンフィギュレーション

Virtex-4 FPGA 用の FF1148 パッケージは、スパースシェvron (Sparse Chevron) というピンアウトスタイルを採用しています。スパースシェvron ピンアウトスタイルは、電力供給システム (PDS) のインダクタンスを最小限に抑え、I/O 信号のリターン電流パスをそれらに関連する I/O 信号に非常に密接に結合するために、電源ピンとグランドピンを一定の配列でモザイク模様のように均一に配置しています。

誘導クロストークの主な発生源は、PCB とパッケージのピア構造です。特に PCB

図3 測定とシミュレーションは BGA と PCB に実行 : (a) 測定のセットアップ、(b) 電磁場シミュレーション モデル



はボードの厚さが $3,635\mu\text{m}$ あり、電流のリターン ループが大きいことから、1 番の発生源です。パッケージは厚さ $1,068\mu\text{m}$ と、それに次ぐ発生源です。このデザインでは、 50Ω の伝送ラインが誘導クロストークに顕著な影響を及ぼすことはありません。

EM シミュレーション

図 2 は、この SSO 解析を実施するために適用したシミュレーションの流れを示しています。私たちの目標は、電磁的精度の高い回路モデルに、トランジスタドライバに対する標準モデルを適用して過渡シミュレーションを実施することでした。等価回路モデルを抽出して 3 次元効果を得るため、BGA パッケージと PCB に電磁場のシミュレーションを実行しました。

図 3 は、測定に使用したテスト ボードと、電磁的シミュレーションに使用した CAD モデルです。モデルには、8 レイヤの BGA パッケージと 24 レイヤのテスト ボードが含まれています。ボードにはテスト ポイントが含まれており、SMA コネクタを使用してテスト装置に接続されています。BGA は $34 \times 34\text{mm}$ パッケージで、1,148 個の半田ボールがあります。

複雑なレイアウト ファイルを EM シミュ

レータにインポートするには、デザインの自動化が必要です。Ansoftlinks は、サードパーティのレイアウト ツールのデータを使用するための変換・編集機能を備えています。本稿のシミュレーションでは、パッケージ レイアウトは Cadence 社の APD から、またボードは Mentor Graphics 社の PADS(旧称: PowerPCB) からインポートしました。

電磁場のシミュレーションを実施したのは、テスト ボードとパッケージを含む 20 の I/O インターコネクト、最も近接する電源ピンとグランドピン、およびそれらに関連するデカップリング キャパシタです。我々は、Ansoft 社のフルウェーブ フィールド ソルバ、SIwave を用いて 2 回のシミュレーションを実行し、周波数ドメインにおけるパッケージ ネット、ボード ネット、PDS の結合ビヘイビアの特性を得ました。

パッケージをシミュレーションした結果、40 の I/O ポート、5 つの「スパイホール」テストポイント ポート、2 つの VCCO_9 電源ポート、2 つのデカップリング キャパシタ ポートからなる、49 ポートの S パラメータ ファイルが生成されました。また、ボードシミュレーションでは、23 の I/O ポート、3 つの「スパイホール」テストポイント ポート、1 つの VCCO_9 電源ポート、PCB に 2.5V の電源を接続する電圧レギュレータ

モジュール(VRM)用の 1 ポートからなる、28 ポートの S パラメータ ファイルが生成されました。SIwave でのボード シミュレーションには、デカップリングやターミネーション(終端処理)その他のファンクションに使用される、あらゆるパッシブキャパシタ、抵抗、およびインダクタの各コンポーネントが含まれています。

構造を適切に定義するため、SIwave ではインポートしたレイアウト データベースを簡単に編集できます。レイヤの厚さと材料の特性(周波数に依存する誘電体を含む)については、ファブリケーションから得られる正しい値が入力されます。自動化により、半田ボールと半田パンプ、コンポーネント ピンからグループ化した電気ノード、およびポートを素早く作成できます。調査の焦点は、20 の I/O が同時にスイッチングしたときに、VCCO_9 と 1 つの観測ライン(low に駆動)における SSO ノイズレベルの測定値とシミュレーション結果の相関関係を突き止めることでした。SIwave によりパッケージとボードをフルウェーブで EM 抽出することで、複雑なカップリング ビヘイビアをキャプチャし、過渡シミュレーション中の結果の正確さを保証できます。

過渡シミュレーション

EM シミュレーション データを過渡回路の解析と結び付けることで、SSO の影響がわかりました。抽出したパッケージとボードのモデルは IC ドライバにより励磁されます。この例では、IC ドライバはザイリンクスの Virtex-4 IBIS v3.2 モデル(LVCMOS 2.5V、24mA fast)を用いてインプリメントされました。我々は S パラメータと IBIS モデルを Ansoft Designer にインポートし、Ansoft 社の Nexxim 回路シミュレータを用いて全回路に過渡シミュレーションを実行しました。図 4 (a) は、パッケージのダイ側に IBIS ドライバ、オンパッケージのデカップリング キャパシタ、パッケージ/ボードコネクション、ボードの DC 電源、およびボードのスパイホール ターミネーションを備える最終的な回路です。

我々は、1 つ以上の隣接する端子上で変

化する信号により起こる、観測ノード全域に見られるシミュレートした過渡電圧の波形を調べると共に、観測トレースのダイ側を固定値（high または low）にクランプすることでアグレッサ/ビクティムのクロストークを観察しました。Nexxim 回路シミュレータは過渡シミュレーションを実行しました。このシミュレータは、因果性や受動性のエラーを招くことなく、S パラメータなどの周波数ドメイン モデルを時間ドメイン内で正確に対応するようにデザインされています。

我々は、SIwave シミュレーションからの EM モデルの過渡ビヘイビアが適切であることを証明するために、一連の過渡テストを実施しました。図 4 (b) はパッケージ モデルに対する 1 つのテスト結果ですが、これにより予想された観測ネットのクロストークビヘイビアが検証されます。クロストークの誘導的性質は、アグレッサ エッジの逆方向の

ビクティム ノイズ スパイクにより確認されました。複数のクロストークの波形は、電流リターンループの近接性を基にして、さらに隣接するアグレッサを追加した累積的な影響を表しています。

図 4 (c) と 4 (d) は、それぞれビクティム ネットと VCCO_9 に対する関連データを示すものです。EM シミュレータでテスト ボードを複製することで、2 ヶ所の異なるスパイホール ロケーションでの測定結果とシミュレートした SSO ノイズのレベルを直接比較できます。我々は、SSO ノイズのレベルについて、ハードウェアでの測定値とシミュレーション結果を見事に一致させることができました。

結論

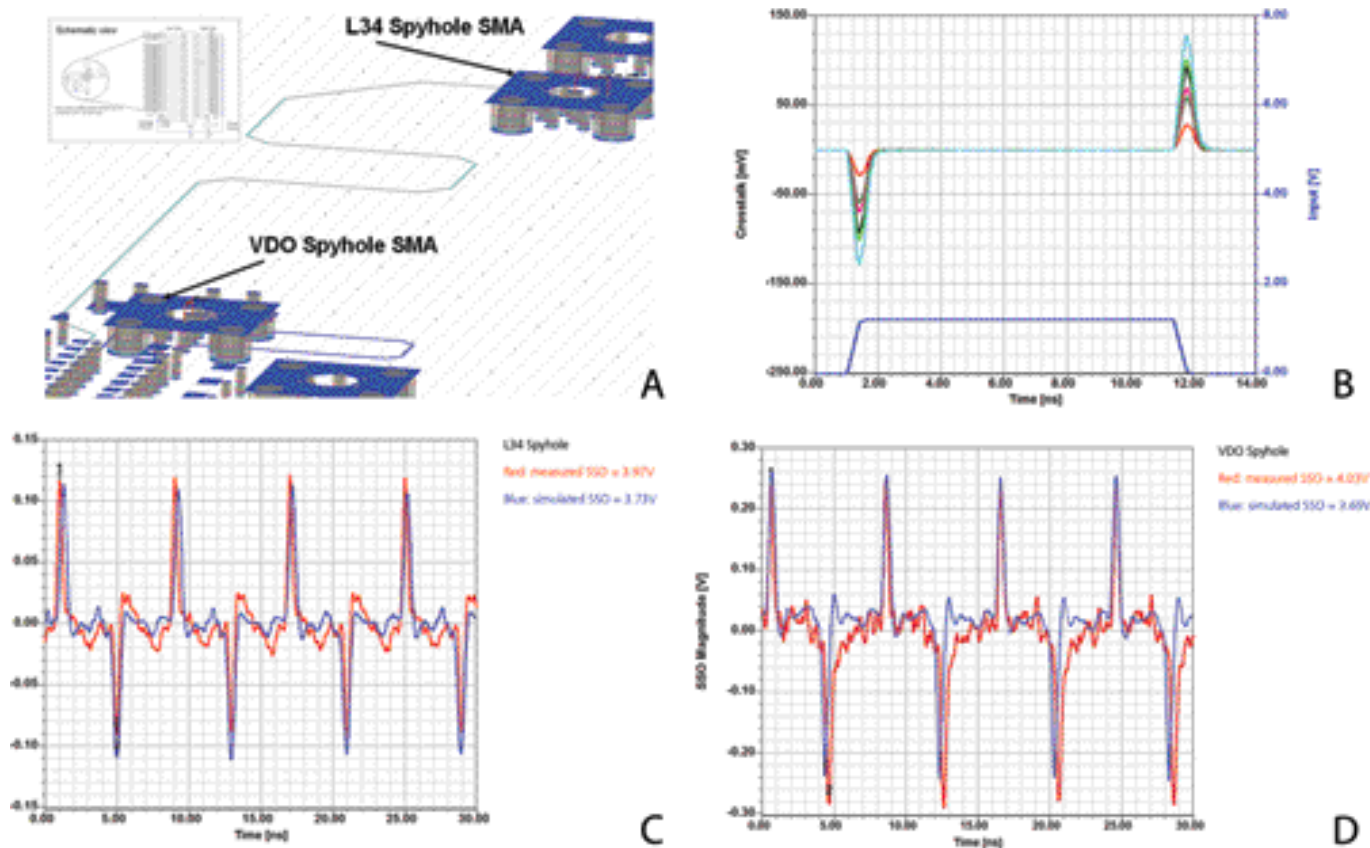
ザイリンクスと Ansoft 社は、先進のシ

ミュレーション ツールを用いて SSO ノイズを正確に予測する方法を共同で実証し、実際の測定結果との差を検証しました。Ansoft 社の SIwave と Nexxim というパワフルなシミュレーション ツールを併用することで、将来システムを開発する際、ビルドとテストを繰り返すことなく決められた SSO ガイドラインを満たすことができるのです。

より高速なデータ レートで動作する高性能な電子機器に対するニーズは、パッケージとボードの複雑さをいっそう高めるでしょう。このニーズを満たすため、Ansoft 社はシミュレーション ソフトウェアを引き続き改善していくと共に、精度を犠牲にすることなくより大きな問題に対処するため、ザイリンクスをはじめとする大手ベンダと緊密に協力していきます。

詳細は、<http://www.ansoft.com/> をご覧ください。

図 4 Nexxim により計算した過渡シミュレーションの結果 : (a) シミュレーションのセットアップと抽出した S パラメータおよび IBIS ドライバの回路図、(b) ビクティムピンで観察される隣接アグレッサによって引き起こされるクロストーク、(c) L34 スパイホールでの測定結果を EM および過渡シミュレーションと比較、(d) VDO スパイホールでの結果



ESL Tools for FPGAs

FPGA 向け ESL ツール

プログラマブル ハードウェアを用いたソフトウェア開発者による設計を支援

Milan Saini
Technical Marketing
Manager
Xilinx, Inc.,
milan.saini@xilinx.com

ロジック デザインの世界では今、根本的な変化が起きている。新世代のデザイン ツールを使うことで、ソフトウェア デベロッパは従来のハードウェア デザイン法を学ぶことなく、アルゴリズムをハードウェアに直接取り込むことができます。

これらのツールとデザイン法は、現在の主流であるレジスタトランスファ レベル (RTL) より高レベルな抽象化で始まるシステム デザインと検証法全般を指して、エレクトロニック システム レベル (ESL) デザインと総称されます。ESL デザイン言語のシンタックスとセマンティクスは、Verilog や VHDL といったハードウェア言語より、一般的な ANSI C に似ています。

ESL と FPGA の関係

ESL ツールは以前からあり、一般には ASIC デザイン フローに特化したツールだと考えられています。しかし、実際には ESL ツールをプログラマブル ロジック向けとして提供しているベンダが増えており、現在販売されているツールのいくつかはザイリンクスの FPGA 向けに最適化したシステム デザイン フローをサポートしています。ESL フローは FPGA デザイン ツールにとって自然進化であり、より幅広いソフトウェア寄りのエンジニアがプログラマブル ハード

ウェアの柔軟性を活用できるようになります。

ESL と FPGA が素晴らしい連携プレイを見せるのは、次のような場合です。

1. ESL ツールとプログラマブル ハードウェアを併用することで、デスクトップ ベースのハードウェア開発環境をソフトウェア エンジニアのワークフロー モデルに適應させることができます。ESL ツールは FPGA ベースのリファレンス ボードに最適化したサポートを提供し、ソフトウェア エンジニアはリファレンス ボードを用いてプロジェクトの評価やプロトタイプを開始できます。リファレンス ボードと、それに対応するより高水準な言語で書かれたリファレンス アプリケーションにより、ハードウェアで加速化されたカスタムシステムをより速く簡単に開発できます。実際、今のソフトウェア プログラマは、FPGA ベースのリファレンス ボードとツールを、マイクロプロセッサのリファレンス ボードとツールと同じように使用できます。

2. 現在 FPGA で一般化している高性能なエンベデッド プロセッサにより、ソフトウェアとハードウェアのデザイン コンポーネントを 1 個のデバイスに組み込むことができます。システムのソフトウェア コードから始め、アプリケーションの性能要件に応じてハードウェアがソフトウェアに個々のデザイン ブロックをインプリメントできます。ESL ツールは、インテリジェントなパーティショニングに加え、ソフトウェア ファンクションを等価なハードウェア ファンクションに自動的にエクスポートできる

という付加価値もあります。

ESL のコンセプトは、「探索型のデザインと最適化」です。ESL の手法とプログラマブル ハードウェアを組み合わせることで、より多くのアプリケーション インプリメンテーションを試すと共に、まったく異なるソフトウェアとハードウェアのパーティショニング方法を手早く実験できるようになります。ESL と FPGA を併用すれば、新たなアプローチで、パフォーマンスやサイズのトレードオフをすぐに分析できることから、従来の RTL 手法を使うより短時間で高い総合性能を達成できるのです。

また、より抽象的なレベルで開発することで、より少ないキーストローク、より短いコードで意図を表現できます。つまり、デザイン完了までの期間を短縮できると共に、デバッグが必要になる手間のかかる低水準なエラーの確率を減らすことにもつながります。

ESL のターゲット ユーザー

これから FPGA を使うユーザーにとって、ESL フローの主な利点は生産性と使い勝手です。ESL ツールは、ハードウェア回路を生成する際の具体的なインプリメンテーションを抽象化することで、ソフトウェア志向のユーザー ベースをマーケティングの対象としています (図 1)。高度に抽象化された環境で作業することで、C をはじめとする従来のソフトウェア プログラミング言語のスキルを持つ設計者は、ハードウェアでより速くアイデアを試すことができます。ほとんどの場合、ベテラン ハードウェア設計者の助

けを借りることなくハードウェアにデザイン全体をインプリメントできるでしょう。システムエンジニア、科学者、数学者、エンベデッドシステムとファームウェアのエンジニアは、ソフトウェア志向のアプリケーションおよびアルゴリズムエンジニアとして、すでにFPGAにESLツールの利点を活かすことに成功しています。

ESLメソッドに適したアプリケーションとしては、広範な内部ループ構造を持ち、大量の計算を伴うアルゴリズムがあります。これらのアプリケーションは、ハードウェアで可能な同時並列実行により飛躍的に加速化します。ESLツールは、オーディオ/ビデオ/イメージプロセッシング、暗号化、シグナルおよびパケットプロセッシング、遺伝子の配列決定、バイオインフォマティクス、地球物理学、天体物理学といったアプリケーション分野で数多くのプロジェクトの成功に貢献してきました。

ESL のデザイン フロー

FPGA 向け ESL ツールは、主に次の 2 つのデザイン フローをカバーします。

1. 高水準言語 (HLL) の合成 : HLL の合成は、アルゴリズムやビヘイビアの合成をカバーし、C 言語や C に類似した言語からハードウェア回路を生成できます。高水準なデザイン コードを FPGA インプリメンテーションにどう変換するかは、パートナーのソリューションによって異なります。この点が、各 ESL 製品の根本的な違いでもあります。

HLL 合成は、次のようなさまざまなケースに使用できます。

- ・モジュール生成 : この場合、HLL コンパイラは C で表されたファンクションブロック (例 : C サブルーチン) を、対応するハードウェア ブロックに変換できます。生成されたハードウェア ブロックは、その後全体的なハードウェア/ソフトウェア デザインに吸収されます。このようにして、HLL コンパイラは全体的デザインのサブモジュールを生成します。

ールを生成します。

ソフトウェア エンジニアは、モジュール生成により、アルゴリズムのハードウェア コンポーネントを素早く生成・統合することで、全体的なシステム デザインに参加できます。モジュール生成

は、新しい計算指向のハードウェアブロックを素早くプロトタイプできる方法を求めているハードウェア エンジニアにとっても便利です。

- ・プロセッサ アクセラレーション : この場合、HLL コンパイラにより、FPGA のプログラマブルファブリックにカスタム アクセラレータブロックを作成することで、プロセッサで走っているタイムクリティカル、もしくはボトルネックのファン

クションを加速化できます。アクセラレータの作成に加え、ESL ツールはメモリを自動的に推論して必要なハードウェア/ソフトウェア インタフェース回路、ならびにプロセッサとハードウェア アクセラレータ ブロック間の通信を可

能にするソフトウェア デバイス ドライバを生成できます (図 2)。CPU で走るコードと比較して、FPGA で加速化したコードは、消費電力を大幅に低減しながら、数桁もの高速化を可能にします。

2. システム モデリング : 従来の RTL モデルを使用したシステム シミュレーションは、大規模なデザイン、あるいはプロセッサがデザインの一部分を構成する場合、非常に遅いことがあります。昨今多く使用されている ESL ツールは、システム シミュレーションを格

図 1 FPGA 向け ESL ツールのほとんどは、ソフトウェア志向のユーザーが対象

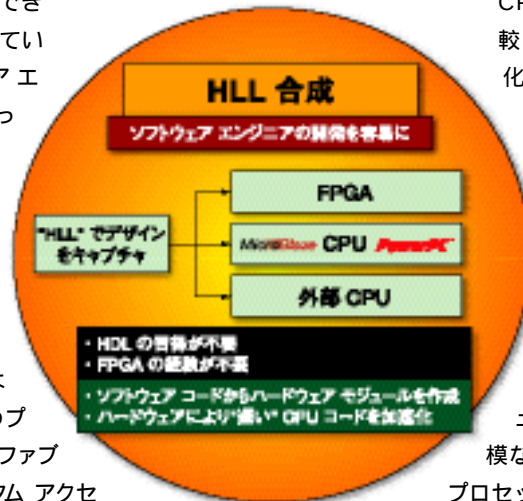
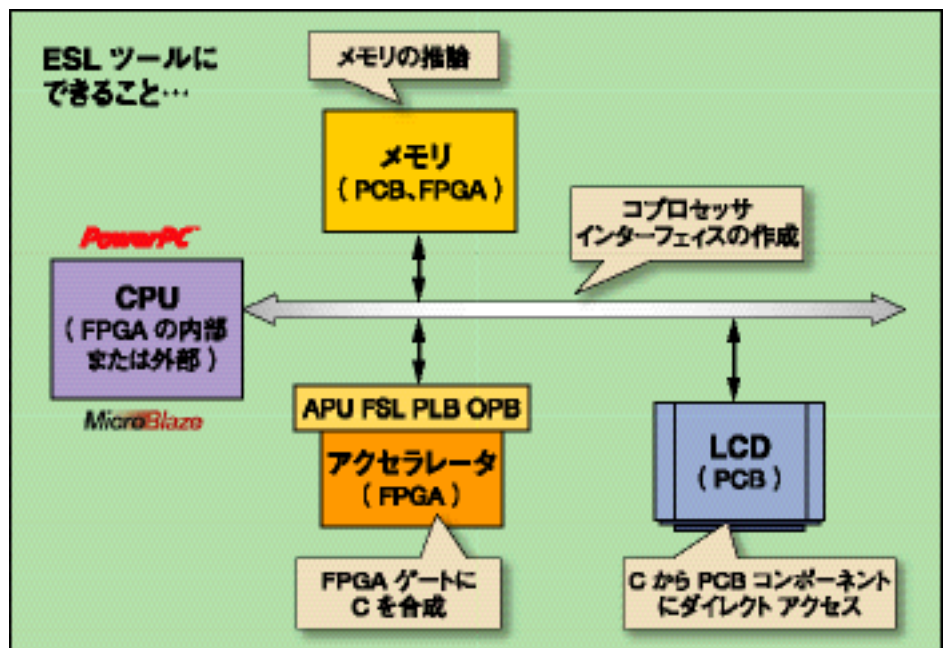


図 2 FPGA 内でプロセッサ アプリケーションを加速化するための複雑な作業を抽象化する ESL ツール



段に高速化するために、一般に C++ で書かれた高速なトランザクション レベルのモデルを使います。ESL ツールはプラットフォームをベースとする仮想検証環境を提供し、この環境でデザインのファンクションおよびパフォーマンス属性を解析してチューニングできます。つまり、仮想化したシステムにかなり早い段階でアクセスし、デザインの探求と "What-If" 解析をより深く行えるわけです。レイテンシ、スループット、バンド幅といった性能面での課題や、ソフトウェアとハードウェアのいろいろなパーティショニング方法を評価、改善できます。デザインがパフォーマンスの目標を達成したら、いつでもシリコンにインプリメントできます。

ESL ツールのプロバイダが直面している課題

FPGA 向けの ESL ツールは比較的新しい製品であるため、顧客にどこまで採用されるかが大きな課題です。ESL ツールのプロバイダが直面している最大の課題の 1 つは、ESL と FPGA で何ができるのか、すでに存在するソリューションや機能にはどんなものがあるのか、このテクノロジーを実際にどう使い、どういう利点があるのかなどについて、いかにして認知度を高めていくかです。他にも、ESL を採用した場合のデザイン結果の質や、使い方の習得に要する期間についてユーザーの不安と懸念を取り除くことも課題です。

ESL のようなパラダイム シフトが既存の FPGA ユーザー コミュニティに完全に受け入れられるまでには多少時間がかかるでしょう。今日の ESL テクノロジーは、多くの潜在ユーザーに実用価値を提供できるレベルまで来ています。

ザイリンクスの ESL イニシアティブ

ザイリンクスでは、ESL ツールはハードウェアとソフトウェアの設計者が複雑な電子システムを開発、最適化、検証する方法を劇的に改善するものと確信しています。ザイリ

ンクスは、ユーザーにこの新興テクノロジーのあらゆるメリットをお届けすると共に、特に FPGA をターゲットとする ESL テクノロジーの共通プラットフォームを確立するため、業界パートナーと共同で ESL イニシアティブを立ち上げました (表 1)。

このイニシアティブの目的は、FPGA 向け ESL の技術革新のペースを速め、ソフトウェア志向ユーザーのニーズに対応することです。その一環として、特に力を入れているのは次の 2 つの分野です。

1. エンジニアリング コラボレーション : ザイリンクスは、ESL 製品の価値をいっそう高めるため、パートナー各社と緊密に協力し、コンパイラによる結果の質を改善し、ツールの相互運用性と全体的な使い勝手を向上させることも実現していきます。
2. ESL に対する認識と認知度 : ザイリンクスは、既存ユーザーや将来採用を考えているユーザーに、FPGA 向け ESL フロアの価値と利点について認知度を高めるよう努力していきます。このプログラムは、現在ある ESL ソリューションの種類と、それぞれのソリューションがユーザーの問題を解決するうえでいかに役立つかについて、情報を提供し教育していこうというものです。これにより、ユーザーはアプリケーションのニーズを満たすうえで、どのパートナーの ESL 製品が最適かを的確に判断できるようになります。認識が高まれば採用する企業も増えますし、

FPGA 向け ESL のパートナー各社の持続的な成長に貢献することにもなります。

ESL の採用にあたって

FPGA 向け ESL の認知度向上に向けてのさまざまな取り組みの最初のステップとして、ザイリンクスは ESL に関する包括的な Web サイトを立ち上げました。このサイトでは現在利用できる各パートナーの ESL ソリューションそれぞれのユニークな側面を紹介しています。詳しくは <http://www.xilinx.co.jp/esl/> をご覧ください。

また、<http://toolbox.xilinx.com/cgi-bin/forum/> に、FPGA 向け ESL のディスカッション フォーラムを設置しています。このサイトでは、FPGA 向け ESL デザインに関するさまざまなディスカッションに参加・閲覧することが可能です (英語のみ)。

結論

FPGA 向け ESL ツールを使うことにより、ハードウェア デザインに関する知識を習得することなく、プログラマブル ハードウェアを用いてアイデアを試すことができます。今日、ザイリンクスの FPGA 用に最適化された、生産性を高める多種多様な革新的ソリューションがあります。ESL イニシアティブの創設に伴い、ザイリンクスは既存/将来ユーザーの皆様に業界最高の ESL ツールを提供するため、サードパーティ各社と全面的に協力して取りくんでいきます。

表 1 ザイリンクスの ESL パートナーは、高水準言語から FPGA のインプリメンテーションにいたるまで異なるアプローチを採用

パートナー	FPGA 会派	ザイリンクスの CPU サポート	FPGA コンピューティング ソリューション
Celoxica	●	●	Handel-C、SystemC からゲート
Impulse	●	●	Impulse C からゲート
Poseidon	●	●	ハードウェアとソフトウェアのパーティショニング、加速化
Critical Blue	●		コプロセッサ会派
Teja		●	C からマルチコア プロセッシング
Mitron	●		FPGA 内の固定型並列プロセッサ
System Crafter	●		SystemC からゲート
Bluespec	●		SystemVerilog ベースで RTL に合成
Nallatech	●	●	高性能コンピューティング

ザイリンクス イベント カレンダー

7 ~ 9月

ザイリンクスは、年間を通じて多数のトレードショーやイベントに参加しています。これらのイベントは、ザイリンクスのシリコンやソフトウェアの専門家がお客様からの質問にお答えしたり、最新製品やザイリンクスのカスタマのサクセスストーリーをご紹介する機会です。

ザイリンクス出展イベント

7月27日(木)~28日(金)

ソフトウェア無線研究会 技術展示

ザイリンクスと東京エレクトロニクスデバイスが出展します。

主 催：電子情報通信学会 ソフトウェア無線研究会事務局
会 場：横須賀リサーチパーク (YRP) 1 番館
U R L : <http://www.ieice.or.jp/cs/sr/jpn/>

9月29日(金)

高速インターフェース&インターコネクト・デザイン・ワークショップ

ザイリンクスと東京エレクトロニクスデバイス、PALTEK が出展します。

主 催：CQ出版社
会 場：UDX Conference (秋葉原)
U R L : <http://www.cqpub.co.jp/tse/>

ザイリンクス販売代理店イベント

日 程	イベント内容	開催地
7月27日 (木)	PALTEK 主催 「PCI-Express ソリューション セミナー」 http://www.paltek.co.jp/seminar/pcie/0607.htm	横 浜
7月28日 (金)	PALTEK 主催 「PCI-Express ソリューション セミナー」 http://www.paltek.co.jp/seminar/pcie/0607.htm	横 浜
8月25日 (金)	東京エレクトロニクスデバイス主催 「プロセッサ ソリューション セミナ」 http://ppg.teldevice.co.jp/	東 京
8月29日 (火)	東京エレクトロニクスデバイス主催 「TED Solution Seminar 2006」 http://ppg.teldevice.co.jp/m_event/tedsolution/index.htm	神 戸
9月 7日 (木)	東京エレクトロニクスデバイス主催 「TED Solution Seminar 2006」 http://ppg.teldevice.co.jp/m_event/tedsolution/index.htm	仙 台
9月15日 (金)	PALTEK 主催 「FPGA/CPLD紹介セミナー」 http://www.paltek.co.jp/seminar/index.htm	横 浜
9月28日 (木)	PALTEK 主催 「FPGA/CPLD紹介セミナー」 http://www.paltek.co.jp/seminar/index.htm	大 阪

ザイリンクス ウェブ セミナ



NEW

第9回 CoolRunner™-II CPLD を使用してシステムの消費電力を低減

本セミナーでは、民生用ポータブル製品設計に不可欠な低消費電力設計の課題を解決する方法をご紹介します。CPLD 動作の基礎概要や性能の解説に加えて、CPLD が実現するシステムの消費電力低減を実証します。

視聴時間：約 30 分

第8回 Virtex™-5 ファミリの紹介と Virtex-5 LX 概要

本セミナーでは世界初の 65nm の FPGA Virtex-5 ファミリーと、5月にリリースした Virtex-5 LX 製品の概要をご紹介します。Virtex-5 ファミリー FPGA は 4 種類のプラットフォーム、LX、LXT、SXT、FXT を提供し、アプリケーションに最適なデバイスの選択が可能です。

所要時間：約 27 分

好評配信中

第7回 ザイリンクス・セロックス XtremeDSP™ ソリューション

所要時間：約 31 分

第6回 PlanAhead™ 8.1 - 階層デザインと解析：FPGA デザイン性能の最大化

所要時間：約 20 分

第5回 ローコスト Spartan™-3E FPGA コンフィギュレーション オプション

所要時間：約 34 分

第4回 Virtex-4 メモリインターフェイス・アドバンテージ

所要時間：約 25 分

第3回 Virtex-4 メモリインターフェイス・アドバンテージ

所要時間：約 19 分

第2回 Virtex-4 ローパワー・アドバンテージ

所要時間：約 24 分

第1回 Virtex-4 シグナル インテグリティ

所要時間：約 22 分

<http://www.xilinx.co.jp/webseminar/>