

# Xcell journal

THE AUTHORITATIVE JOURNAL FOR PROGRAMMABLE LOGIC USERS

## Virtex-5 特集号

### INSIDE

Virtex-5 FPGA を使って  
システム レベル性能を向上

Virtex-5 の使用率や  
パフォーマンス、消費電力を  
最適化するための HDL の  
コーディング & 設計手法

幅広い用途をカバーする  
マルチ ギガビットトランシーバ

Virtex-5 PCI Express  
エンドポイント ブロック

Virtex-5 FPGA で  
先進的メモリインターフェイス  
デザインへの挑戦

**XILINX®**  
[japan.xilinx.com/xcell/](http://japan.xilinx.com/xcell/)

# Xcell journal

|                   |   |
|-------------------|---|
| 発行人               | Forrest Couch<br>forrest.couch@xilinx.com |
| 編集                | Charmaine Cooper Hussain                  |
| アートディレクター         | Scott Blair                               |
| デザイン/制作           | Teie, Gelwicks & Associates               |
| テクニカル<br>コーディネーター | Greg Lara                                 |
| 日本語版統括            | 澤田 修<br>osamu.sawada@xilinx.com           |
| 制作進行              | 竹腰 美優紀<br>miyuki.takegoshi@xilinx.com     |
| 制作                | オフオフ京都 (offoff-kyoto)                     |
| 広告                | 有限会社エイ・シー・シー                              |
| 印刷                | ノップス株式会社                                  |



japan.xilinx.com/xcell/

Xcell Journal 58・59 合併号

2007 年 3 月 1 日発行

Xilinx, Inc.  
2100 Logic Drive  
San Jose, CA 95124-3400

**ザイリンクス株式会社**  
〒141-0032  
東京都品川区大崎 1-2-2  
アートヴィレッジ大崎セントラルタワー 4F  
©2007 Xilinx, Inc. All Right Reserved.  
  
XILINX や、Xcell のロゴ、その他本書に記載の商標は、米国およびその他の国々の Xilinx 社の登録商標です。PowerPC は、米国またはその他の国における IBM 社の商標です。ほかすべての名前は、各社の登録商標または商標です。

本書は、米国 Xilinx, Inc. が発行する英文季刊誌を、ザイリンクス株式会社が日本語に翻訳して発行したものです。

米国 Xilinx, Inc. および Xilinx, Inc. 株式会社は、本書に記載されたデータの使用に起因する第三者の特許権、他の権利、損害における一切の責任を負いません。

本書の一部または全部の無断転載、複写は、著作権法に基づき固く禁じます。

Printed in Japan

本誌 Xcell Journal 58・59 合併号では、ザイリンクスの Virtex™-5 FPGA をさまざまな角度で紹介する多彩な記事をお届けします。本号は、ザイリンクス経営陣や業界各社の見解に加え、エンジニアリングソリューションやデザインチャレンジ、設計ツール、カスタマーサクセスストーリー、そして、パーティカル市場に関するさまざまな記事をご紹介します。また、アプリケーションノートやボード、IP をカバーするテクニカルリファレンスも掲載しています。

## Xcell Publications が APEX 2006 Award of Excellence を受賞

この度、Xcell Publications のフラッグシップである Xcell Journal と I/O Magazine が、APEX 2006 Award of Excellenceにおいて、マガジンおよびジャーナルのデザイン/レイアウト、ならびにカスタム出版のマガジンおよびジャーナルの 2 部門で受賞しました。

APEX 2006 (18 th Annual Awards for Publication Excellence) は、企業のニュースレターやマガジン、年次報告書、ブローシャ、Web サイトなどの優秀な出版物に対して賞を授与する国際的なコンテストです。APEX の審査員によると、2006



年度のコンテストは例年になく競争が激しく約 5,000 ものエントリがありました。グラフィック デザインの秀逸さや編集内容の品質、メッセージの伝達と全体的なコミュニケーション効果などが選考基準とされました。

ザイリンクスのワールドワイド マーケティング担当バイス プレジデント、Sandeep Vij は、「APEX 審査員により、Xcell のマガジンが出版分野において名だたる企業と共に賞をいただけたのは大変名誉なことです」と述べています。「過去 18 年間、ザイリンクスの出版物は、火星探査機から民生機器のハンドセット、フラットパネル ディスプレイ、オートモーティブ向けインフォテインメント システムにいたるまで、多種多様な電子機器のデザインに、ザイリンクスのプログラマブル チップを使用している数多くのエンジニアへ “ハウツー” 情報を提供するための基本ツールとして貢献してきましたが、業界最高ランクのマガジンとして賞をいただけたことで、改めてその価値と品質が証明されました」。

カスタム出版のマガジンおよびジャーナル部門では、Blue Cross Blue Shield、CMP Media/Digital Connect、DaimlerChrysler、IBM Journal of Research and Development、Mac Publishing、National Football League、National Foundation for Advancement in the Arts、Penton Custom Media、および Time Inc. Strategic Communications といった各業界の企業が受賞しており、ザイリンクスはこのそうしたるリストに名を連ねることになりました。



*Forrest Couch*

Forrest Couch  
発行人

# Xcell journal

## VIEWPOINT

|                                     |   |
|-------------------------------------|---|
| 遂に登場 65nm Virtex-5 FPGA             | 2 |
| 偏在するシリアル I/O ソリューション「トリブルプレイ」への挑戦   | 6 |
| Virtex-5 が実現するシリアル コネクティビティ ソリューション | 7 |

## PERFORMANCE

|  |    |
|--|----|
| Virtex-5 FPGA を使ってシステム レベル性能を向上                        | 10 |
| Virtex-5 の使用率やパフォーマンス、消費電力を最適化するための HDL のコーディング & 設計手法 | 14 |
| Virtex-5 FPGA から最良の結果を引き出す設計手法                         | 19 |
| Virtex-5 FPGA のパフォーマンスを最大限にするデザイン技法                    | 24 |
| Virtex-5 デバイスにおけるクロック管理                                | 28 |

## POWER

|                          |    |
|--------------------------|----|
| Virtex-5 FPGAによる 消費電力の削減 | 30 |
| コンパクト熱モデルへの適応            | 34 |

## SERIAL CONNECTIVITY

|   |    |
|---|----|
| 幅広い用途をカバーするマルチ ギガビット トランシーバ                   | 39 |
| Virtex-5 PCI Express エンドポイント ブロック             | 42 |
| PCI Express 市場のトレンド                           | 46 |
| Virtex-5 の新しいイーサネット MAC 機能を使ったデザイン            | 51 |
| AES オーディオ ストリーム間の非同期サンプルレートの変換                | 55 |
| Virtex-5 LXT デバイスによる統合ビデオ コネクティビティ ソリューションの実装 | 59 |
| Virtex-5 System Monitor によるシステム管理と 問題診断機能の拡張  | 63 |

## MEMORY INTERFACE

|  |    |
|--|----|
| Virtex-5 FPGA のメモリ                             | 66 |
| Virtex-5 FPGA で先進的メモリ インターフェイス デザインへの挑戦        | 70 |
| メモリ インターフェイス ジェネレータ (MIG) ツール によるメモリ コントローラの実装 | 73 |
| Micron のメモリ インターフェイス                           | 76 |
| シグナル インテグリティのための Virtex-5 DDR2 メモリ インターフェイスの設計 | 79 |

## VERTICAL MARKET SOLUTION

|  |    |
|--|----|
| COTS ボード製品の開発におけるVirtex-5 FPGAの活用                          | 82 |
| マルチポート 1Gbps/10Gbps ベースでの TCP/iSCSI プロトコル オフロード ソリューションの実現 | 90 |
| Virtex-5 LXT プラットフォームでの暗号化アルゴリズムの実装                        | 93 |

## GENERAL

|                        |    |
|------------------------|----|
| Virtex-5 EasyPath FPGA | 96 |
|------------------------|----|

## REFERENCE

|                          |        |
|--------------------------|--------|
| Virtex-5 ボードおよびキット       | 98     |
| INFORMATION              |        |
| ザイリンクス トレーニング スケジュール     | 13, 18 |
| ザイリンクス販売代理店 オリジナル トレーニング | 69     |
| ザイリンクス ウェブ セミナー          | 104    |
| ザイリンクス イベント カレンダー        | 表 3    |

## 広告索引

|                   |     |
|-------------------|-----|
| 株式会社コンピューテックス     | 9   |
| シンプリシティ株式会社       | 23  |
| 株式会社グレーブシステム      | 62  |
| 株式会社ミッシュインターナショナル | 89  |
| 株式会社ソリトンシステムズ     | 92  |
| 有限会社ヒューマンデータ      | 103 |

Xcell Journalのご送付先住所等の変更は:  
<http://japan.xilinx.com/xcell/henko/>  
Xcell Journalの新規定期購読のお申込みは:  
<http://japan.xilinx.com/xcell/toroku/>

## TABLE OF CONTENTS, 58・59 合併号

### PERFORMANCE

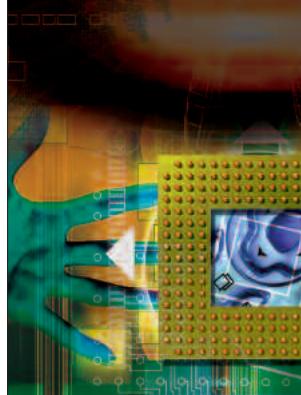


## Virtex-5 FPGA を使ってシステム レベル性能を向上

新しい ExpressFabric™ テクノロジーによる 高パフォーマンスの達成

10

### SERIAL CONNECTIVITY



## 幅広い用途を カバーする マルチ ギガビット トランシーバ

量産用アプリケーションに 多様性と使い易さ、消費電力低減、コスト効果をもたらす Virtex-5 GTP トランシーバ

40

### SERIAL CONNECTIVITY



## Virtex-5 PCI Express エンドポイント ブロック

広帯域インターフェクトの標準となりつつある PCI Express の利用により、コンフィギュラブル シングルチップ ソリューションを 可能にする Virtex-5 LXT PCI エンドポイント ブロック

43

### MEMORY INTERFACE



## Virtex-5 FPGA で 先進的メモリ インターフェイス デザインへの挑戦

最先端の最速メモリインターフェイス をサポートする Virtex-5 デバイス

70



# Introducing the Virtex-5 FPGA Family 遂に登場 65nm Virtex-5 FPGA

世界初 65nm FPGA は、パフォーマンス、電力供給、能力、価値に新地平を拓く



Steve Douglass  
Vice President  
Product Development,  
Advanced Product Division  
Xilinx, Inc.  
[stephen.douglass@xilinx.com](mailto:stephen.douglass@xilinx.com)

Xcell Journal 本号では、Virtex™-5 の特集号としてさまざまな角度でザイリンクス Virtex-5 FPGA をご紹介します。Virtex-5 ファミリは、業界初の 65nm FPGA であるだけでなく、世界最先端のアーキテクチャと最高のパフォーマンスを提供します。ザイリンクスは、歴史的に画期的なテクノロジの開発を行ってきましたが、その歴史を継続しつつ、さまざまな業界の第一線で活躍する設計エンジニアの声にも耳を傾けることで、Virtex-4 FPGA ファミリを成功に導いた次の特徴をベースに開発を行いました。

- ・パフォーマンスの向上
- ・ロジックの高集積度化
- ・消費電力の低減
- ・先進機能の追加

FPGA が元来提供するバリューとして、Time-to-Market の短縮や多機能性、進化を続ける標準規格へのサポート、リスクの軽減、フィールド アップグレード性、システムの総コストの低減が挙げられます。ザイリンクス FPGA は、パフォーマンスやロジック容量、消費電力、コストなどに対してよりいっそうの改善を求めるユーザーに応えるプラットフォームです。

ザイリンクス製品は対象となるアプリケーションを深く理解した上で革新的なデザインを実現していますが、Virtex-5 ファミリは、最先端の 65nm プロセス技術を利用して革新的デザインが結合されています。本稿では、Virtex-5 デバイスの新機能とその基礎をなす技術について説明すると共に、世界をリードする FPGA アーキテクチャが今日のデザインにいたるまでを解説します。

## プロセス技術と 革新的アーキテクチャ

Virtex-5 FPGA は、ザイリンクスの ASMBL (Advanced Silicon Modular Block) アーキテクチャを用いて 65nm トリプル酸化膜技術をベースに構築されており、より高いレベルでシステムの統合を実現しています。この新しいファミリは、より高性能で高集積、低消費電力、そしてシステム全体の総



コストを抑えたプログラマブル システムに対するニーズに応える先進のプラットフォームです。

これらニーズの 1 つか 2 つを提供するのは簡単かもしれません、ザイリンクスが目指したのは、これらすべてを同時に達成することでした。

ザイリンクスは、高度な IC プロセス開発や革新的なアーキテクチャ、回路設計を通して、この課題を克服することに成功しました。Virtex-4 ファミリに採用され既に実証済みの ASMBL チップ レイアウト アーキテクチャにより、必要なデバイス リソース（ロジック メモリ、数値演算、I/O、IP）を最適な形でミックスし、新しいプラットフォームとして次の 4 種類を提供します。

- ・高性能ロジック向けに最適化された LX プラットフォーム
- ・低消費電力のシリアル I/O 内蔵の、高性能ロジック向けに最適化された LXT プラットフォーム
- ・低消費電力のシリアル I/O が内蔵され、膨大な算術演算とメモリを使用する高性能 DSP 向けに最適化された SXT プラットフォーム
- ・エンベデッド プロセッシングと超高速シリアル I/O 向けに最適化された FXT プラットフォーム

Virtex-4 ファミリと Virtex-5 デバイスとを比較した場合、平均速度は 30% 高速化し、ロジック容量は 65% 増大しています。また、ダイナミック消費電力は 35% 削減され、チップ エリアも 45% 縮小し、ファンクションあたりのコスト低減を実現しています。

## 性能と集積度の向上

ExpressFabric™ テクノロジでは、ロジックとローカル インターコネクト配線を改善しました。図 1 に示すとおり、このテクノロジは 6 つの独立した入力を備えるルックアップ テーブル（LUT）と、対角方向に対称な新しいインターネット構造を採用しています。ExpressFabric テクノロジは、Virtex-4 アーキテクチャと比較して、より少ない LUT

レベルでコンビネーション ロジックをインプリメントし、隣接するビルディング ブロックにより少ない連結接続を行います。このため、データバスの遅延が減少し、デザインのパフォーマンスが向上されます。

## 先進の 6 入力 LUT ロジック構造

長年、業界標準は 4 入力の LUT でしたが、65nm では LUT はインターネットより縮小率が加速しました。このため、メモリとしてのビット数が 4 倍の 6 入力 LUT では、CLB エリアをわずか 15% 増やすだけで、各 LUT に平均 40% 以上のロジックを詰め込むことができます。このように、ロジックが高集積化されると、一般にカスケード接続した LUT の数は減り、クリティカル パスの遅延が改善されます（図 2）。

ISE™ 8.1i ソ

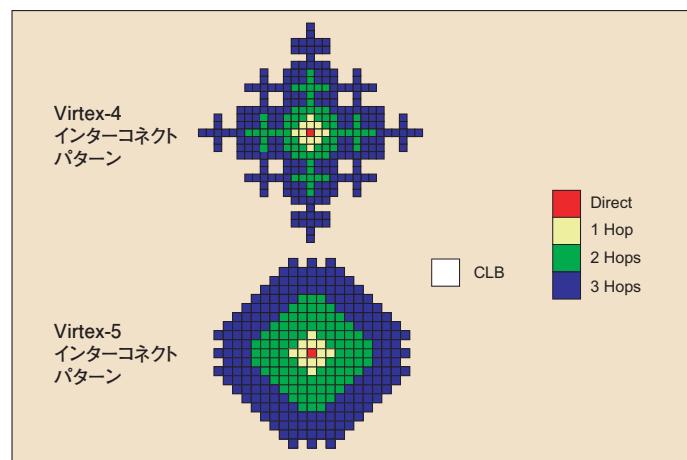
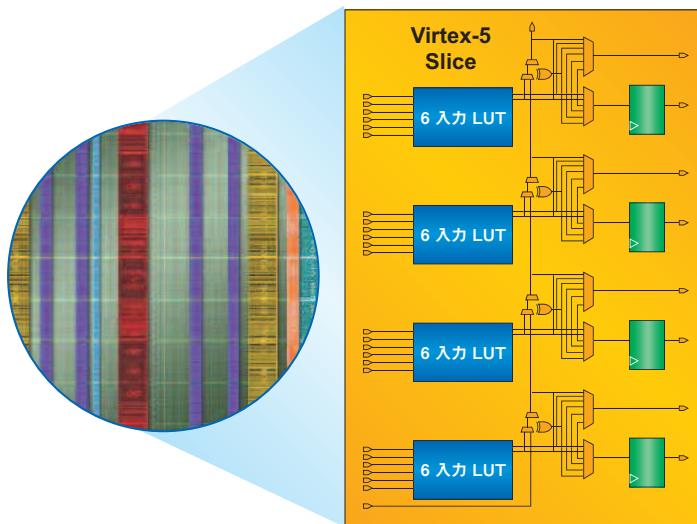
フトウェアを用いてあるカスタマーデザインをインプリメントしてみました。デザインごとに Virtex-4 と Virtex-5 デバイスのインプリメンテーションに使われている LUT の数を比較し、性能改善（メガヘリツ）との相関関係を調べました。図 3 の散布図は、X 軸に性能改善率、Y 軸に LUT 削減によるエリア節約率を示しています。この結果から、新しい 6 入力 LUT ExpressFabric テクノロジは、性能の向上とリソース節約の両方の点でバランスの取れたソリューションであるといえます。

Virtex-5 FPGA は、他社製 FPGA とは異なり、真の 6 入力 LUT を提供しロジックまたは分散メモリとして使用できます。分散メモリとして使う場合、LUT は 64 ビットの分散 RAM (2 ポート、4 ポートも可)、あるいは 32 ビットのプログラマブル シフト レジスタとして使用できます。各 LUT は 2 つの出力を持たせることが可能で、5 つの変数からなる 2 つのロジック ファンクションをインプリメントして 32 X 2 ビットを格納するか、あるいは 16 X 2 ビット シフト レジスタとして機能させることができます。

## 対角方向に対称な新しいインターネット

対角方向に対称な新しいインターネット

図 1 Virtex-5 の ExpressFabric テクノロジ





パターンは、より少ない配線ホップで多くの CLB に到達することが可能で、パフォーマンスの向上を実現します。図 1 は、Virtex-5 および Virtex-4 FPGA のインターフェクト パターン（正方形は CLB を示す）を比較した図です。カラー コードからわかるとおり、Virtex-5 FPGA はパターンが対称的に構成されており、より少ないホップで多くの CLB に到達することができます。配置配線ソフトウェア ツールを使用して、このように良い結果を達成することが可能です。

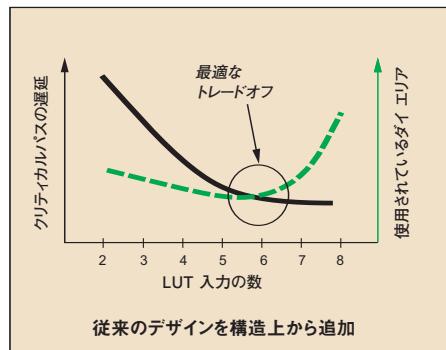
この機能は Virtex-5 FPGA のユーザーに直接目に見えるものではなく、ISE ソフトウェアによって自動的に処理されます。つまり、簡単な配線で、パフォーマンスの全体的な向上が実現するのです。

## 消費電力を最小限に抑えた先進の FPGA ソリューション

Virtex-5 デバイス ファミリは、11 層の銅配線からなるザイリンクスの先進 65nm トリプル酸化膜 CMOS プロセス技術を採用しています。「トリプル酸化膜」は、厚さの異なる 3 種類のトランジスタ ゲート酸化膜を使用することを意味しています。I/O トランジスタは 3.3V の電圧に耐える必要があるため比較的厚い酸化膜を使いますが、ロジックや他のコア ファンクションに用いられる極めて高速なトランジスタでは非常に薄い酸化膜を使います。

非常に薄い酸化膜と非常に低いスレッショルド電圧では、どうしてもリーク電流が多くなります。

図 2 パフォーマンスとエリアの最適なトレードオフ



つてしまします。FPGA の中には、さほど高速である必要のないトランジスタが多くあります（特にコンフィギュレーション ストレージ セル）。そこでザイリンクスは、Virtex-4 ファミリから、そうしたトランジスタ用に第 3 の中厚酸化膜を採用してきました。トリプル酸化膜の手法により、デバイス回路のパフォーマンスや消費電力を微調整できるようになり、Virtex-5 デバイスではリーク電流とスタティック消費電力を大幅に低減しながら業界最高のパフォーマンスを引き出すことに成功しました。

また、新しい 6 入力 LUT のロジック構造は、LUT あたり従来よりも多くのロジックを組み合わせ、より少ないローカル インターコネクト ノードや、ロジック ファンクション間の高キャパシタンス ノードを使用するため、ロジック数が少なくてすみ、バス遅延が低減されます。さらに、対称型の配線は隣接するロジック間をより直接的に接続するため、これも配線キャパシタンスの低減につながります。

コア電源電圧の VCCINT は 1.0V になりました。これらの要素はいずれも、全体的なダイナミック消費電力の低減に寄与します。ザイリンクスは、多くのエンジニアがパフォーマンスと消費電力をシステム デザインにおける重要な 2 本柱と見ていることを、Virtex-4 ファミリの成功によって熟知しており、高性能と低消費電力の両立が必要であると考えています。

Virtex-5 では、65nm トリプル酸化膜 CMOS プロセスをフルに活用するようロジック ファブリックをリエンジニアリングした結果、システム クロック レートが 550MHz を超える、これまでで最も高性能なファブリックを実現しました。しかも、スタティック消費電力が 90nm の Virtex-4 デバイスと同等のレベルに抑えられ、ダイナミック消費電力は少なくとも 35% 低減されました。Virtex-4 と同様、Virtex-5 ファミリも FPGA ファミリの中で最も消費電力の低いソリューションを提供しているのです。

ループ (PLL) を追加することで、CMT は 2 個のデジタル クロック マネージャ (DCM) と 1 個の PLL から構成されます。したがって、Virtex-5 の CMT は、デジタル クロック マネージャの優れた柔軟性と高精度なインクリメンタル フェーズ シフト、アナログ PLL のジッタ低減という両方の利点を提供します。ファミリ最大のデバイスは、550MHz クロックを生成、操作できる 6 個の CMT を持ち、Virtex-5 のロジックおよびブロック ファンクションのパフォーマンスをサポートします。

同期デュアル ポート ブロック RAM は重要なファンクションです。各ブロック RAM のサイズは 36Kb に増加されましたが、2 個の独立した 18Kb ブロック RAM として使うことも可能です。データ バス幅は 1 ビットから 36 ビットまでの間でプログラムが可能です。シンプルなデュアル ポート モード（1 ポート書き込み、1 ポート読み出し）の場合、データ バス幅を 72 ビットにすることでデータのバンド幅を 2 倍にすることが可能です。また、未使用の 18Kb ブロックをオフにして、電力を節約することができます。

ブロック RAM には FIFO 制御ロジックが統合されており、ロジック リソースをまったく消費せずに 550MHz で動作する非同期（または同期） FIFO のデザインを容易に作成できます。

72 ビット幅のブロック RAM には 64 ビットのエラー検出／訂正（ECC）制御ロジックが含まれています。内蔵型の FIFO サポートと同様、内蔵型の ECC はメモリの性能を改善し、従来のファブリック ベースのソリューションに伴うコストを不要にします。また、外部メモリ インターフェイスを補強するため、専用の ECC ロジックを使うこともできます。

外部デバイスと、DDR や DDR2、QDR II、RLDRAM II といった外部メモリへのインターフェイスは、ザイリンクスの新しい ChipSync™ テクノロジにより格段に向上、簡素化されています。ザイリンクスの LX50T デバイスをベースにしたメモリ開発システム（ML561 開発ボード）には、今日の一般的なメモリ技術に対応したハードウェア実証済みのリファレンス デザインが収められています。

## システム統合のための先進機能

Virtex-5 ファミリでは、各クロック マネジメント タイプ (CMT) にフェーズ ロック

DSP ドメインには、主に浮動小数点のデザイン効率を高めるため、 $25 \times 18$  ビットの乗算器を用意しています。DSP48E スライスは、デジタル フィルタリングやビデオ ブロードキャスト アプリケーションにおける性能を高めるため、直接カスケード接続ができます。直接カスケード接続することで、他社製品と比較して最大 40% の電力節約が実現します。

Virtex-5 の SelectIO™ テクノロジは現在でも業界トップの性能を提供しています。すべてのピンは今日使用されているほとんどの I/O 規格をサポートし、最高 1.25Gbps の LVDS と 800Mbps のシングルエンド I/O パフォーマンスを提供します。

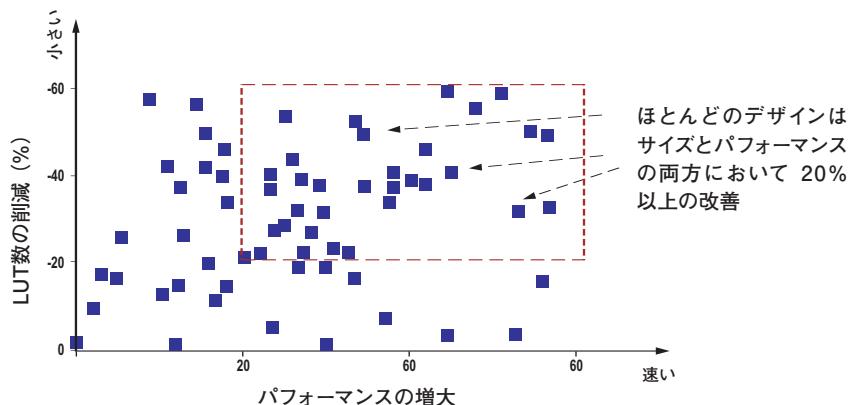
75ps 単位のプログラマブルな入力遅延を提供する IDELAY オプションに加え、新しい ODELAY オプションでは、同様の細かい単位の遅延を FPGA 出力にも実現します。いずれのファンクションも、すべてのデバイス ピン上で個別にプログラムが可能です。

IODELAY ファンクションは、高速なソース同期データやクロックを確実に受け渡すために重要な機能です。アプリケーションとしては、ボード レベルのスキー補正、バス内のビット アライメント、データおよびクロック信号間のアライメントがあります。このファンクションを使うことで、LVDS の I/O は一対のピンあたり最高 1.25Gbps のスピードを達成します。

Virtex-5 LXT、SXT、FXT の各デバイスは、エンベデッドシリアルトランシーバを備え、最も大型の LXT デバイスでは最高 24 個を搭載しています。ザイリンクスは、高速シリアルトランシーバの第 4 世代 RocketIO™ テクノロジのデザインにあたり、消費電力の低減に多大な労力を費やしました。最高速度 3.2Gbps を誇る LXT の RocketIO トランシーバは 100mW 未満で動作が可能で、FPGA 製品に搭載されているトランシーバとして最も低い消費電力を実現しています（図 4）。

Virtex-5 LXT の各 RocketIO トランシーバはプログラマブルで、多種多様なスピードとシリアル規格をインプリメントできます。Ethernet、HD/SDI、Serial RapidIO、FibreChannel、Aurora などの規格には、リンク レイヤ IP が利用できます。また、ザイ

図 3 Virtex-5 FPGA と Virtex-4 FPGA のデザイン ベンチマーク



リンクスは、PCI Express® エンドポイント アプリケーションの普及を見込んで、ハード IP として PCI Express エンドポイント プロトコルを内蔵しました。Virtex-5 LXT の PCI Express エンドポイント ブロックは PCI Express 標準仕様バージョン 1.1 にフルに準拠しており、x1、x2、x4、x8 レーンのインプリメンテーションをサポートします。内蔵型のハード IP はロジック リソースを節約し、人気の高まっている PCI Express アプリケーションの性能を改善します。x4 PCI Express レーン インプリメンテーションにおいて、Virtex-5 PCI Express サブシステム ブロックは、ソフト IP でのインプリメンテーションと比較して最大 8,500 LUT を節約します。

Virtex-5 デバイスは、従来と比べて小型の I/O バンクをより多く備えています。外側の I/O バンク

(最も大型のデバイスでは 8 個) も用意されており、PCB の配線が容易になると共に、場合によってはボードのレイヤ数の節約も可能にします。

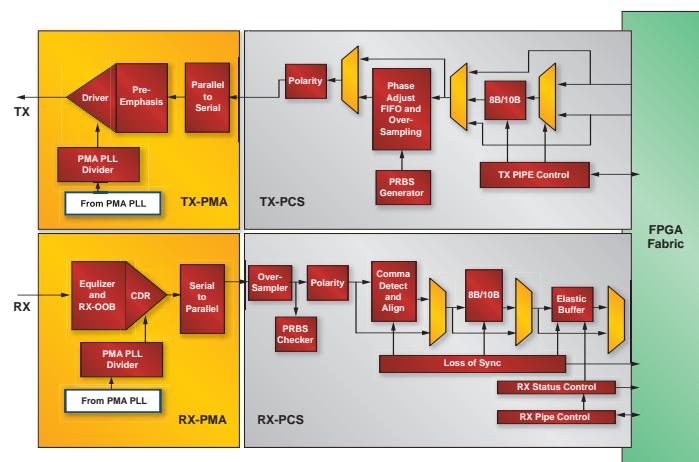
Virtex-5 デバイスは、すべてにスパース シェブロン ピンアウト スタイルを採用しており、FPGA 業界で最高

の同時スイッチング出力 (SSO) 性能を引き出し、また最高のシグナル インテグリティ (SI) ソリューションを提供します。このピンアウト スタイルは、各 I/O ピンが電源ピンとグランド ピンによって緊密に囲まれ、電流ループのインダクタンスを最小限に抑えて SI を改善します。

## 結論

Virtex-5 デバイスとそのデザイン要素についてご理解いただけたことと思います。この新しいアーキテクチャは、システム エンジニアリングのコミュニティで大変高く評価されています。性能、機能性とも格段に向上した Virtex-5 は、次世代システムに活かされ、複雑なデザイン開発の効率化に大きく貢献することでしょう。

図 4 RocketIO GTP トランシーバ



## Serial Everywhere -The Triple-Play Challenge

# 偏在するシリアル I/O ソリューション -「トリプルプレイ」への挑戦

ザイリンクスはトリプルプレイ競争における次のイノベーションを推進する



Wim Roelandts  
CEO and  
Chairman of the Board  
Xilinx, Inc.

エレクトロニクス業界は、消費者および企業向けに、音声、ビデオ、コンピュータのデータ通信を単一のネットワークで実現したいという飽くなき欲求を満たすため、ソリューションの開発にしのぎを削っており、まさに限界への挑戦を求められています。世界中の放送、通信業界にとって、トリプルプレイは無尽蔵の収益源になりうる半面、フラストレーションの元でもあります。一般ユーザーにトリプルプレイサービスを提供することに成功すれば計り知れない見返りを期待できますが、そこにいたるまでの道のりは遠く、数多くの大きな障害が待ち受けているのです。

中でも最大と思われる障害は、旧来のインフラ機器ではバンド幅の急増に十分対応しきれない点です。本来音声専用だったレガシイインフラストラクチャは、複数のネットワークをクモの巣状に重ね合わせた複雑な形を取っており、サービスプロバイダにとって経済的にも技術的にも負担となっています。つまり、既存の機器のみでトリプルプレイサービスを提供するのは技術的に不可能であり、かといって新しいネットワークに総入れ替えするにはコスト面から非現実的なのです。

さらに、従来のカスタマが既存サービスの中止を受け入れるはずはありませんし、品質の低いサービスに追加料金を払うことも考え

られません。

この巨大なビジネスの食物連鎖を可能にすることで莫大な収益を見込めるところから、エレクトロニクス業界はトリプルプレイの実現に向けてあらゆるレベルでソリューションを発見すべく可能な限りのリソースを結集させてています。当然、半導体業界もシステムメーカーに遅れを取らないよう努力しています。

### キャズム（溝）を超える ザイリンクスの シリアル I/O ソリューション

ザイリンクスは 2002 年、高速シリアルイニシアティブを発表し、Xilinx™ FPGA におけるシリアル I/O ソリューションは格段の進化を遂げました。このイニシアティブの目的は、バンド幅 3.125Gbps～10Gbps、あるいはそれ以上の要件を満たすシステムデザイン向けに新世代のコネクティビティソリューションを提供することで、パラレルから高速シリアル I/O への業界の移行を促すことです。

ザイリンクスは、Virtex-II Pro ファミリへの最大 24 個の 3.125Gbps シリアルトランシーバの追加を皮切りに、多数のシリアル接続規格に適合する IP ソフトコアやリファレンスデザイン、ハードウェア開発プラットフォーム、デザインソフトウェア、特性データ、詳細なデザインサポートプログラムなどを提供してきました。

2005 年には、Virtex-4 FX ファミリに同様の高バンド幅トランシーバを搭載し、622Mbps～6.5Gbps のパフォーマンスや、堅牢な IP とデザインサポートソフトウェ

ア、ハードウェアサービスを提供しました。

Virtex-II Pro および Virtex-4 FX ファミリに高速シリアル I/O ソリューションをパッケージングした主な目的の 1 つは、FPGAユーザーの初期採用企業や革新的企業にカスタム ASIC と ASSP シリアル I/O ソリューションに勝る代替策を用意することでした。

これらの製品ファミリで FPGA ベースのシリアル I/O ソリューションの将来性は実証されたものの、さらなる発展には極めて重要なステップが 1 つ残されていました。キャズム（溝）を超えて大多数の FPGA ユーザーに採用を促し、ザイリンクスのシリアル I/O ソリューションとカスタムソリューションの間に真の等価性を実現するには、完全に検証、統合されたハード IP ベースのターンキーシリアル I/O ソリューションを提供する必要があったのです。

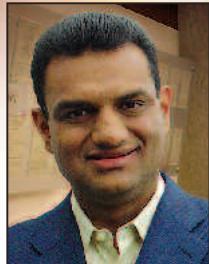
ザイリンクスの最新の 65nm Virtex-5 LXT プラットフォームでは、そのキャズムを超えることができたと確信しています。ハードコード化した PCI Express® エンドポイントとトライモードの Ethernet メディアアクセスコントローラ (MAC) ブロックを搭載する業界初の FPGA を発表したこと、Virtex-5 LXT デバイスはトリプルプレイサービスという新興市場を目指す機器ベンダーのバンド幅、消費電力、コスト面での課題を解消します。Virtex-5 LXT プラットフォームは、プロトコルに完全に準拠した包括的なソリューションを最高の使い勝手で提供することで、幅広いアプリケーションに渡る FPGA 設計者がシリアルコネクティビティを享受できるよう最適化されています。



## Virtex-5 Serial Connectivity Solutions

# Virtex-5 が実現するシリアルコネクティビティ ソリューション

トリプルプレイ市場に向けた柔軟なプロダクト開発が可能に



Sandeep Vij  
Vice President,  
Worldwide Marketing  
Xilinx, Inc.  
[sandeep.vij@xilinx.com](mailto:sandeep.vij@xilinx.com)

今日「トリプルプレイ」は、半導体業界で最も注目の高いキーワードで成長の牽引役になる可能性を秘めていますが、トリプルプレイの実現に不可欠だったテクノロジの進化やその爆発的成長を支えるさまざまな力、今後表面化する課題、そして、トリプルプレイの製品やサービスを開発・展開するうえでザイリンクスの Virtex™-5 ファミリーが果たす重要な役割について、理解を深めておきましょう。

Virtex-5 プラットフォームは、最新の 2 種類のシリアル I/O 規格であるギガビット Ethernet (GbE) と PCI Express® に対応し高い評価を得ています。この 3 年間で、この 2 種類のインターフェイスがネットワークやコンピューティング アプリケーションの事実上の接続規格になっています。Electronic Trend Publications 社では、2009 年には GbE と PCI Express だけだとポート出荷高の 80% を占めると予測して

います。

### 革新的テクノロジ

テレコム ベンダやサービス プロバイダが Voice over IP、Video over IP、Data over IP (トリプルプレイ) をサポートする All IP ベースのインフラストラクチャへ移行する中、IP がネットワーク市場で最も利用されるプロトコルであることは明らかです。トリプルプレイをサポートするエンド アプリケーションのデザインは、高いパフォーマンスの達成や、QoS (サービス品質) 管理、優れた電力効率が求められるうえ、次々に登場する新しい規格やプロトコルの進化にうまく適応する柔軟性を併せ持つ必要があり、それらは非常に困難です。

コンピューティング インフラストラクチャ市場では、PCI Express は、従来の PCI バスよりパフォーマンスやスケーラビリティ、信号数の効率面で格段に優れていることから、ネットワーキングやグラフィックス、バックプレーンのコネクティビティに対する独占的なホスト インターフェイスになりました。トリプルプレイ市場のようなネットワークやコンピューティング インフラストラクチャにまたがる製品をデザインするには、この

新分野に精通する必要があり、また、新たなリスクも生じます。ザイリンクスはその対策として、2 年前にプロジェクトを立ち上げ、パフォーマンスや機能性、デバイス集積度を大幅に高めつつ、ゲートあたりのコストを削減する新世代のプラットフォーム FPGA を投入し、デザイン リスクを最小限に抑えることに成功しました。

### 次世代の FPGA

ザイリンクスは、大手 FPGA ベンダとしてのコア コンピタンスを活かし、世界有数のカスタマやパートナーの協力を得ながら Virtex-5 FPGA アーキテクチャを開発しました。LXT ファミリーの投入により、現在の Virtex-5 デバイスはトリプルプレイ市場向けのデザインに理想的なマルチ GbE と PCI Express の統合型コネクティビティ テクノロジを採用しています。

この LXT ファミリーは高速シリアル接続をサポートし、次の機能を備えています。

- GbE MAC を内蔵 – Virtex-5 LXT デバイスは、マルチポートの Ethernet コネクティビティ用に 4 個のハードコア GbE MAC を搭載しています。



- PCI Express ブロックを内蔵 – 1~8つのレーンをサポートし各種標準に準拠する PCI Express エンドポイント ブロックを統合したことで、極めて高いパフォーマンスを要求するアプリケーションに最高 32Gbps の全二重ホスト I/O を提供します。

これらの機能は、リソースの利用率やコネクティビティに関するトラブルシューティング、消費電力の削減、パフォーマンスの最適化に費やす設計者の労力を軽減することから、ユーザーは Virtex-5 FPGA のリソースを存分に活用して、Voice over IP、Video over IP、Data over IP を提供す

るインフラストラクチャやエンド アプリケーションをデザインすることが可能です。

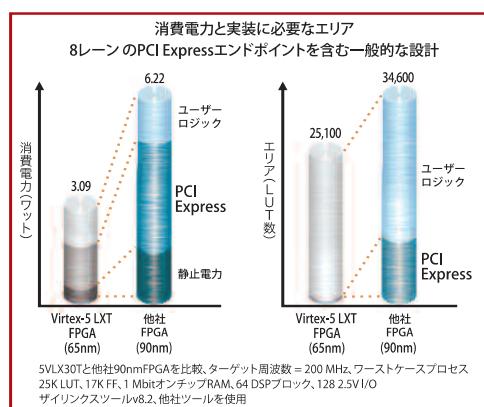
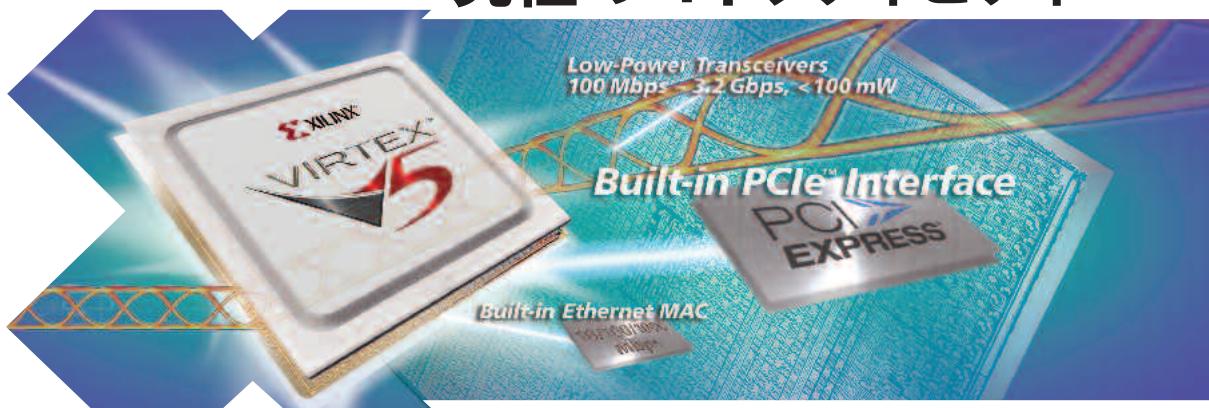
Virtex-5 ファミリはプログラマブル プラットフォームであるため、次のような付加価値の高いトリプレープレイ テクノロジを実現できます。

- QoS – 市場環境に応じて変更できる、階層型サービスを可能にするカスタマ固有のトラフィック マネジメント ソリューション
- デジタル著作権管理 – これら市場の多彩な標準に準拠する、ハードウェア ベースの適応型、エンド ツー エンドのデータ セキュリティを可能にします。

## 結論

柔軟なサービスをいち早く市場に投入することが何よりも重視される非常に変化の速いコンスマーカ市場にあって、企業は、莫大な収益を上げるために、製品とサービスをどのようにミックスすべきかを今なお模索しています。Virtex-5 LXT ファミリは、世界中で評価を得ているプログラマブル ロジック アーキテクチャにエンベデッドシリアル コネクティビティを統合することで、トリプレープレイの新興市場で音声、ビデオ、データを提供するために必要なパフォーマンスや集積度、コネクティビティを提供するものです。

# LOW-POWER TRANSCEIVERS 究極のコネクティビティ…



**VIRTEX™ V5** 世界初の 65nm FPGA で、  
シリアル I/O の消費電力、コスト、複雑な  
設計を低減します

Virtex-5 LXT FPGA が提供する低消費電力トランシーバ、内蔵PCI Express®およびイーサネットMACブロックの最大24種類のユニークな組み合わせにより、システムの高速動作が可能となります。設計のエキスパートにも初心者にも、ザイリンクスだけが高速シリアル設計を単純化するソリューションを提供することが可能です。

### 最小消費電力、最大エリア効率のシリアルI/Oソリューション

RocketIO™ GTPトランシーバは、最高3.2Gbpsの接続を100mW以下で提供し、困難なパワー/バジェットの達成を可能にします。さらに、組み込みのPCI Expressエンドポイントブロックが、容易な実装、開発期間の削減を確実にします。また、組み込みのUNH認定済みイーサネットMACブロックの実装をシングルチップで可能とします。さらに、開発ツール、デザインキット、IP、キャラクタライゼーションレポートなどお客様の設計をサポートします。

今すぐウェブにアクセスして、究極のコネクティビティに関する詳細をご覧ください。

japan.xilinx.com/virtex5



## 究極のシステム・インテグレーション・プラットフォーム

© 2007, Xilinx, Inc. All rights reserved.ザイリンクスの名称およびロゴ、その他記載のブランド名は米国およびその他各国のザイリンクス社の登録商標または商標です。その他すべての名称は、それぞれの所有者に帰属します。



ザイリンクス社  
FPGA内蔵CPU向けデバッガ

# F-Sight

2VP-PPC  
MicroBlaze

無償  
評価用貸し出し実施中

コンピューテックスでは、より多くの方に  
当社製F-Sight(エフサイト)を評価、体験していただくことを目的とした  
無償お貸し出しを実施中です。



## FPGAとFPGA内蔵CPUのトータルデバッグ

### FPGA内蔵CPUデバッグ —MicroBlaze・PowerPC—

- ▶ 高級言語レベルデバッグに対応
- ▶ CPU外部フラッシュメモリ対応
- ▶ μITRON対応
- NORTI:ミスボ社製
- PrKERNELv4:イーソル社製
- 組込みLinux対応 (2VP-PPCモデル)
- ▶ 日本語オペレーション

### FPGAの開発時間を 短縮する2つの機能 —FPGAハードウェア・デバッグ—

- ▶ リードバック機能  
容易に信号の状態をインスペクト表示。
- ▶ プロービング機能  
波形観測したい信号をソース・ファイル上で登録可能。

### FPGAとCPUの 協調デバッグ機能

#### ▶ 協調デバッグ

FPGAハードウェア・デバッグとCPUソフトウェア・デバッグを同時に実行可能。

※現在、2VP-PPCモデルでのみサポート



**Computex®**

株式会社コンピューテックス

お問い合わせ先→営業部・TEL:03-3253-2901 FAX:03-3253-2902

<http://www.computex.co.jp>

上記URLより製品情報、最新情報、リリース予定、サポート情報、各種ダウンロードなどのホットな情報を御覧いただけます。 記載の会社名および商品・製品名は各社の商標または登録商標です。



# Achieve Higher Performance with Virtex-5 FPGAs

# Virtex-5 FPGA を使って システム レベルの性能を向上

新しい ExpressFabric™ テクノロジによる高パフォーマンスの達成

Adrian Cosoroaba

Marketing Manager

Xilinx, Inc.

adrian.cosoroaba@xilinx.com

FPGA システムのデザイン性能を最大限に高めるには、ロジック ファブリック、オンチップ メモリ、DSP、I/O バンド幅といった性能効率の高いコンポーネントをバランス良くミックスする必要があります。本稿では、Virtex™ -5 FPGA のビルディング ブロック、特に新しい ExpressFabric™ テクノロジを利用してシステム レベルの性能を高める方法について説明します。ロジックおよび数値演算ファンクションの性能がどれだけ改善されるかを具体的に定量化した例を挙げながら、ExpressFabric アーキテクチャの代表的な機能を掘り下げて解説します。実際のカスタマ デザインで行ったベンチマークから、Virtex-5 の ExpressFabric テクノロジが、旧世代の Virtex-4 FPGA と比較して平均 30% の性能改善を実現することがわかります。

Virtex-5 FPGA は、カウンタや加算器、RAM/ROM ストレージなどのファンクションがインプリメント可能な新しいロジック ファブリックに加え、ハード IP ブロックやメモリ、550MHz の高速クロック レートで動作するよう最適化された DSP を搭載し、高性能デザインに最適なプラットフォームです。

## ExpressFabric の性能

1980 年代に最初の FPGA が発表されて以来、ほとんどの FPGA 向けロジック ファブリックは当時と同じタイプの 4 入力ルックアップ テーブル (LUT) アーキテクチャをベースにしてきました。Virtex-5 ファミリは、入力を共有せずに完全に独立させた真の 6 入力 LUT ファブリックを備える初の FPGA プラットフォームです (図 1)。6 入力 LUT のファブリック アーキテクチャに移行することで、65nm の Virtex-5 FPGA ファミリは、ロジック ファブリックの性能を決定付けるクリティカル パスの遅延とダイサイズの最も効果的なトレードオフを達成しています。

プロセス技術の進化により、インターネットのタイミング遅延がクリティカル パス遅延の 50% 以上を占めることができます。そこでザイリンクスは、より少ない配線ホップでより多くの CLB に到達できるようになります。さらなるパフォーマンスの向上を実現すべく、Virtex-5 FPGA に新しいインターネット パターンを開発しました。この新しいインターネット パターンは、2~3 ホップ以内でより多くのロジックの接続を可能にします。さらに、配線パターンがより規則的になるため、ザイリンクスの ISE™ ソフトウェアが最適なルートを見つけるのが容易になります。インターネットの機能はすべて FPGA 設計者には目に見えるものではなく ISE ソフトウェアにて

自動的に実行されるのですが、全体的なパフォーマンスの向上が実現し、デザインの配線が容易になります。Virtex-5 のパターンは、基本的に距離に基づく高速かつ予測可能な配線を実現します。

新しい 6 入力 LUT 構造やキャリー チェーン、専用マルチブレクサ、フリップ フロップなどの特別なファンクションに加え、これらエレメントを接続するザイリンクス独自の方法によって、ロジックおよび数値演算ファンクションをインプリメントする際のパフォーマンスや効率が飛躍的に向上しました。

ExpressFabric テクノロジのメリットを具体的に示す 1 つの例として、マルチブレクサ (MUX) があります。Virtex-4 アーキテクチャで 4:1 の MUX をインプリメントするには、2 個の 4 入力 LUT と 1 個の MUXF ブロックが必要です。Virtex-5 デバイスでは、同じ 4:1 MUX を 1 個の LUT でインプリメントすることが可能です。同様に、Virtex-4 FPGA では、8:1 MUX をインプリメントするのに 4 個の LUT と 3 個の MUXF ブロックが必要でしたが、Virtex-5 アーキテクチャでは 2 個の 6 入力 LUT だけですみます。この結果、パフォーマンスやロジックの使用率が改善されます (図 2)。

ザイリンクスの旧世代の FPGA ファミリと同じく、Virtex-5 の Slice L (ロジックスライス) は、ロジック ファンクション、レジスタ、専用キャリー チェーンを用いた数値演算ファンクションをインプリメントでき

ます。若干複雑な Slice M（メモリスライス）には、LUT（SRL）内に分散 RAM とシフトレジスタをインプリメントする機能が加えられています。

ExpressFabric アーキテクチャによってさまざまな改善が行われていますが、キャリアーチェーン構造は、数値演算のインプリメントに使用した場合格段のパフォーマンス向上を実現します。特にクリティカルパスの遅延に与える効果は、表 1 の例で示す通りです。

LUT 構造の大型化は、LUT RAM や LUT ROM などの分散メモリファンクションにもメリットがあります。新しく採用されたアスペクト比により、小型のメモリファンクションをいっそう高密度でパッキングすることが可能で、パフォーマンスの大幅な改善につながります（表 2）。

6 入力 LUT アーキテクチャとインターフェクト構造によるロジックファブリックの改善は飛躍的なパフォーマンス向上を約束しますが、これはほんの序章にすぎません。ほとんどのアプリケーションは、LUT ベースの RAM では用意しきれないほど大量のオンチップ RAM を必要とします。Virtex-5 ではブロック RAM を強化したこと、オンチップメモリのパフォーマンスをいっそう改善できるのです。

## ブロック RAM の性能

65nmへの移行に伴い、Virtex-5 のブロック RAM はクロック速度が 10% 向上し、550MHz となりました。しかし、今日のアプリケーションに求められるパフォーマンスを達成するには、ブロック RAM は高

図 1 2 つのスライスから構成される Virtex-5 のコンフィギュアブルロジックブロック（CLB）。各スライスは、ロジックレベルを低減が可能な 4 個の 6 入力 LUT を使用

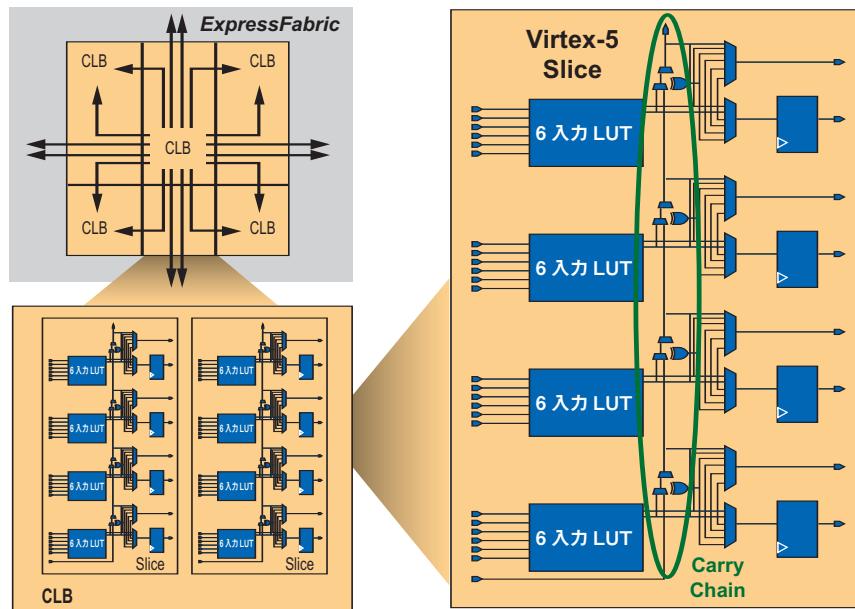
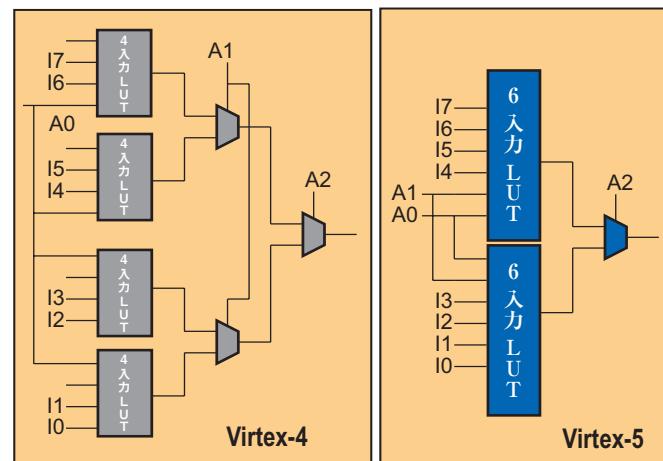


図 2 Virtex-5 FPGA と Virtex-4 FPGA にインプリメントされている 8:1 マルチプレクサ



| 8:1 マルチプレクサ | Virtex-4 | Virtex-5 | 改善率  |
|-------------|----------|----------|------|
| ロジックレベル     | 2        | 1        | 100% |
| バス遅延        | 1.33 ns  | 1.08 ns  | 23%  |

表 1 Virtex-5 FPGA と Virtex-4 FPGA にインプリメントされている数値演算機能

| 機能              | Virtex-4 FPGA<br>バス遅延 | Virtex-5 FPGA<br>バス遅延 | 改善率 |
|-----------------|-----------------------|-----------------------|-----|
| 64 ビット加算器       | 3.5ns                 | 2.4ns                 | 46% |
| 64 ビット三M元加算器    | 4.3ns                 | 3.0ns                 | 40% |
| 32 ビットバーレルシフタ   | 3.8ns                 | 2.8ns                 | 37% |
| 48 ビットマグニチュード比較 | 2.4ns                 | 1.8ns                 | 34% |

表 2 Virtex-5 FPGA と Virtex-4 FPGA における LUT ベースの RAM/ROM インプリメンテーション

| 機能               |         | Virtex-4 | Virtex-5 | 改善率  |
|------------------|---------|----------|----------|------|
| LUT RAM 64 X 1   | ロジックレベル | 2        | 1        | 100% |
|                  | バス遅延    | 1.76ns   | 1.26ns   | 40%  |
| LUT ROM 128 X 12 | ロジックレベル | 3        | 1        | 200% |
|                  | バス遅延    | 1.84ns   | 1.20ns   | 53%  |



速化だけでなく、さらなる大容量化の実現も求められます。

Virtex-5 のブロック RAM は、36Kb (2 個の 18Kb メモリから構成) に倍増されました。この大型なブロック サイズは、シンプルなデュアル ポート モードで 72 ビットのデータ ワードをサポートし、ブロック RAM のバンド幅を 2 倍にします。さらに、Virtex-5 FPGA は専用のコネクションを持ち、ブロック RAM のカラムの 2 個の隣接する 36Kb ブロック RAM をカスケード接続して、最高 550MHz で動作する 72Kb メモリをインプリメントすることができます。

FPGA の大規模化に伴い、1 個のデバイスにより多くのサブシステムを統合する傾向

が強まり、複数クロック ドメインへのインターフェイスの必要性がますます一般化してきました。Virtex-5 デバイスは、統合型のロジックを提供して、柔軟かつ効率的な FIFO のインプリメンテーションができるだけ簡素化することで、このニーズに応えています。

こうした数々の機能拡張を通して、Virtex-5 のブロック RAM はより多くのオンチップ メモリ、構築しやすい FIFO、より高いバンド幅を実現しています。

## DSP の性能

高性能 DSP のアプリケーションに適したソリューションとして、FPGA の普及が進んでいるのはごく自然なことです。コプロ

セッサとして、あるいは要求の厳しいアプリケーション向けのスタンドアロン ソリューションとして、FPGA はパフォーマンスや消費電力、コストのバランスが最も優れたプラットフォームです。

DSP のパフォーマンスに対する飽くなき要求に応えるべく、ザイリンクスの Virtex-5 DSP はクロック レートと精度の両方の点で業界トップを独走しています。クロック レートは 550MHz まで高速化され、精度も 18 X 18 ビットから 25 X 18 ビットに改善されています。

また、加算器チェーンのインプリメンテーション用に Virtex-5 の DSP48 スライスを最適化しました。これは非常に効率的な高性能フィルタを作成できるパワフルな機能です。各 DSP48 スライス上の入力と出力にある専用の配線リソースを使用すると、1 つのカラム内でスライスをいくつでも連結することが可能です。このように専用の配線を設けたことで、チェーン内のすべての DSP48 スライスは、他社の FPGA のようにファブリックの配線やロジック リソースをいつさい使うことなくフル スピードで動作することが可能です。こうした一連の改善により、一般的な高精度ファンクションのインプリメントに必要なリソース数は約半分ですみます。たとえば、35 X 25 ビットの乗算の場合、Virtex-4 FPGA では 4 つの DSP48 スライスが必要です。Virtex-5 FPGA では、搭載されているよりワイドな DSP ブロックにより、同等の乗算ファンクションのインプリメントには半分のスライスですみます。

## I/O バンド幅の性能

パフォーマンス ベンチマークの場合、FPGA のデータ処理速度は、デバイスの I/O バンド幅、つまり大量のデータをデバイスとの間でやり取りするスピードだけで決定されます。外部のメモリ バッファを使う場合、データを FPGA から書き出してから再度 FPGA に読み戻す必要があるため、インターフェイスはデータ処理速度より少なくとも 2 倍高速である必要があります。

Virtex-5 FPGA は、ピンあたりのデータ

図 3 ISE 8.2i ソフトウェアを用いてインプリメントした 74 種類のカスタマ デザインに基づく比較

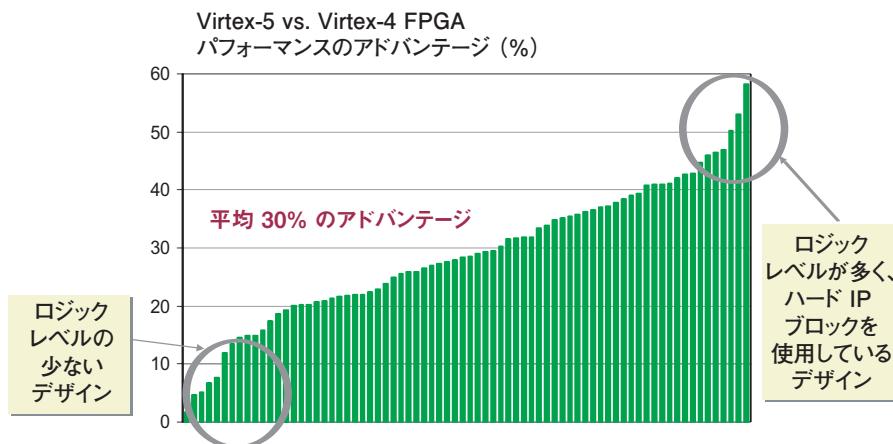
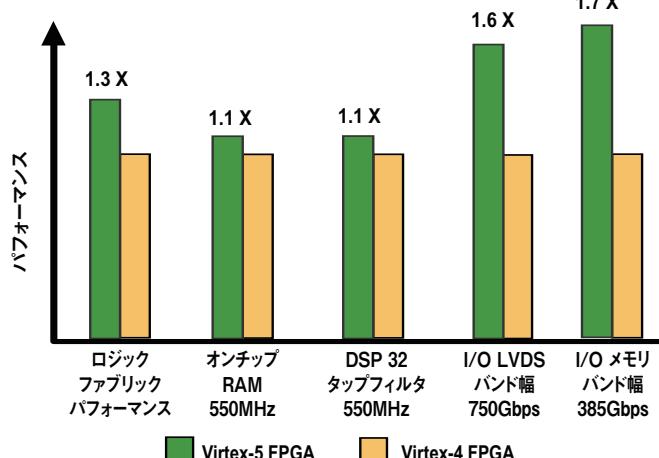


図 4 Virtex-5 FPGA のパフォーマンス改善





レートと、より大型化されたパッケージでのI/O 数を両方増やすことで、Virtex-4 のバンド幅をさらに改善しています。たとえば、DDR2 SDRAMなどの一般的なメモリインターフェイスについては、ピンあたりのバンド幅が 534Mbps から 667Mbps に増え、データ I/O の数も SSO の要件を考慮すると 432 個から 576 個に増加しました。

## カスタマ デザインのベンチマーク

Virtex-5 FPGA のロジック ファブリックが実現する性能向上をさらに詳しく評価するため、ザイリンクスの ISE ソフトウェアを用いてカスタマ デザインをインプリメン

トしました。

デザインはすべて VHDL または Verilog で書かれました。メモリや FIFO など、いくつか特定のデザイン ユニットについてはライブラリ コンポーネントの直接的なインスタンシエーションや合成推論を用いてインプリメン

トしましたが、多くは ISE ソフト

ウェアの一部である CORE Generator™ ソフトウェアによって生成された EDIF ブロックを用いてインプリメントしました。

このベンチマークについては、パフォーマンスを効果的に測定するため、現実に即したタイトな制約を使用して、Synplicity 社の Synplify Pro でタイミング ドリブンな手法で合成を実行しました。これは、特別な最適化とロジック複製が採用されていることを確認することを目的としたためです。

ISE ソフトウェアでのインプリメンテーションは、配置配線に非常に手間がかかりました。デザインがそのデザインの制約を満たせなくなるまで、クロックを 5% ずつ段階的にタイトにしていきました。

この結果、図 3 に示すとおり、Virtex-4 FPGA にインプリメントしたデザインと比較して平均 30% のパフォーマンス向上を達成しました。

最も改善率の高かったのは、大型のロジック コーンを持つデザインでした。クリティカル パスは、大型で一般的に複雑なロジック

をインプリメントします。たとえば、ASIC プロトタイプ デザインのクリティカル パスには、大量のロジックに対して一般的にごくわずかなレジスタしかありません。このようなデザインは、Virtex-5 の ExpressFabric テクノロジにより大幅に改善されます。

さほど大幅に改善されないデザインは、ロジック レベルが少ないか、もしくはハード IP ブロックやキャリー チェーン構造を使用してもパフォーマンスを改善できる見込みがほとんどないものです。

図 4 は、旧世代の Virtex-4 FPGA と比べて Virtex-5 FPGA の性能がどう改善されたかをカテゴリ別に示します。

## 結論

新たに ExpressFabric テクノロジを採用し、他の高性能なハード IP ブロックと I/O に密接に結合した Virtex-5 FPGA ファミリは、前世代のアーキテクチャと比較して性能が大幅に改善されています。



# ザイリンクス トレーニング スケジュール 【3~4月】

5~6月のスケジュールは18ページをご覧ください。

ザイリンクスでは、大規模、高速 FPGA を対象にした FPGA 設計のための各種トレーニングを各地で開催しております。是非ご利用ください。

| コース名                               | 日 程 |                     | 主 催          | 開 催 地   |
|------------------------------------|-----|---------------------|--------------|---------|
| FPGA 設計実践                          | 3月  | 6 日 (火) ~ 7 日 (水)   | ザイリンクス       | 東京 品川会場 |
|                                    | 3月  | 22 日 (水) ~ 23 日 (金) | ザイリンクス       | 東京 品川会場 |
|                                    | 3月  | 22 日 (木) ~ 23 日 (金) | 新光商事         | 大阪会場    |
|                                    | 4月  | 12 日 (木) ~ 13 日 (金) | 菱洋エレクトロ      | 大阪会場    |
|                                    | 4月  | 17 日 (火) ~ 18 日 (水) | ザイリンクス       | 東京 品川会場 |
|                                    | 4月  | 19 日 (木) ~ 20 日 (金) | 東京エレクトロンデバイス | 大阪会場    |
| アドバンスド FPGA 設計                     | 4月  | 10 日 (火) ~ 11 日 (水) | ザイリンクス       | 東京 品川会場 |
|                                    | 3月  | 27 日 (火) ~ 28 日 (水) | ザイリンクス       | 東京 品川会場 |
|                                    | 4月  | 24 日 (火) ~ 25 日 (水) | ザイリンクス       | 東京 品川会場 |
| エンベデッド システム開発                      | 3月  | 14 日 (水) ~ 15 日 (木) | ザイリンクス       | 東京 品川会場 |
|                                    | 3月  | 19 日 (月) ~ 20 日 (火) | ザイリンクス       | 東京 品川会場 |
|                                    | 4月  | 18 日 (水) ~ 19 日 (木) | 新光商事         | 大阪会場    |
|                                    | 4月  | 19 日 (木) ~ 20 日 (金) | ザイリンクス       | 東京 品川会場 |
| System Generator を使用した DSP デザインフロー | 3月  | 28 日 (水) ~ 29 日 (木) | ザイリンクス       | 東京 品川会場 |
|                                    | 4月  | 26 日 (木) ~ 27 日 (金) | ザイリンクス       | 東京 品川会場 |
| MGT シリアル I/O デザイン                  | 3月  | 15 日 (木) ~ 16 日 (金) | ザイリンクス       | 東京 品川会場 |
|                                    | 4月  | 12 日 (木) ~ 13 日 (金) | ザイリンクス       | 東京 品川会場 |
| シグナル インテグリティと基板設計の基礎               | 3月  | 13 日 (火) ~ 14 日 (水) | ザイリンクス       | 東京 品川会場 |

\*すべてのトレーニングは、ザイリンクス認定インストラクターによるオフィシャルトレーニングです。

\*日程および会場は、都合により変更となる場合もございます。最新情報はザイリンクストレーニングWebサイトをご覧ください。

詳細とご登録はこちらから ▶▶ <http://japan.xilinx.com/support/education-home.htm>



# HDL Coding and Design Practices for Improving Virtex-5 Utilization, Performance, and Power

# Virtex-5 の使用率や パフォーマンス、消費電力を 最適化するための HDL の コーディング & 設計手法

## Virtex-5 でよりよくデザインするための Tips & テクニック

Brian Philofsky

Staff Software Technical Marketing Manager

Xilinx, Inc.

brian.philofsky@xilinx.com

FPGA は、以前からデジタル ロジックを対象とした多様な HDL コーディングやデザイン スタイルを柔軟に受け入れてきました。ザイリンクスの Virtex™-5 デバイスも例外ではありません。Virtex-5 FPGA は、さまざまな手法で書かれた多種多様なデザインを受け入れることができますが、ここで推奨するストラクチャやテクニックを使うことにより、エリア、パフォーマンス、そして消費電力をいっそう最適化することが可能です。

### ターゲットのアーキテクチャと合成ツールを知る

プロジェクトを始める際は、最初にターゲットとなるデバイスのアーキテクチャを理解する必要があります。Virtex-5 FPGA を使用する場合は、コードの 1 行目を書き始める前に、「Virtex-5 User Guide ( <http://japan.xilinx.com/userguides/ug190.pdf> )」

をお読みください。最終的にどのような基本ハードウェアを構築するかについて理解とビジョンを深めておくことにより、デザインやコーディング上の大小さまざまな決定を自信をもって下すことができます。

たとえば、ISERDES 内の Bitslip テクノロジを使って入力データを取り込む回路を組めば、類似の回路を記述してビルドするよりはるかに設計時間や作業量、そしてリソースを節約することができます。

また、DSP48E の構造や機能を理解していると、パイプライン レジスタをいつどこに配置すればよいか、適切な判断を下すことができます。拡張された乗算器やポスト加算器など専用の機能も、エリアやパフォーマンス、消費電力を改善するために役立ちます。

同様に、合成ツールで何ができる、何ができないかを知つければ、的確なプリミティブに置き換えるコーディング スタイルに役立つだけでなく、コンポーネントがどのようにインスタンシエートされるかを適切に判断できます。使用する合成ツールの推奨コーディング スタイルを知るためにも、プロジェクトの開始前に合成ツールのマニュアルやアプリケーション ノート、その他の関連資料に

目を通してください。

また、合成ツールや ISE™ ツールの最新版へのアップデートも行ってください。従来の合成ツールでも Virtex-5 アーキテクチャはサポートされますが、最新のリリースでは最適化がよりいっそう改善されています。ソフトウェアの最新版をインストールすることは、エリアやパフォーマンス、消費電力をより最適化したデザインにするための 1 つの簡単な手段でもあります。

### 制御信号の極性

Virtex-5 アーキテクチャでは、制御信号の異なる極性をサポートします（クロックイネーブル、リセット、セット）。ただし、デザインを最適にするには、常にアクティブ high の制御信号を使うことを推奨します。Virtex-5 のスライス制御ロジックはアクティブ high で、コードに同じように記述しておくことにより、単純な信号反転のために追加の LUT リソースを使う必要がなくなるからです。

信号が外部ピンから送られアクティブ low の極性を必要とする場合は、トップレベル コードの信号を反転させて、その信号を必要と

するすべてのプロセスとサブモジュールに正の極性を使ってください。これは、複数のコアを持っているデザインや、ボトムアップの合成テクニックを使っているもの、KEEP\_HIERARCHY の制約を持っているもの、パーティションを採用しているデザインには不可欠です（図 2）。

この種のデザインでは、制御信号の反転という目的だけでコアやネットリスト、階層、パーティションあたりに追加の LUT を使用しがちで、余分な LUT リソースを費やすことになるばかりか、パフォーマンスやスライスパッキングにマイナスの影響を与えることがあるからです。

一般に、セット、リセット、イネーブルは、必ずアクティブ high (ロジック 1 でアクティベート) の極性を用いてコーディングしてください。

## リセットの使用

デザインを初期化するには、ソース HDL コードにグローバルな非同期リセットを使うのが一般的です。しかし、その場合の多くは、追加のリソースを消費することになります。非同期ではなく、ローカルで同期リセットを組むと良いでしょう。デザインのうち、定期的にリセットを必要としない部分には、同期セット／リセットロジックを記述してください。このような部分については、HDL コードに registerd として定義された信号を宣言することで（たとえば、Verilog で reg、あるいは VHDL で信号を定義するとき）初期化することができます。この方法を使うことにより、パッキング密度が改善され、タイミング解析が容易になると同時にパフォーマンスの向上、エリアリソースの改善が行えます。

FPGA の特性として、コードにグローバルリセットを記述しなければ、コンフィギュレーションサイクルの完了時に GSR（グローバルセット／リセット）が起こり、すべてのレジスタを既知の指定値に初期化します。これと同様のサイクルは、FPGA の場合と同一の既知の初期値を与えることで、ゲートレベルのシミュレーションネットリストにシミュレートできます。

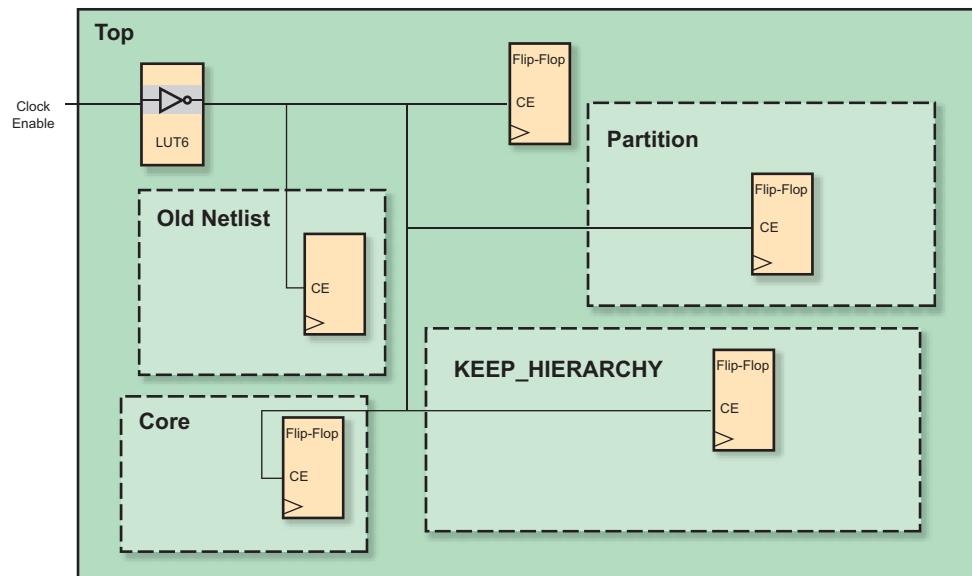
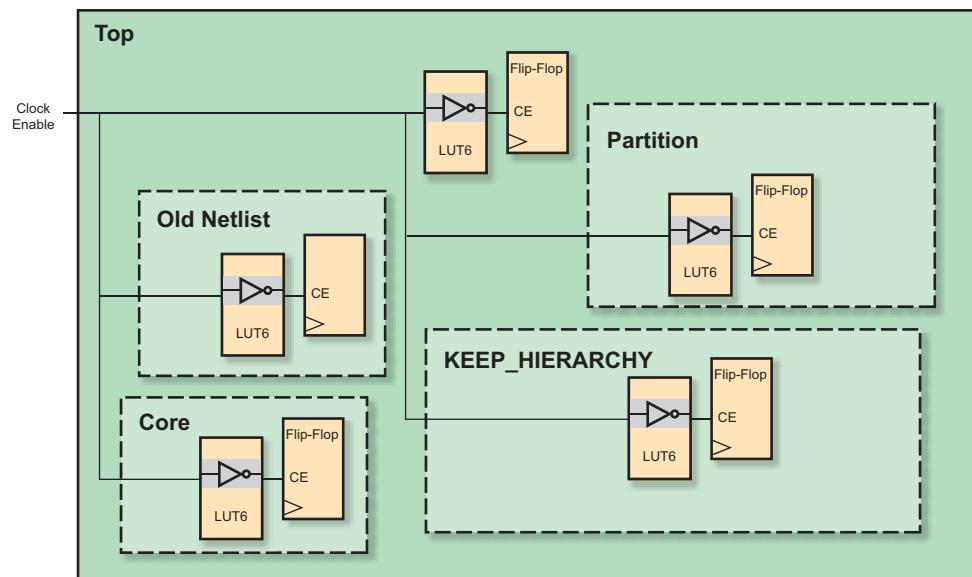
RTL レベルのシミュレーションに関しては、コードでレジスタを初期化することで、適切な RTL またはビヘイビアシミュレーションを行うことができます。この初期化は合成ツールにより抽出され、インプリメントしたデザインに適用されます。したがって、どの段階のシミュレーションでもグローバルリセットは冗長であるため、必要ありません。

タイミング制約が正しく満たされていれば、その同期信号は自動的に解析されその動作が確定されるため、同期式では同期リセットを使用することで、リセットのアサート時

あるいはリリース時に回路がどのような状態となるかを正しく予測することが可能です。このように、グローバルでない同期リセットを用いることで、ロジックの最適化やパフォーマンスのさらなる改善が実現できるのです。

同期制御信号を使う場合、ロジックファンクションの一部をフリップフロップの同期セットまたは同期リセットで実現することができるですが、これは非同期信号では不可能です。必要な部分だけにリセットを記述することで、合成ツールは、インプリメンテーショ

図 2 クロック イネーブルの極性がデザイン内の LUT 使用率に与える影響





ンに SRL (シフト レジスタ LUT) や、分散 RAM (LUT ベースの RAM) メモリ、ブロック RAM といった代替リソースを選択することができます。これも非同期信号では不可能、もしくは不適切です。合成ツールは、記述されたコードに対して最良のリソースを選択する非常に柔軟なツールなのです。

## パイプライン化

従来の FPGA と同様、パフォーマンスを最大限に引き出し消費電力を最小限に抑えるには、デザインを正しくパイプライン化することが必要です。Virtex-5 アーキテクチャの発表に伴い、新しいロジック構造では、パイプライン化のタイミングや方法について若干異なるルールを定めています。

Virtex-5 デバイスは、従来の FPGA ファミリに採用されていた 4 入力 LUT ではなく、より高度な 6 入力 LUT を備え、最高のパフォーマンスを維持しながらパイプライン レジスタ間によりワイドなロジック ファンクションをインプリメントできるようになっています。レジスタ間にあるロジック ファンクションをHDL コーディングする際、ロジック ファンクションに 6 つの入力を持たせた場合に最適なパイプライン化と LUT のリソース管理が実現できます。これは必ず覚えておいてください。

しかし、特定のロジック ファンクションにちょうど 6 つの入力を持たせるのが実用的ではない、あるいは不可能な場合でも、よりワイドな入力の 6 入力 LUT は、ロジックの段数が低減され、より少ないパイプラインステージで実現できるため、従来の FPGA アーキテクチャと同等、もしくはそれ以上のパフォーマンスを達成できる良好なパフォーマンスを引き出すことができるようになっているのです。

目標としては、I/O やレジスタ、同期ブロック（ブロック RAM や DSP48E）間のロジック ファンクションへの入力数は 10 本未満とすることを推奨します。こうすることで、ロジック ファンクションは一般には 2 段のロジック レベルとなります。このことから、高パフォーマンスや低消費電力の達成を目的として、デザイン パスに 10 本以上

の多くの入力を必要とする場合でも、そのレイテンシを満たすために可能な範囲でそのロジック ファンクションへの入力を減らしてみると良いでしょう。

## メモリのコーディング

Virtex-5 アーキテクチャに採用した多数の技術革新のうち、ブロック RAM メモリと分散 RAM メモリは、その容量と機能性がいっそう拡張されています。これら貴重なリソースを最大限活用するには、デザイン プロセスの初期段階やコーディング中に、さまざまな決定を下す必要があります。

一般的なガイドラインとして、容易なコード変更、高速なシミュレーション、移植の容易なコードを実現するには、どの種類の RAM が選択されるかを予想しておいてください。また、ビヘイビア モデルで RAM を記述するような場合でも、いくつかの重要な点を頭に入れておく必要があります。まず、RAM の容量について考慮してください。Virtex-5 デバイスでは、ブロック RAM の基本メモリ ブロックが 36Kb のメモリ ストレージ スペースに増加されています。このブロックは、よりワイドで浅い 512 X 72、より深いシングル ビットの 32 Kb X 1、あるいはその中間のコンフィギュレーションに変更できます。また、2 つの 36Kb RAM をカスケード接続して 64Kb X 1 のコンフィギュレーションにしたり、36Kb RAM を 2 つの別々の 18Kb RAM に分割して 512 X 36 ~ 16Kb X 1 のさまざまなコンフィギュレーションにしたりすることも可能です。

分散 RAM は大型になった LUT 構造により、エリアやパフォーマンスを犠牲にすることなく 64 ビットの深さを効率的に実現できるようになりました。Virtex-5 デバイスでは、このタイプの RAM には 64 ビットが最も適したサイズですが、他のサイズにすることも可能です。デバイス内の限られた RAM リソースを最も効率良く使い、最高のパフォーマンスを達成するためには、最適なメモリを選択し、コーディングの際に RAM の基本サイズを覚えておくことが大切です。

ブロック RAM や分散 RAM には他にも機能を提供しますが、これらの機能を利用するにはコーディングやデザインにそれぞれ異なるアプローチが必要です。パフォーマンスについては、出力レジスタを正しく使用することが最も重要でしょう。ブロック RAM については、できるだけブロック RAM の出力レジスタをイネーブルことです。出力レジスタをイネーブルすることで、RAM からの clock-to-out (クロックから出力まで) が低減され、RAM から出力されるデータのタイミングが改善されます。ただし、読み込み中に別途クロック サイクルのレイテンシが追加されることを考慮に入れる必要があります。

同様に、分散 RAM を使う際は、RAM の出力が非同期な場合がありますが、これを同期的にコーディングしておくと同一スライス内でレジスタを使用することが可能になり、タイミング特性が改善されると共に、RAM がタイミングのボトルネックになる可能性が低減されます。

ブロック RAM には、FIFO や ECC (エラー訂正コード) など、さらに進んだ機能も搭載されています。分散 RAM には、新しい機能として 4 ポート コンフィギュレーションなどが可能になりました。場合によっては、これら機能を合成時に自動的に利用することができず、マニュアルでインスタンシエーションを行う必要があります。その場合は、ザイリンクスの CORE Generator ソフトウェア内でコアを生成することでその RAM をインスタンシエートするか、基本プロミティブをインスタンシエートすると良いでしょう。これらの先進機能を利用することで、RAM とロジック リソースを節約できるうえ、エリアやパフォーマンス、消費電力を改善することができます。

## 一般的なガイドライン

次に、コーディングやデザインの改善につながる一般的なガイドラインをいくつか紹介しましょう。まず、デザインに取り掛かるとき、各ブロックの設計の階層をうまく選択することです。階層をどう選択するかで、合成ツールやインプリメンテーション ツールが

図2 正しいFPGAコーディング法

### Verilog Coding Example

```
'timescale 1ns / 1ps
// Company: Xilinx
// Engineer: Brian Philofsky
//
// Create Date: 07:42:58 08/12/2006
// Design Name: good_design
// Module Name: good_code
// Project Name: HDL Coding and Design Practices for Improving Virtex 5
// Utilization, Performance and Power
// Target Devices: Virtex 5
// Tool versions: ISE 8.2i
// Description: This is example code employing some good coding practices
// when targeting a Virtex 5 device.
//
// Revision 0.01 - File Created
//
/////////////////////////////////////////////////////////////////
module good_code #(
    parameter data_width = 16,
    parity_width = 2
) (
    input [data_width-1:0] DATA_IN,
    input DATA_STORE,
    input CLK, RST,
    input READ_DATA,
    output [data_width+parity_width-1:0] DATA_OUT,
    output reg RW_ERROR = 1'b0,
    output DATA_VALID, FULL
);

// Always initialize registers to known values
reg [data_width-1:0] data_in_reg = (data_width(1'b0));
reg [data_width-1:0] data_in_reg2 = (data_width(1'b0));
reg [2:0] data_store_delay = 3'b000;
reg [2:0] data_valid_delay = 3'b000;
reg [parity_width-1:0] parity = (parity_width(1'b0));

wire read_error, write_error;

// Use resets only where necessary and make them synchronous
// Make resets and clock enables active high
always @(posedge CLK)
    if (RST)
        data_in_reg <= (data_width(1'b0));
    else if (DATA_STORE)
        data_in_reg <= DATA_IN;

// Do not use resets where not necessary
// In this case an SRL can be used due to the fact no reset is described.
always @(posedge CLK) begin
    data_store_delay <= (data_store_delay[1:0], DATA_STORE);
    data_in_reg2 <= data_in_reg;
    data_valid_delay <= (data_valid_delay[1:0], READ_DATA);
    RW_ERROR <= read_error | write_error;
    parity[1] <= ~data_in_reg[15:8];
    parity[0] <= ~data_in_reg[7:0];
end

// In general, RAMs should be inferred however in this case, a FIFO is needed
// and synthesis can not yet infer the dedicated Virtex 5 FIFO.

// FIFO18: 16k+2k Parity Synchronous/Asynchronous BlockRAM FIFO
// Virtex-5
// Xilinx HDL Language Template, version 8.2.2i

FIFO18 #(
    .ALMOST_FULL_OFFSET(12'h080), // Sets almost full threshold
    .ALMOST_EMPTY_OFFSET(12'h080), // Sets the almost empty threshold
    .DATA_WIDTH(18), // Sets data width to 4, 9 or 18
    .DO_REG(1), // Must be 1 if EN_SYN = FALSE
    .EN_SYN("TRUE"), // Specifies FIFO as Asynchronous ("FALSE") or Synchronous ("TRUE")
    .FIRST_WORD_FALL_THROUGH("FALSE") // Sets the FIFO FWFT to "TRUE" or "FALSE"
) FIFO18_inst (
    .ALMOSTEMPTY(), // 1-bit almost empty output flag
    .ALMOSTFULL(), // 1-bit almost full output flag
    .DO(DATA_OUT[15:0]), // 16-bit data output
    .DOP(DATA_OUT[17:16]), // 2-bit parity data output
    .EMPTY(), // 1-bit empty output flag
    .FULL(FULL), // 1-bit full output flag
    .RD(RD), // 12-bit read count output
    .RDERR(read_error), // 1-bit read error output
    .WR(WR), // 12-bit write count output
    .WRERR(write_error), // 1-bit write error output
    .DI(data_in_reg2), // 16-bit data input
    .DIP(parity[1:0]), // 2-bit parity input
    .RDCLK(CLK), // 1-bit read clock input
    .RDEN(READ_DATA), // 1-bit read enable input
    .RST(RST), // 1-bit reset input
    .WRCLK(CLK), // 1-bit write clock input
    .WREN(data_store_delay[2]) // 1-bit write enable input
);

// End of FIFO18_inst instantiation
endmodule
```

### VHDL Coding Example

```
-- Company: Xilinx
-- Engineer: Brian Philofsky
--
-- Create Date: 07:42:58 08/12/2006
-- Design Name: good_design
-- Module Name: good_code2
-- Project Name: HDL Coding Practices for Improving Virtex 5 Utilization,
-- Performance and Power
-- Target Devices: Virtex 5
-- Tool versions: ISE 8.2i
-- Description: This is an example code employing some good coding practices
-- when targeting a Virtex 5 device.
--
-- Revision 0.01 - File Created
--

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;

library UNISIM;
use UNISIM.Vcomponents.all;

entity good_code2 is
generic (
    data_width : integer := 16;
    parity_width : integer := 2
);
port (
    DATA_IN : in std_logic_vector(data_width-1 downto 0);
    DATA_STORE: in std_logic;
    CLK, RST: in std_logic;
    READ_DATA;
    DATA_OUT : out std_logic_vector(data_width+parity_width-1 downto 0);
    RW_ERROR : out std_logic := '0';
    DATA_VALID, FULL : out std_logic
);
end good_code2;

architecture XILINX of good_code2 is
begin
    -- Always initialize registers to known values
    signal data_in_reg: std_logic_vector(data_width-1 downto 0) := (others => '0');
    signal data_in_reg2: std_logic_vector(data_width-1 downto 0) := (others => '0');
    signal data_store_delay: std_logic_vector(2 downto 0) := "000";
    signal data_valid_delay: std_logic_vector(2 downto 0) := "000";
    signal parity: std_logic_vector(parity_width-1 downto 0) := (others => '0');

    signal read_error, write_error: std_logic;
begin
    -- Use resets only where necessary and make them synchronous
    -- Make resets and clock enables active high
    process (CLK)
    begin
        if (CLK'event and CLK='1') then
            if RST='1' then
                data_in_reg <= (others => '0');
            elsif (DATA_STORE='1') then
                data_in_reg <= DATA_IN;
            end if;
        end if;
    end process;

    -- Do not use resets where not necessary
    -- In this case an SRL can be used due to the fact no reset is described.
    process (CLK)
    begin
        if (CLK'event and CLK='1') then
            data_store_delay <= (data_store_delay(1 downto 0) & DATA_STORE);
            data_in_reg2 <= data_in_reg;
            data_valid_delay <= (data_valid_delay(1 downto 0) & READ_DATA);
            RW_ERROR <= read_error OR write_error;
            parity(1) <= (data_in_reg(15) XOR data_in_reg(14)) XOR data_in_reg(13) XOR
                           data_in_reg(12) XOR data_in_reg(11) XOR data_in_reg(10) XOR
                           data_in_reg(9) XOR data_in_reg(8);
            parity(0) <= (data_in_reg(7) XOR data_in_reg(6)) XOR data_in_reg(5) XOR
                           data_in_reg(4) XOR data_in_reg(3) XOR data_in_reg(2) XOR
                           data_in_reg(1) XOR data_in_reg(0);
        end if;
    end process;

    -- In general, RAMs should be inferred however in this case, a FIFO is needed
    -- and synthesis can not yet infer the dedicated Virtex 5 FIFO.

    -- FIFO18: 16k+2k Parity Synchronous/Asynchronous BlockRAM FIFO BlockRAM Memory
    -- Virtex-5
    -- Xilinx HDL Language Template version 8.2.2i

FIFO18_inst : FIFO18
generic map (
    ALMOST_FULL_OFFSET => X"080", -- Sets almost full threshold
    ALMOST_EMPTY_OFFSET => X"080", -- Sets the almost empty threshold
    DATA_WIDTH => 18, -- Sets data width to 4, 9 or 36
    DO_REG => 1, -- Enable output register (0 or 1)
    EN_SYN => TRUE, -- Must be 1 if the EN_SYN = FALSE
    FIRST_WORD_FALL_THROUGH => FALSE -- Specifies FIFO as Asynchronous (FALSE) or Synchronous (TRUE)
)
port map (
    ALMOSTEMPTY => open, -- 1-bit almost empty output flag
    ALMOSTFULL => open, -- 1-bit almost full output flag
    DO => DATA_OUT(15 downto 0), -- 32-bit data output
    DOP => DATA_OUT(17 downto 16), -- 2-bit parity data output
    EOP=> open, -- 1-bit empty output flag
    FULL=> open, -- 1-bit full output flag
    RD=> open, -- 12-bit read count output
    RDERR=> read_error, -- 1-bit read error output
    WR=> open, -- 12-bit write count output
    WRERR=> write_error, -- 1-bit write error output
    DI=> data_in_reg2, -- 16-bit data input
    DIP=> parity, -- 2-bit parity input
    RDCLK=> CLK, -- 1-bit read clock input
    RDEN=> READ_DATA, -- 1-bit read enable input
    RST=> RST, -- 1-bit reset input
    WRCLK=> CLK, -- 1-bit write clock input
    WREN=> data_store_delay(2) -- 1-bit write enable input
);

-- End of FIFO18_inst instantiation
end XILINX;
```



ロジック パスをどれだけ最適化できるかが決定するためです。

また、タイミング パスが階層の境界を複数またがないよう注意してください。これを許すと、ツールによるロジック最適化が制限されるばかりか、デザインのインプリメンテーションやデバッグの選択肢も限られてしまいます。たとえば、特定の階層でパーティションや KEEP\_HIERARCHY を使用できなくなることがあります。

コードの一部または大部分が Virtex-5 FPGA 以外のアーキテクチャ用に作成されたデザインについては、Virtex-5 アーキテクチャへのスムーズなインプリメントが可能か、コードをよくレビューして判断してください。この時点ではほんの数分をかけて不適切なコードを識別して修正しておくことにより、あの数時間を節約することができます。

デザインに過去のアーキテクチャからのコアやプリコンパイルされたネットリスト (EDIF または NGC ファイル) が含まれてい

る場合、Virtex-5 デバイス用にこれらネットリストを再生成する必要があります。再生成を行わなければ、以前のアーキテクチャに最適化されたネットリストは、Virtex-5 アーキテクチャをターゲットにしてもうまく適合しないことが多いからです。

最後のガイドラインとして、ISE ツール内の HDL 言語テンプレートを使うと良いでしょう。これらのテンプレートを利用すると VHDL や Verilog コードの生成を加速化することが可能になるうえ、FPGA 向けにより最適なコードを作成するのに役立ちます。さらに、シンタックス エラーなどのありがちな単純ミスや、HDL コードのテストと検証に遅れが生じることはなくなります。

図 3 は、ここで解説したガイドラインに従って記述した Verilog コードと VHDL コードです。

## 結論

コーディングのスタイルは人それぞれです

が、本稿で紹介したガイドラインに従うことにより最適な結果を得られるでしょう。最高の Virtex-5 デザインを達成するには、これらガイドライン以外にも知っておきたい知識はありますが、本稿では少しでもデザインを最適に近づけるために役立つ一般的な手法をいくつか紹介しました。

有効な HDL コードであれば、ほとんどのコードが正常に機能するデザインになりますが、シンプルなガイドラインに従うことで集積度やパフォーマンス、消費電力をさらに改善することが可能で、最終的なデザインの完成にかかる時間を短縮することが可能になります。

詳細は、「合成／シミュレーション デザイン ガイド」([http://toolbox.xilinx.com/doc\\_ssan/xilinx9j/books/docs/sim/sim.pdf](http://toolbox.xilinx.com/doc_ssan/xilinx9j/books/docs/sim/sim.pdf)) または White Paper 231 「デザインパフォーマンス向上のためのHDL コーディング法」([http://japan.xilinx.com/bvdocs/whitepapers/j\\_wp231.pdf](http://japan.xilinx.com/bvdocs/whitepapers/j_wp231.pdf)) をご覧ください。



# ザイリンクス トレーニング スケジュール [5~6月]

3~4月のスケジュールは13ページをご覧ください。

ザイリンクスでは、大規模、高速 FPGA を対象にした FPGA 設計のための各種トレーニングを各地で開催しております。是非ご利用ください。

| コース名                               | 日 程 |               | 主 催     | 開 催 地   |
|------------------------------------|-----|---------------|---------|---------|
| FPGA 設計実践                          | 5月  | 8日(火)～9日(水)   | ザイリンクス  | 東京 品川会場 |
|                                    | 5月  | 29日(火)～30日(水) | ザイリンクス  | 東京 品川会場 |
|                                    | 6月  | 5日(火)～6日(水)   | ザイリンクス  | 東京 品川会場 |
|                                    | 6月  | 19日(火)～20日(水) | ザイリンクス  | 東京 品川会場 |
| アドバンスド FPGA 設計                     | 5月  | 9日(水)～10日(木)  | 新光商事    | 大阪会場    |
|                                    | 6月  | 12日(火)～13日(水) | ザイリンクス  | 東京 品川会場 |
| Virtex-4 デザイン                      | 5月  | 15日(水)～16日(木) | ザイリンクス  | 東京 品川会場 |
|                                    | 6月  | 7日(月)～8日(火)   | 菱洋エレクトロ | 大阪会場    |
| エンベデッド システム開発                      | 5月  | 22日(火)～23日(水) | ザイリンクス  | 東京 品川会場 |
|                                    | 5月  | 10日(木)～11日(金) | ザイリンクス  | 東京 品川会場 |
|                                    | 6月  | 7日(月)～8日(火)   | ザイリンクス  | 東京 品川会場 |
|                                    | 6月  | 20日(水)～21日(木) | ザイリンクス  | 東京 品川会場 |
| アドバンスド エンベデッド システム開発               | 5月  | 24日(木)～25日(金) | ザイリンクス  | 東京 品川会場 |
| System Generator を使用した DSP デザインフロー | 5月  | 17日(木)～18日(金) | 新光商事    | 大阪会場    |
|                                    | 6月  | 26日(火)～27日(水) | ザイリンクス  | 東京 品川会場 |
| MGT シリアル I/O デザイン                  | 5月  | 17日(木)～18日(金) | ザイリンクス  | 東京 品川会場 |
|                                    | 6月  | 14日(木)～15日(金) | ザイリンクス  | 東京 品川会場 |

\*すべてのトレーニングは、ザイリンクス認定インストラクターによるオフィシャルトレーニングです。

\*日程および会場は、都合により変更となる場合もございます。最新情報はザイリンクストレーニングWebサイトをご覧ください。

詳細とご登録はこちらから ►► <http://japan.xilinx.com/support/education-home.htm>



## Getting the Best Results from Virtex-5 FPGAs

# Virtex-5 FPGA から最良の結果を引き出す設計手法

アルゴリズムを全面変更し、Virtex-5に最適化されたシンプリシティのEDAツール「Synplify Pro ソフトウェア」

John Gallagher  
Sr. Director Outbound Marketing  
Synplicity, Inc.  
[johng@synplicity.com](mailto:johng@synplicity.com)

ザイリンクス Virtex™-5 デバイスの革新的機能を十分に引き出すには、それら機能を 100% 活用するための EDA 技術が不可欠です。Synplicity は、FPGA アーキテクチャとそれに対応する EDA デザインツールを並行して開発を行ってきました。旧世代の EDA 開発の歴史は、Virtex-5 デバイスとその旧世代の歴史に似ています。

FPGA として初めて 65nm プロセス テクノロジで開発された Virtex-5 ファミリのドメイン最適化デバイスは、Virtex-4 ファミリよりロジックセルが 65%、I/O ピンが 25% 増加しています。また、Virtex-5 デバイスは、Virtex-4 と比較してパフォーマンスが 30% 向上、ダイナミック消費電力は 35% 低減、シリコン面積は 45% 縮小されています。

Virtex-5 アーキテクチャが革新的な特徴を備えているため、ザイリンクス社は、Synplicity が新しい特徴を活かす合成フローを開発できるよう早い時期から Virtex-5 アーキテクチャを公開してきました。最初の Virtex-5 デバイスが発表される 1 年以上前から、Synplify Pro 合成エンジンの開発に向け、ザイリンクスのエンジニアと協力を重ねてきました。我々は、Virtex-5 を使ったデザインのパフォーマンスとロジック集積度を最大限に高めるため、Synplify Pro ソフトウェアの大幅なアーキテクチャの変更が必要でした。このようなザイリンクス社とのパートナーシップにより、設計者が Virtex-5 デバイスを短期間で展開するためのツールとメソッドを用意できました。

本稿では、Virtex-5 ファミリの特徴をフルに引き出すため、Synplify Pro FPGA 合成エンジンをいかに開発したかを解説します。

## 6 入力 LUT を合成するための新アルゴリズム

FPGA ファブリックの複雑化に伴い、合成アルゴリズムをより一層精巧にする必要が生じました。たとえば、4 入力のルックアップテーブル (LUT) をベースとするファブリックと同じアルゴリズムを 6 入力 LUT ベースのファブリックにそのまま適用したのでは、合成の実行時間が非常に遅くなります。Virtex-5 アーキテクチャの特徴をフルに活用するには、土台となる合成アルゴリズムを微調整するか、場合によっては完全に書き換える必要があったのです。

広帯域データバスや DSP などのファンクションをマッピングするうえで必要となるロジックレベルを削減するため、Virtex-5 ファミリの ExpressFabric™ テクノロジは、6 つの独立した入力を持つ LUT を搭載しています（図 1）。これにより、広帯域なファンクションをインプリメントするためのロジックレベルの数と LUT エリアが大幅に削減されます。合成プロセス中は、各論理素子を 1 つの 6 入力 LUT、もしくはそれぞれ 5 つの入力を共有する 2 つの 5 入力 LUT として使用できます。

しかしながら、6 入力 LUT へのマッピングに伴う組み合わせの爆発的増加は、正しく処理されなければ、メモリ使用とランタイムの問題を招く恐れがあります。4 入力 LUT ベースのファブリック向けアルゴリズムを、大幅な変更を加えることなく 6 入力 LUT のファブリックに適用すると、たとえ合成が完了してもその実行時間が数倍長くなってしまいます。さらに、最適なマッピングを見つけようとする際、従来のアルゴリズムでは一ヵ月 ミニマに陥る危険があります。

タイミングドリブンのエンジンと異なり、従来の合成エンジンはそのほとんどが単にロジックレベル数の低減のみを行います。この方法では、入力から出力へのそれぞれのパスが非対称の遅延を持つ LUT アーキテクチャで問題を招きます。図 1 に示すよう

な 5 個の共有入力ピンと 6 番目の独立したピンを考えてみましょう。これらピンの遅延は大きく異なります。

また、Virtex-5 の LUT を 2 つの 5 入力コンフィギュレーションで使用できるという事実は、マッピング動作をさらに複雑化します。合成ツールのベンダは、入力を共有しながら異なるファンクションを実現する構造を保持するために、膨大な研究開発を行う必要があるのです。

ユニークなダイレクトマッピング機能を備える Synplify Pro ソフトウェアは、カット数を最小限に抑え、膨大な容量を処理し、またマッピングとタイミングの複雑なシナリオに対応が可能なさまざまなヒューリスティックアルゴリズムを実装することに成功しました。

### 対角方向に対称なインターネットを使用したタイミングの見積もり

ExpressFabric のもう 1 つの特徴として、より少ないホップでより多くのロケーションに届く対角方向に対称なインターネットがあります（図 2）。これにより、スピードと予測性の改善が可能になります。Express Fabric の 6 入力 LUT と対角方向に対称なインターネットパターンを組み合わせることで、ロジックの性能が Virtex-4 デバイスと比べて平均 30% 向上されました。これは 2 段階スピードグレードの向

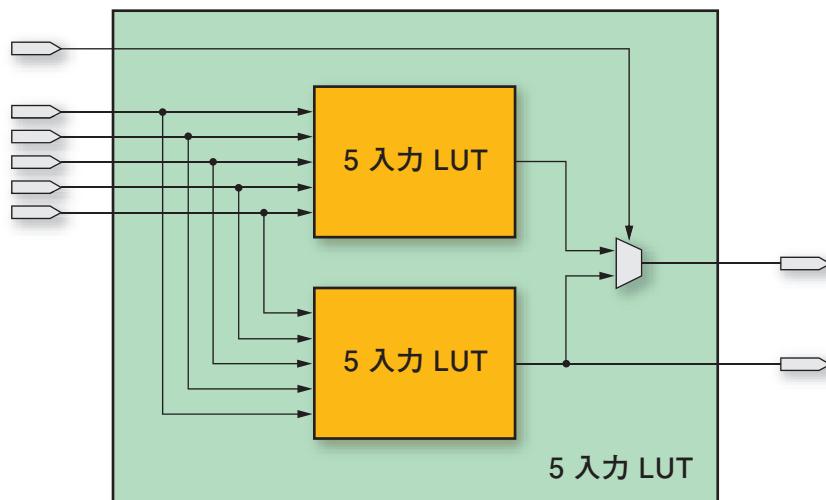
上に相当します。

対角方向に対称なインターネットパターンは、タイミング解析を格段に複雑化します。従来の物理合成アルゴリズムは、「マンハッタン配線」つまり 90° 配線のアーキテクチャをベースしていました。90° 配線と対角配線の両方を扱えるよう、新しいアルゴリズムと遅延モデルをカスタムデザインしました。Synplify Pro ツールには、シンプルなワイヤロードモデルではなく、高度なネットリストベースの配線見積もりを採用したのです（配線値が既知の場合はその値も提供）。たとえば、高速キャリーチェーンの場合、配線遅延はよく知られているため、直接「プラグイン」できます。同様に、セルやドライバ、ロード、特定の配線が既知の場合、このバスの正確な配線遅延を配線およびタイミングアルゴリズムにプラグインできます。

## 高速、大容量の RAM ブロックを合成

Virtex-5 ファミリの新しいブロック RAM 構造（パイプライン付き）は、Virtex-4 のコンポーネントの 2 倍に相当する 32Kb に増加しました。これらのブロックは、RAM の bandwidth を 2 倍にするシンプルなデュアルポートモードに加え、FIFO ロジックとして追加のハード IP や、新たに 64 ビットのエラー訂正 (ECC) ロジックを搭載しています（図 3）。このロジックをハード IP としてインプリメ

図 1 Virtex-5 の 6 入力 LUT



ントしたこと、他のリソースを解放し、ダイナミック消費電力を最小限に抑えているのです。

Virtex-5 デバイス内のすべてのハード IP ブロックと同様、これらのブロック RAM は、より高 bandwidth のオンチップ メモリを提供するよう、550MHz の動作速度にチューニングされています。18Mb のブロック RAM は 2 個の 9Mb 物理メモリから成り、ほとんどのコンフィギュレーションで、読み出しありは書き込み動作のいずれか一方で 9Mb サブブロックをイネーブルして消費電力を節約するよう自動制御されます。

一方、Synplify Pro 合成ソフトウェアは、シングル ポートとデュアル ポートのインプリメンテーションや、シングルおよびマルチ クロッキング スキーム、自動リタイミングなど、自動的なメモリ推論を実行できます。自動リタイミングに関しては、Virtex-5 のブロック RAM は本質的に同期です。ただし、デザインの RTL はメモリとレジスタを非同期として記述が可能です。この場合、Synplify Pro ツールはレジスタを RAM に「プッシュ」できます。

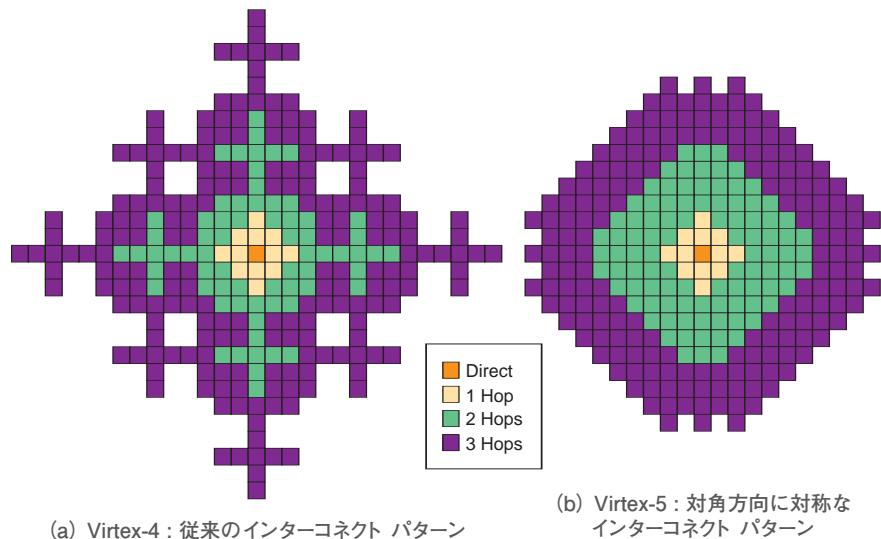
同様に、Synplify Pro は潜在的な矛盾を認識し、自動的に所定の矛盾解決ロジックを生成します。たとえば、同じアドレスに 2 つのデータを書き込み、結果が定義されていないデュアル ポート RAM の場合、Synplify Pro ツールは所定のロジックを自動的に挿入し、RTL がシミュレーションするのとまったく同じようにメモリを動作させることでこの問題を解決します。

さらに、Synplify Pro ソフトウェアは、デザインに記述されているメモリを自動的に解析し、それを目的のメモリ リソースにマッピングする際の潜在的な問題点を認識することができます。たとえば、ブロック RAM が必要であるにも関わらず、物理デバイスに用意されている以上のメモリをすでに使用している場合、Synplify Pro は、そのメモリの一部をセレクト RAM に自動的に移します。

## より高速、広帯域な DSP ブロックの最適利用

DSP48E と呼ばれる Virtex-5 のハ

図 2 対角方向に対称なインターネット配線



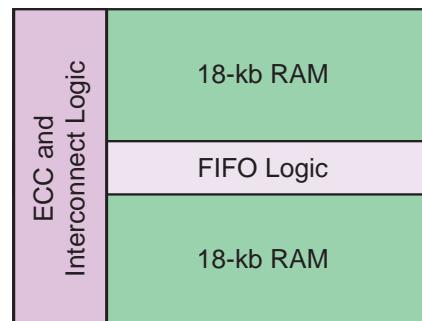
ド DSP スライスは、Virtex-4 FPGA に採用されている  $18 \times 18$  ビット乗算器ではなく、 $25 \times 18$  ビット乗算器を備えています。ビット数の増加はカスケード ステージの減少につながるため、全体的なパフォーマンスと利用効率が高まります（図 4）。

550MHz の動作にチューニングされたこれらの高精度で高性能、柔軟性の高いスライスを、DSP や算術演算、ロジック ファンクション用にコンフィギュレーションし、加算器 チェーン アーキテクチャ用にカスケード接続することができます。DSP48E スライスは、Virtex-4 FPGA の相当するファンクションと比較して消費電力が 40% 低減されています（トグル レート 38% で 1.38 mW/100MHz）。

DSP スライスが高性能化されたということは、RTL で定義したデータ パスが最適な DSP インプリメンテーション構造にぴったりマッチしなくなるということでもあります。たとえば、まず「a」と「b」、「c」と「d」を加算してからこれら演算の結果を加算することで、「(a + b) + (c + d)」というファンクションをインプリメントするより、「(((a + b) + c) + d)」という式で DSP スライスをカスケード化する方が効率的です。

Synplify Pro ソフトウェアには、極めて高度なマッピング アルゴリズムが採用されています。これらのアルゴリズムは、たくさんのデータ パス マッサージングを実行する

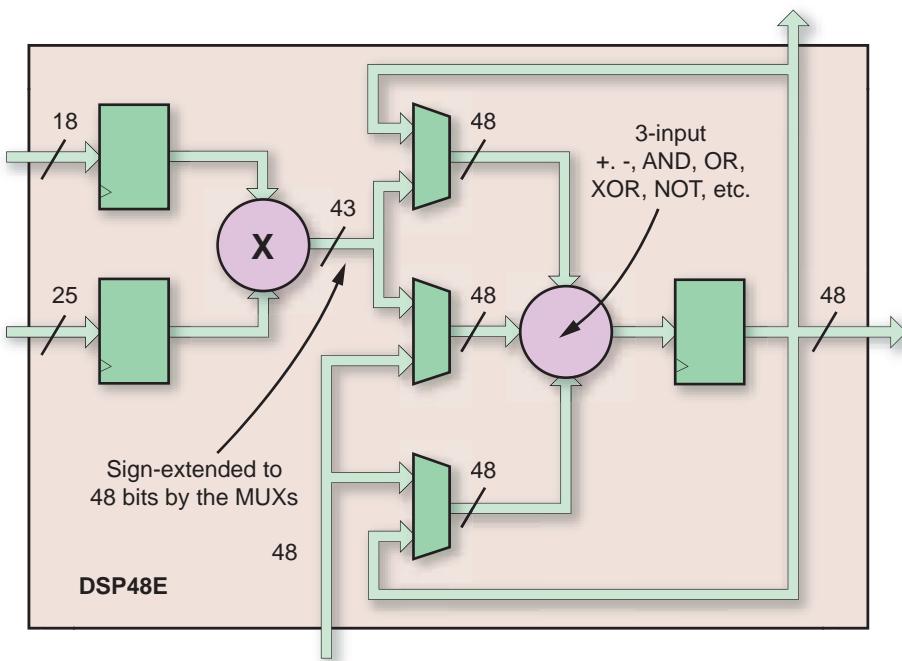
図 3 Virtex-5 ファミリは 10Mb の 550MHz ブロック RAM を搭載



ことで、Virtex-5 SXT デバイスに搭載されている DSP48E スライスに効率的にマッピングすると共に、これらスライスをフルに活用するデータ パス構造を作成します。

図 4 では示されていませんが、DSP 48E スライスには大量のレジスタが含まれています。Synplify Pro ツールは、組み込まれているこれらレジスタ エレメントをフルに活かすため、先進のパイプラインおよびリタイミング テクニックを使用できます。また、これら内蔵レジスタ エレメントは同期リセットだけをサポートしています。したがって、コードに非同期リセットを採用した場合、Synplify Pro ツールは、必要な機能を復元するため自動的に所定のグループ ロジックを挿入します。

図4 25×18乗算器を備えるVirtex-5のDSPスライス



## 高速I/Oの合成

特定デバイスにおけるI/Oの数とタイプは、特にFPGAのアプリケーションがチップもしくはシステムレベルの検証の場合に、デザインのインプリメンテーションに重要な要素です。Certify ASIC RTLプロトタイプやSynplify Pro合成ソリューションといったSynplicity社のツールを使って、信号の統合とI/Oの自動割り当ての両方を考慮し、Virtex-5デバイスのパワフルなI/O機能を最適化します。

Virtex-5 FPGAは、1,200もの汎用入出力(GPIO)ピンを搭載しており、業界標準およびカスタムプロトコルのインプリメンテーションに使用できます。これらピンに用いられるSelectIO™テクノロジは、1.25Gbpsの差動I/Oと800MbpsのシングルエンドI/Oを提供します。

第2世代のChipSync™ソース同期テクノロジにより、プログラム可能な遅延を各入力と各出力に個別に適用することが可能で、さらに、Virtex-5の第2世代スペースシェブロンパッケージングテクノロジのユニークな電源およびグランドピンの配置により、シグナルインテグリティとクロス

トークの影響を最小限に抑えながら回路基板のレイアウトをシンプル化を実現しています。これらのI/Oテクノロジにより、DDR2やQDR IIなどの広帯域幅インターフェイスを高い信頼性で動作させることができます。

Synplify Pro合成ソフトウェアは、差動信号と双方向I/O信号を自動的に処理するようにデザインされています。たとえば、ポートを低電圧差動信号(LVDS)出力ポートとして識別するアトリビュートを適用した場合、Synplify Proツールは1つの入力と2つの出力を用いて所定のLVDSプリミティブを挿入します。

## 次のステップ (超大容量タイミングクロージャタスクフォース)

デバイスがサブミクロンの領域に深く入り込んでいく中、FPGAベンダとEDAベンダの協力関係はますます強まっています。Synplify Pro合成エンジンを拡張するため、1年にわたってザイリンクスのエンジニアと協力し合ってきたことで、デバイスが市場に投入されたと同時に、実デザインでテストさ

れた最高の合成テクノロジを利用できることなど、多大なメリットをもたらしました。

将来のFPGAプラットフォームはますます高集積化、高機能化し、広範囲なアプリケーションドメインで先進のFPGAアーキテクチャを利用できるようになるでしょう。これらの新しいプラットフォームは、なお一層洗練されたデザインフローや合成ソリューションを必要とします。このため、Synplicityとザイリンクスの両社は「Ultra-High-Capacity Timing Closure Task Force(超大容量タイミングクロージャタスクフォース)」を立ち上げました。このプロジェクトの一環として、両社のエンジニアリングチームは、次世代FPGAを用いてインプリメントする超高集積デザインの生産性と結果の品質を最大限高める、新たなデザインフローを定義しインプリメントするため協力していく意向です。

このプロジェクトは当面、デザイン結果の品質と実行時間を大幅に改善することに専念し、デザインに小規模な変更を加えたときに安定した結果を達成することを目指しますが、プロジェクトの最終的な目標は、設計者が超高集積デザインに対して押しボタンに近い感覚で結果を生成し、1日に複数のデザインを反復できるようにすることです。

## 結論

ザイリンクスVirtex-5ファミリは、Synplicity社と最高のデザイン結果を達成するために共同で開発したインプリメンテーションフローを採用しています。この新しいFPGAは、6入力LUTや対角方向に対称なインターフェクトファブリックなど、アーキテクチャ上の多彩な新機能を搭載しています。

Virtex-5に対応するSynplify Proソフトウェアソリューションには、対角方向に対称なインターフェクトに対する新方式のタイミング見積もり、組み合わせの爆発的増加に対処する新たな合成アルゴリズム、専用のRAM推論とI/O処理、ごくわずかなデザイン変更で安定した結果を可能にする数々の改善点が盛り込まれています。是非、Virtex-5デバイスとSynplify Proソフトウェアを併用してこれら新機能を今すぐ体験してください。



## Virtex-5とSynplify Proで複雑な設計の性能を向上

### SynplicityとXilinxがチームを組んで対応

2006年5月、Xilinxは業界初の65nmFPGAであるVirtex-5を発表しました。そして、この発表よりずっと以前から、Xilinxはこの最先端デバイスの性能と集積度を十分に有効活用してもらうためには、革新的な合成ツールが必要であると気づいていました。そこで、XilinxはSynplicityとタッグを組んだわけです。

XilinxとSynplicityのエンジニアは業界をリードするSynplicityの合成ツールで新製品Virtex-5を適切にサポートするために、長い間緊密に協力してきました。

Virtex-5に向けて強化した機能をタイミング・ドリブン合成であるSynplify Proソフトウェアに組み入れることによって、設計者は複雑な設計の性能を向上すると同時にTime-to-Marketの目標を達成することが可能になります。

### 今後の展望

次世代以降のデバイスは既存のデバイスよりさらに集積度と性能が増大し続け、広範なアプリケーションで最先端のFPGAアーキテクチャを活用できるようになるでしょう。そこでSynplicityとXilinxは超大規模なデバイスのタイミング収束に関連するタスクフォースを組織しました。双方のエンジニアが集結し、次世代の65nm FPGAで超高集積なデザインの生産性と質を最大限に向上するための新しいデザイン・フローを構築するのがその目的です。

**複雑な設計の性能を最大限にするために有用となる  
Synplicityツールについての詳細は、当社日本語Web  
[www.synplicity.jp](http://www.synplicity.jp)をご覧ください。**



# Maximizing Design Performance for Virtex-5 FPGAs

# Virtex-5 FPGA の パフォーマンスを最大限に するデザイン技法

Virtex-5 デザインのタイミング目標の達成を可能にする  
ISE ソフトウェア

Michelle Fernandez  
Software Technical Marketing Engineer  
Xilinx, Inc.  
[michelle.fernandez@xilinx.com](mailto:michelle.fernandez@xilinx.com)

FPGA がパフォーマンスの限界に挑む中、デザイン性能を最大限に引き出すには、デバイスのアーキテクチャとデザイン ソフトウェアを熟知している必要があります。ザイリンクスの 65nm Virtex™-5 FPGA ファミリは、ExpressFabric™ テクノロジや対角方向に対称な配線、容量／機能を強化したオンチップ メモリ、DSP スライス、高速 I/O などを備え、業界最高のパフォーマンスを提供します。システム性能を最大化するには、タイミング制約を定義したり、合成と

インプリメンテーションの際にそのデザインに最も適したオプションを選択したりするなど、適切なデザイン テクニックを使う必要があります。本稿では、デザインの反復を極力抑えながらより高速なタイミングを達成する方法について解説します。

## アーキテクチャの理解

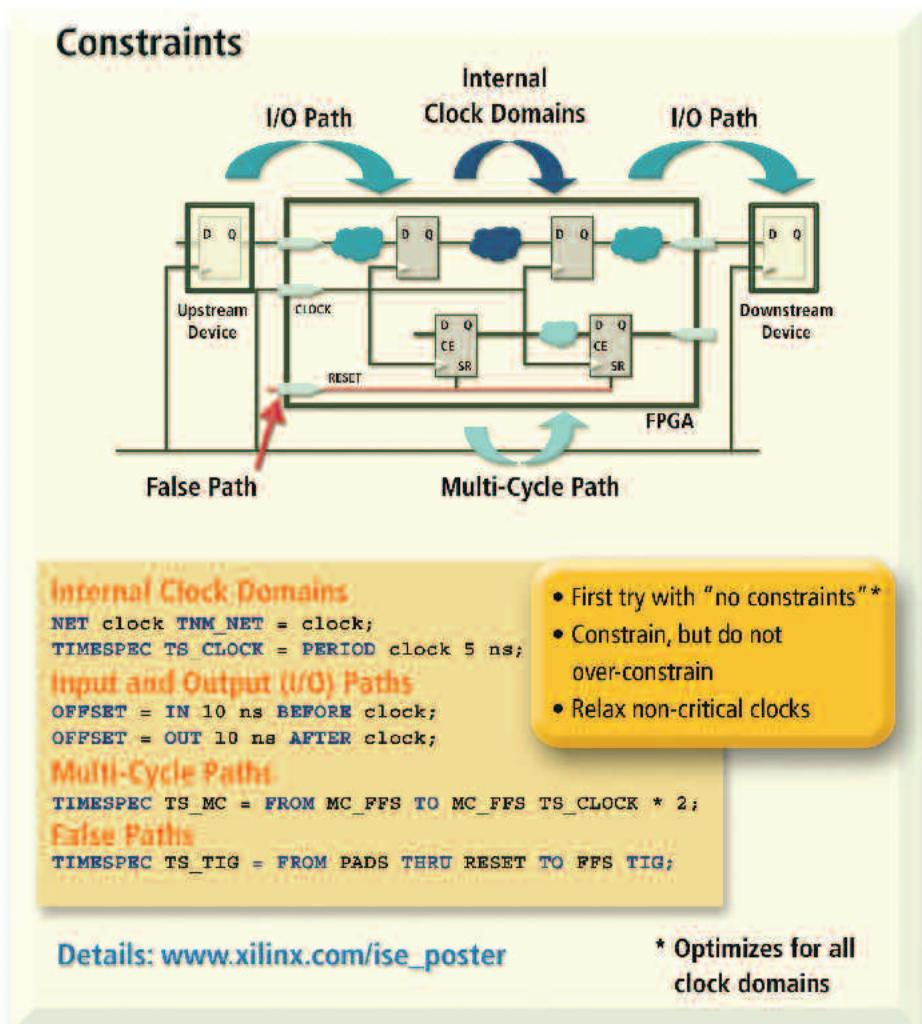
Virtex-5 ファミリのような新しい FPGA アーキテクチャを評価するは、ハードウェアの特長を理解するため、ユーザーガイドとデータ シートを熟読することが重要です。

Virtex-5 FPGA ファミリは、さらなる高速化を実現する新しい Express Fabric アーキ

テクチャやロジック段数を低減する新しい 6 入力 LUT 構造、遅延を最小限に抑える対角方向に対称なインターネット構造を採用しています。各 CLB は、複数のコンフィギュレーション方法が可能な 4 個の 6 入力 LUT と 4 個のレジスタを備える 2 つのスライスで構成されます。スライス パッキングを最大限に高めるには、スライスの相互接続についての理解と、共有リソースについての理解も必要です。

Virtex-5 FPGA には、550MHz にチューニングされたエンベデッド メモリ（ブロック RAM）や数値演算ファンクション（DSP48 スライス）といったハード IP が含まれています。クリティカル パスにこれらハード IP ブロックが含まれる場合、次の

図 1 適切なタイミング制約



点に留意しながらデザインしてください。

- ブロックの各機能がデザインに最大限に活かされており、合成ツールがそれら機能を RTL からの予想どおりに推論していることを確認してください。
- エンベデッド ブロック RAM メモリや DSP48E スライスを使う際は、セットアップと Clock-to-Out の遅延を低減するため、可能な限りそれぞれの専用パイプライン レジスタを使うことが重要です。
- デザインにおけるブロック RAM や DSP48E スライスの混用についての

考慮や、専用ブロックを使うべきか、それとも配置の柔軟性を高めるために専用ブロックと同じファンクションをスライスを用いてインプリメントすべきかのトレードオフについて考慮する必要があります。

デザイン性能は、選択するクロック リソースによっても影響を受けます。Virtex-5 FPGA デバイスには、I/O やリージョナル、およびグローバル クロック リソースがあります。Virtex-5 は複数のクロック リージョンに分かれています、最大 4 個のリージョナル クロックと 10 個のグローバル クロックを使用できます。デザインをプランニングする際は、使用予定のクロック リージョンの

図 2 Synplify Pro の推奨設定

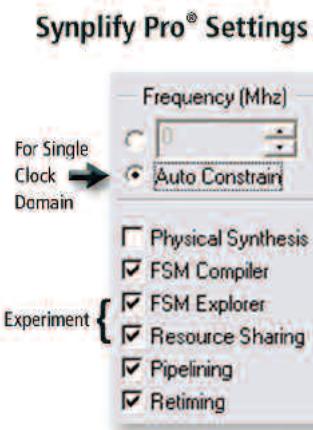


図 3 ISE 合成 (XST) の推奨設定

ISE Synthesis の [プロセス プロパティ] ダイアログ

| Property Name           | Value  |
|-------------------------|--|
| Synthesis Options       | Optimization Effort  |
|                         | Synthesis Constraint File<br>Create a XCF File (UCF Syntax)<br>NET clock PERIOD = 5 ns |
|                         | Read Cores   |
| HDL Options             | Resource Sharing   |
| Xilinx-Specific Options | Register Balancing   |
|                         | Pack I/O Registers into IOBs   |

数と、1 つのクロック リージョン内に使用するクロックの種類をあらかじめ検討しておくことが重要です。I/O を配置する際、そのインターフェイス ロジックがクロック リージョン内のすべてのクロック リソースを必要としないように配置を行えば、ISE™ ソフトウェアでの配置の柔軟性を大幅に高めることができます。

## タイミング要件の定義

合成ツールと ISE™ インプリメンテーション ツールは、内部クロック ドメインや I/O パス、マルチサイクル パス、False パスなど(図 1)に対するタイミング制約で指定するパフォーマンス ゴールを目標に実行され



ます。現実的なタイミング制約を定義することで、長い実行時間を回避できます。

合成レポートで複製されたレジスタをチェックし、元のレジスタに適用されるタイミング制約が複製されたレジスタにも適用されていることを確認してください。タイミング制約を記述する際は、個々のパスを制約する前に、できるだけ多くのパス同じタイミング要件でグループ化して、インプリメンテーションの実行時間とメモリの使用量を最小限に抑えてください。

## 合成の実行

次に、合成ツールから最適な結果を得るためにデザイン上の注意点をみてみましょう。

- 合成による RTL の推論がアーキテクチャの特長を活かすよう、適切なコーディング テクニックを使ってください。
- 下層のネットリストを合成プロジェクトに追加することで、そのネットリストにインターフェイスする HDL の最適化が促進されます。
- インプリメンテーションにおけるクリティカル パスが合成ツール上ではクリティカルとみなされない場合、合成ツールにそのパスを強制的にフォーカスを当てさ

せるため、Synplify Pro の「-route」制約を試してください。

- 合成ツールの設定を調べてください (Synplify と XST [Xilinx Synthesis Technology]の推奨ツール設定については、それぞれ図 2 と図 3 を参照)。合成の最適化に影響を与えるさまざまな属性を使って、再コーディングすることなく合成に変化を与えることができます (表 1)。

Synplify Pro のリタイミングや XST のレジスタ バランシングなど、特定のツール設定がエリアに影響を与えることもあります。デザインがハイ ファンアウト ネットによる影響を受け、合成ツールでそのファンアウトを低減させたい場合、ファンアウト リミットをグローバルに設定するのではなく、そのネットに対してファンアウトの属性を個別に使用してください。クリティカル パスが階層境界を超える場合、階層を維持するのは避けてください。また、インプリメンテーション前に合成レポート内のワーニングを確認してください。

## インプリメンテーション オプションの選択

合成ツールから満足できるタイミング見

積もりが得られたら、インプリメンテーション ツールを使用してデザイン実装後の性能を決定します。ISE は、デフォルトで性能評価モードに設定されており、タイミング目標を指定することなくインプリメンテーション ツールから高性能な結果を導くことができます。

次のステップとして、タイミング ドリブンでマッピング (MAP) と配置配線 (PAR) を実行します。タイミング ドリブンでの MAP は閉ループのパッキングとタイミング ドリブンの配置を実行し、PAR はデザインの配線を実行します。MAP と PAR は共に、最適な結果を得るために、エフオート レベルを High に設定して実行する必要があります。

インプリメンテーションにおける物理合成オプションは、デザインのクリティカル パスに関する情報を基にロジックを再最適化してパッキングできることから、配置配線のさらなる改善を実現します。物理合成のオプションは MAP プロセス中にインプリメントされ、グローバル ネットリストの最適化やローカライズされたロジックの最適化、リタイミング、レジスタの複製、等価なレジスタの除去を行うことができます。各オプションの詳細は、ザイリンクスのホワイトペーパー、「Physical Synthesis and Optimization with ISE 8.1i」(<http://japan.xilinx.com/bvdocs/whitepapers/wp230.pdf>)をご覧ください。

表 1 便利な合成属性\*

|                                    | XST           | Synplify Pro               |
|------------------------------------|---------------|----------------------------|
| ファンアウト制御                           | max_fanout    | syn_maxfan                 |
| ブロック RAM あるいはセレクト RAM への RAM の直接推論 | ram_style     | syn_ramstyle               |
| DSP48E スライスの直接使用                   | use_dsp48     | syn_multstyle/syn_DSPstyle |
| SRL16 の直接使用                        | shreg_extract | syn_srlstyle               |
| ブロック RAM 使用率の制御                    | なし            | syn_allowed_resources      |
| 最適化中のレジスタ インスタンスの保存                | Keep          | syn_preserve               |
| ワイヤの保存                             | Keep          | syn_keep                   |
| 未使用出力のあるブラック ボックスの保存               | Keep          | syn_noprune                |

\* XST に関する資料は、<http://toolbox.xilinx.com/docsan/xilinx82j/books/docs/xst/xst.pdf> をご覧ください。  
Synplify Pro のドキュメンテーションは、ツールのヘルプ ドキュメンテーションに用意されています。

## ユーティリティ ツールの Xplorer

Xplorer は、最高のデザイン性能を達成するための各種インプリメンテーション オプションを決定する際に便利なツールです。Xplorer には、タイミング クロージャとベスト パフォーマンスという 2 つのモードがあります。タイミング クロージャ モードは、タイミング制約を評価し、これら目標を達成するためにさまざまなインプリメンテーション オプションの組み合わせを実行します。ベスト パフォーマンス モードでは、フォーカスを当てたいクロック ドメインを指定すると、Xplorer ツールがそのクロックの最高周波数を達成するよう動作します。このモードはデザインの最大性能をベンチマークする際に便利です。

## クリティカル パスの評価

クリティカル パスの特性を理解することで、次のデザイン反復に備えて何を行わべきかの的確な判断を下すことができます。データパスには、ロジック遅延とインターフェクト遅延の両方があります。ロジック遅延を構成する個々のコンポーネントの遅延は、固定で変更することはできません。ロジック遅延は、ロジック段数を減らすか、ロジックの構造を定義しなおすことで低減できます。

インターフェクト遅延はこれよりずっと変動性があり、ロジックの配置によって左右されます。デザインに PAR を実行する前に、MAP 後のタイミング解析を行うことを推奨します。このタイミング レポートでは配線遅延の見積もりしかわかりませんが、インプリメンテーション ツールが扱うクリティカル パスを知る手がかりになります。クリティカル パスが多数のロジック段数を持っている場合、そのクリティカル パスに PAR を実行するのではなく、ロジック段数を低減することに努力した方が良いでしょう。

デザインのロジック段数が多すぎる場合は、次の方法を試みてください。

1. MAP で物理合成オプションを実行する。
2. 合成に戻り、インプリメンテーションで報

告されたクリティカル パスが合成でレポートされたものとマッチしていることを確認する。

3. HDL コードの合成推論を再検討する。

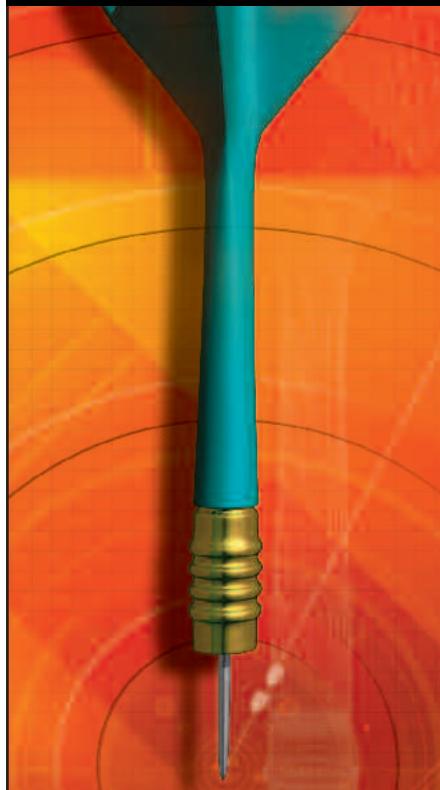
ロジック段数が少ないにもかかわらず特定のデータパスがタイミングを満たしていない場合は、次を試みてください。

1. 遅延の長い配線のファンアウトを評価する。
2. クリティカル パスにブロック RAM や DSP48E スライスなどのハード IP ブロックがある場合、デザインがエンベデッド レジスタをフルに活用していることを確認する。また、このハード ブロックを使うか、スライス ロジックを使うかのトレードオフを理解する。
3. クロック スキューを解析する。
4. ロジックの配置があまりに離れすぎている場合、クリティカル ブロックのフロア プランニングを行う。（フロアプランニングは必要な場所にのみ実行します。）
5. 旧バージョンのソフトウェアで設計された場合や、デザイン変更の前にそのデザインに対してエリア グループを作成していた場合は、それらエリア グループを除去することを考慮する。
6. ブロック RAM や DSP48E スライスなどのハード IP ブロックの配置を考慮する。

## 結論

Virtex-5 FPGA は高性能なデザイン向けに最適化されており、また、ISE ソフトウェアは、デザイン クロージャを素早く達成して生産性を改善し、デザインを効率的に実行するための機能を備えています。ザイリンクスは、デザイン性能を改善する ISE Fmax テクノロジをベースとする包括的なソフトウェア ツール群を提供しています。このような良い条件下でも、事前に効率的なコーディング スタイルを実践し、タイミング制約を定義してリソース プランニングを行うことで、下流工程でのタイミング要件の達成がさらに効率化されます。

# Get on Target



**パートナーの皆様  
御社の製品・サービスを  
Xcell journal 誌上で  
PRしてみませんか？**

Xcell Journal は、プログラマブル ロジックユーザーへ、ザイリンクス製品／ツールの最新情報をはじめ、システム／アプリケーションの解説、サービス／サポート情報、サードパーティ各社のツール情報などをお届けしています。

現在では日本各地の7,000名を超える幅広い分野のエンジニアの皆様に愛読いただいており、ザイリンクスが主催・参加するイベントでも広く配布しています。

貴社製品／ソリューションのプロモーションに非常に効果的なメディアです。

広告掲載に関するお問い合わせ先

**有限会社 エイ・シー・シー**

Xcell 広告係までe-mailでお願いいたします。

e-mail:t.sohyama@jcom.home.ne.jp





# Clock Management in Virtex-5 Devices

# Virtex-5 デバイスにおける クロック管理

デジタル DCM とアナログ PLL の並列実装による柔軟かつ最適な  
クロック管理ソリューション

Ralf Krueger  
Sr. Staff Applications Engineer  
Xilinx, Inc.  
[ralf.krueger@xilinx.com](mailto:ralf.krueger@xilinx.com)

FPGA の大規模化に伴い、オンチップ クロック配信の品質がますます重要になっていきます。クロック スキューとクロック遅延はデバイスの性能に影響を与え、これらを従来のクロック ツリーで管理するのは、デバイスが大きくなるほど難しくなります。

従来、ザイリンクスの Virtex™-4 デジタル クロック マネジメント (DCM) やミックスド シグナル フェーズ ロック ループ (PLL) などのソリューションを利用して、クロック ツリーのスキューを除去し、周波数を合成していました。しかし、いずれのソリューションにもそれぞれ長所と短所がありました。

Virtex-5 デバイスは、FPGA で初めて、クロック管理タイル (CMT) にデジタル DCM とアナログ PLL が並んで実装されています。これにより、開発するアプリケーションに合わせて最適なクロック管理ソリューションを選択できるようになりました。

Virtex-5 デバイスは最大 6 個の CMT を装備しています。1 個の CMT には 2 個の DCM と 1 個の PLL があります。2 個の DCM のうちいずれか一方、または PLL を、スタンドアロン モジュールとして使ったり、相互に連携させて使ったりすることができます。スタンドアロン モジュールとして使用する場合は一般的に、アプリケーションに

よってどのクロック管理ソリューションを使うかを決定します。たとえば、DCM は、ファイン位相シフトや動的位相シフト、最大 VCO 周波数に依存しない倍倍／分周機能をサポートします。しかし、PLL は入力クロック ジッタをフィルタリングし、より高周波数の幅広い出力周波数をサポートするうえ、消費電力が低いというメリットがあります。

また、DCM と PLL は相互に連携する設計になっています。PLL は、DCM への入力もしくは出力クロックをクリーンアップするのに役立ちます。各 CMT 内の専用リソースは、お互いに接続しても FPGA クロックのスキューを適切に除去します。CMT は Virtex-5 アーキテクチャの中心コラムに置かれています。ここに配置することで左右の対称性が高まり、すべての DCM や PLL までのクロック ルートを最適にできるためです（図 1）。

## DCM

Virtex-5 の DCM は、ゼロ伝播遅延バッファ、クロック分周／倍倍機能、固定および動的ファイン位相シフト、多重フェーズの入力クロックを提供します。完全な差動グローバルクロック ツリーと出力信号間の低スキューに加え、アプリケーションの各種クロックはデバイス全体に効率的に配信されます。各 DCM は、デバイス内の 32 本のグローバル クロック配線ネットワークのうち、9 本を駆動できます。

グローバル クロックの配信ネットワーク

は、負荷の違いに起因するスキューを最小限に抑えます。DCM 出力クロックのサンプルを監視することで、DLL は配線ネットワーク上の遅延を補正し、外部入力ポートからデバイス内の個々のクロック負荷への遅延を効果的に除去します。

DCM は、ユーザーのソース クロックに対する遅延をゼロにするほか、多重フェーズのソース クロックを提供します。DLL はクロック ダブルとしての役割を果たしたり、ユーザーのソース クロックを最大 16 まで分割することができます。また、DCM はクロック ミラーとして機能することもできます。DCM の出力をオフチップで駆動してから再度オンチップに戻すことで、DCM を使って複数デバイス間のボードレベルのクロックのスキューを除去できます。

もう 1 つのサブモジュールでは、DCM の出力クロックを少しづつ（そのクロック周期の 256 の 1）位相シフトする機能を提供します。この多機能デジタル フェーズ シフト (DPS) は、固定、可変ポジティブ、可変センタ、直接の 4 種類のモードで操作可能で、高い柔軟性を実現しています。DCM のデジタル周波数合成 (DFS) モジュールは、周波数の倍倍および分周により入力プロックから得られる CLKFX と CLKFX180 の 2 つの出力を提供します。有効な乗算 (M) 値と除算 (D) 値を指定することで、DFS モジュールは周波数計算機を通してそれらをインプリメントします。たとえば、M の値 19 と D の値 8 から、ソース クロックの乗数は 2.375 となります。

## PLL

CMT の PLL は、クロック ネットワークのスキー除去、周波数合成、ジッタ低減をサポートするミックスド シグナル ブロックです。図 2 の PLL ブロック図は、各コンポーネントの概略図です。

入力マルチプレクサ (MUX) は、グローバルクロック ピンか、グローバル クロック ツリー、または、DCM のいずれか 1 つからリファレンス クロックとフィードバック クロックを選択するために使います。各クロック入力はプログラマブル カウンタを持っています。このカウンタはリファレンス クロックをプリスケールし、広範囲な周波数合成を可能にします。

位相周波数検出器 (PFD) は、入力クロックとフィードバック クロックの位相と周波数の両方を比較します。2 つのクロック間の位相および周波数誤差に比例して信号が生成され、この信号を使用してチャージ ポンプとループ フィルタを駆動することで、VCO への基準電圧を生成します。PFD からの Up 信号または Down 信号により、VCO の動作周波数を高くするか低くするかが決定されます。

PFD が、入力クロックとフィードバック クロックの位相と周波数がアライメントされたと判断すると、ロック信号が立ち上げられ、PLL 出力クロックが有効であることを示します。VCO は電圧や温度の変動を補正し続けます。フィードバック パスの M カウンタは、フィードバック クロックを制御し、VCO 周波数を目的の周波数まで倍増します。VCO 出力クロックは 6 つの出力カウンタを駆動します。各カウンタは、アプリケーション デザインに最適なさまざまな周波数を生成するため、個別にプログラミングすることができます。

また、クロック切り替え（スイッチオーバー）や、位相シフト、多彩なデューティ サイクル、バンド幅の制御もサポートされています。操作前、または操作中に、2 つの入力クロックのどちらか 1 つを動的に選択できます。多くの場合、クロックのフェーズを切り替えて使う必要があります。VCO は、それぞれ  $45^\circ$  の 8 つの位相シフト クロックを備えています。VCO の周波数が高いほど、O カウンタから出力されるクロックの位相シフト

の分解能は小さくなります。

各出力カウンタは、別々に位相シフトしたクロックを用意するため、個別にプログラミングできます。PLL は、各出力カウンタに 50/50 以外のディスクリート デューティ サイクルを生成することもできます。分解能と可能な出力デューティ サイクルは、除算値で決まります。出力除算値が高いほど、出力デューティ サイクルの分解能は高く設定されます。

## 結論

Virtex-5 FPGA では、クロック管理にデジタルとアナログのどちらかを選択することが

可能です。目的のアプリケーションに応じて、いすれかのモジュール、あるいは両方のモジュールを使うことで、これまで以上に選択の幅が広がります。

豊富なクロック ツリー リソースを備える Virtex-5 デバイスは、高いファンアウトと高性能なクロックを必要とするシステムレベルの設計を、大幅に簡素化し改善します。Virtex-5 デバイスは、従来の FPGA にはないパワフルな周波数合成、位相シフト、クロック デスキー機能を備えています。ソフトウェアも包括的にサポートされており、過去の世代の FPGA と比較して、はるかに大規模、高速、複雑なデザインを実現できるのです。

図 1 Virtex-5 CMT ブロック図

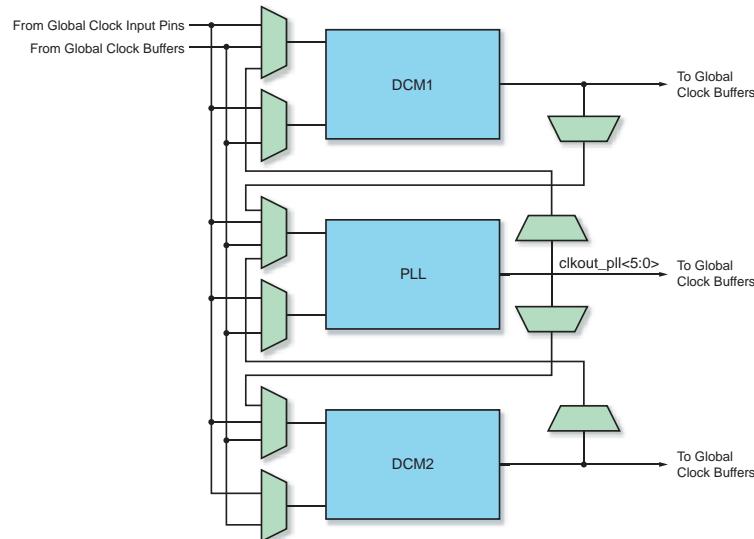
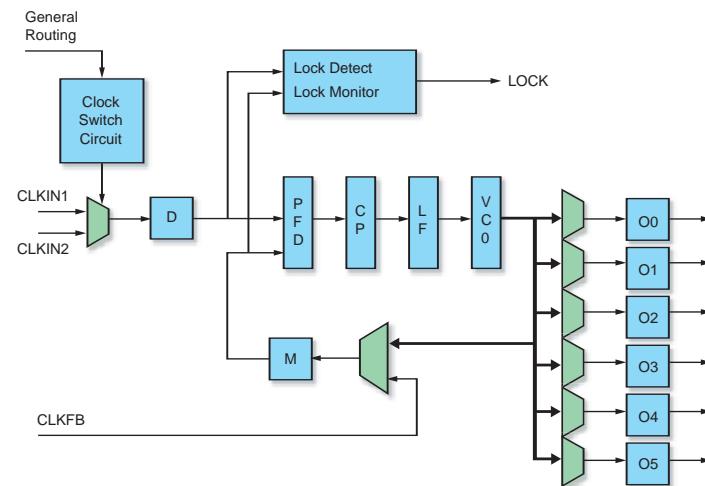


図 2 PLL ブロック図





# Reduce Power with Virtex-5 FPGAs

# Virtex-5 FPGA による消費電力の 削減

世界初 65nm FPGAが提供する  
パフォーマンスに影響しない低消費電力機能

Derek Curd  
Senior Staff Applications Engineer,  
Advanced Products Division  
Xilinx, Inc.  
[derek.curd@xilinx.com](mailto:derek.curd@xilinx.com)

ザイリンクスは、Virtex™-5 ファミリの発表により、FPGA ユーザーに新たなテクノロジと機能を提供し、再び業界の牽引役を果たしています。65nm FPGAへの移行は、コストの削減や高性能化、ロジック容量の増大というプロセス ジオメトリの微細化メリットをいっそく拡大することになります。しかしながら、これらのメリットは先進のシステム設計者にとってエキサイティングなチャンスである半面、65nm プロセス ノードは新たな課題をもたらします。

たとえば、開発するアプリケーションに最適な FPGA を選択する場合、消費電力がますます重要になります。次世代のデザインには、従来とほぼ同じ、あるいはより少ない電力バジェットでより多くの機能、より高い性能を実現することが求められます。

本稿では、消費電力の削減によるメリットについて解説します。また、高パフォーマンスを保つつつ消費電力を最小限に抑える、Virtex-5 デバイスにインプリメントされた多数のプロセスおよびアーキテクチャ上のイノベーションについて紹介します。

## 消費電力低減のメリット

低消費電力の FPGA デザインをインプリメントすることにより、デバイスの熱に関する動作条件を満たすだけでなく、さまざまな利点があります。コンポーネントの仕様を満たすのは性能と信頼性の面で重要なことは言うまでもありませんが、それをいかに達成するかでシステムのコストと複雑さが大きく異なってきます。

第 1 に、FPGA の消費電力を減らすと、部品点数が少なく PCB に占める面積の小さい廉価な電源を使用できます。一般に、高性能な電源システムのインプリメンテーションコストは 1 ワットあたり 0.5 ドルから 1 ドルです。したがって、FPGA の消費電力を低減すれば全体的なシステム コストの削減に直接寄与することになります。

第 2 に、消費電力は熱放散に直接関係するため、低消費電力で動作が可能であればよりシンプルで廉価な熱管理ソリューションを使用できます。デザインがヒート シンクを必要とすることはなく、たとえ必要としても小型

で廉価なヒートシンクで十分です。

最後に、低消費電力で動作するということは、部品点数が少なくデバイスの温度も低いため、システム全体の信頼性が向上します。デバイスの動作温度が10°C下がると部品の寿命が2倍になることからも、高い信頼性が求められるシステムで消費電力と温度を抑えることが、いかに重要なことがわかります。

## 消費電力：課題と解決策

FPGA をはじめとする半導体デバイスの総消費電力は、スタティック消費電力とダイナミック消費電力の合計です。スタティック消費電力は、論理的に「オフ」のときでもトランジスタのソース/ドレイン間から、あるいはそのゲート酸化膜を通して「漏れる」少量の電流、すなわちトランジスタのリーク電流に起します。ダイナミック消費電力は、デバイスのコアや I/O におけるスイッチング中に消費される電力であり、周波数に依存します。

### スタティック消費電力

90nm から 65nm のデバイスに移行するなど、トランジスタの縮小に伴ってリーク電流は増加する傾向があります。また、一般にプロセスノードが新しくなるとチャネル長は短く、ゲート酸化膜は薄くなり、チャネル領域やトランジスタのゲート酸化膜を通して電流がリークしやすくなります。

ザイリンクスは、90nm の Virtex-4 ファミリに「トリプル酸化膜」プロセス技術を採用し、ザイリンクスの回路設計者がリーク電流の低減に取り組む際に役立つ素晴らしいツールとなりました。以前の FPGA には、2種類のゲート酸化膜が使用され、薄い酸化膜は FPGA コア内の高性能で低動作電圧のトランジスタに、厚い酸化膜は I/O ブロック内の大型で高電圧に耐えられるトランジスタに用いられました。簡単に言えば、「トリプル酸化膜」とは、薄い酸化膜のコアトランジスタよりはるかにリーク電流の少ない、3番目の中厚ゲート酸化膜トランジスタを追加したもののです。

「中厚酸化膜」トランジスタは、厳しいパ

フォーマンスを求められない回路（例：コンフィギュレーションメモリ）や、ゲートの電圧変動に応えて高速なスイッチング時間を必要としない回路（例：ルーティングパスゲート）用として、デバイスのコアに広範囲に使われています。リーク電流が最も多い薄膜酸化膜のトランジスタは、スピードパスのうち、極めて高速なスイッチング時間を必要とする部分に使用されます。この結果、デバイスの総リーク電流を劇的に低減しつつ、旧世代の FPGA に比べて大幅な性能改善を達成しているのです。

トリプル酸化膜のプロセス技術により、Virtex-4 デバイスは他社製 90nm FPGA と比較して、スタティック消費電力を平均 70% 以上を低減します。Virtex-4 での大成功から、Virtex-5 ファミリでも 65nm プロセスノードのリーク電流を低減させるため、この技術を広範に採用しています。

65nm デバイスはスタティック消費電力が大幅に増えるという業界予測にもかかわらず、トリプル酸化膜プロセスにより、ワーストケース（高温）の動作条件下でも 65nm の Virtex-5 デバイスはほぼ同サイズの 90nm Virtex-4 デバイスに匹敵するスタティック消費電力を達成しています（図 1）。したがって、Virtex-5 ファミリでも他社製の高性能 FPGA よりスタティック消費電力

が格段に優れています。

### ダイナミック消費電力

65nm FPGA には、ダイナミック消費電力の課題もあります。ダイナミック消費電力は次の式で求められます。

$$\text{ダイナミック消費電力} = CV^2f$$

C : ノード スイッチングのキャパシタンス

V : 電源電圧

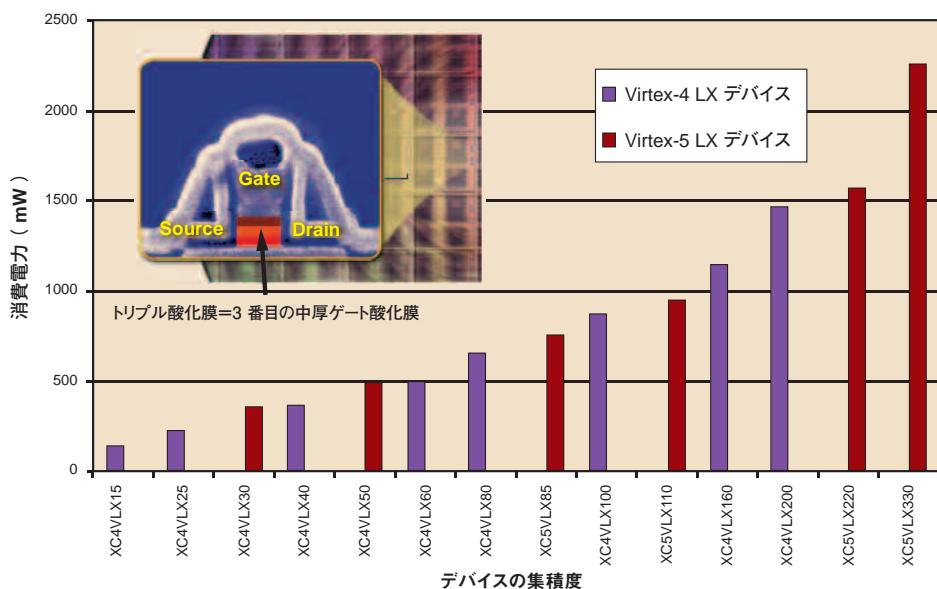
f : スイッチング周波数

65nm のプロセスノードは、旧来のデバイスより格段に大きなロジック容量とより高い性能を備える FPGA を実現します。つまり、より多くのノードがより高い周波数でスイッチングするわけです。他の条件がすべて同じであれば、これはダイナミック消費電力の増大につながります。

しかし、65nm のダイナミック消費電力については良い点もあります。FPGA のコア電源電圧（V）とノードキャパシタンス（C）は、一般にプロセスノードが新しくなるたびに減少し、旧世代の FPGA よりダイナミック消費電力を大幅に節約できるのです。

Virtex-5 デバイスのコア電源電圧

図 1 85°Cでのスタティック消費電力比較





( $V_{CCINT}$ ) は、Virtex-4 デバイスで使われていた 1.2V から 1.0V に低減されています。また、ノード キャパシタンスは、トランジスタの小型化に伴う寄生キャパシタンスの低下と、ロジック間のより短く容量性の低いインターフェース（相互接続）によって減少する傾向があります。さらに、Virtex-5 デバイスは配線キャパシタンスを最小限に抑えるために、メタル インターフェース レイヤ間に Reduced-K 誘電材料を使用しています。

Virtex-5 デバイスに対する平均ノード キャパシタンスは、Virtex-4 デバイスより 15% 低減されると予想されます。電圧低

を低減させます。

- 従来のデバイスには 4 入力のルックアップ テーブル (LUT) が使われていましたが、Virtex-5 のコンフィギュブル ロジック ブロック (CLB) は、6 入力 LUT のロジック アーキテクチャをベースにしています。つまり、各 LUT 内により多くのロジックがインプリメントされることでロジック段数が少なくなるため、ロジック ファンクション間により高キャパシタンスの配線を行う必要がなくなります。

ノード キャパシタンスを減らすことで、コアのダイナミック消費電力を削減します。図 2 は、Virtex-5 デバイスと Virtex-4 デバイスにそれぞれ 1,024 個の 8 ビット カウンタを搭載したベンチマーク デザインから、コアのダイナミック消費電力を測定した図です。シリコンで実際に測定したこれらの値から、プロセスとアーキテクチャのメリットを合わせると、ダイナミック消費電力の低減率は 50% を超えることがわかります。

## ハードIP ブロック

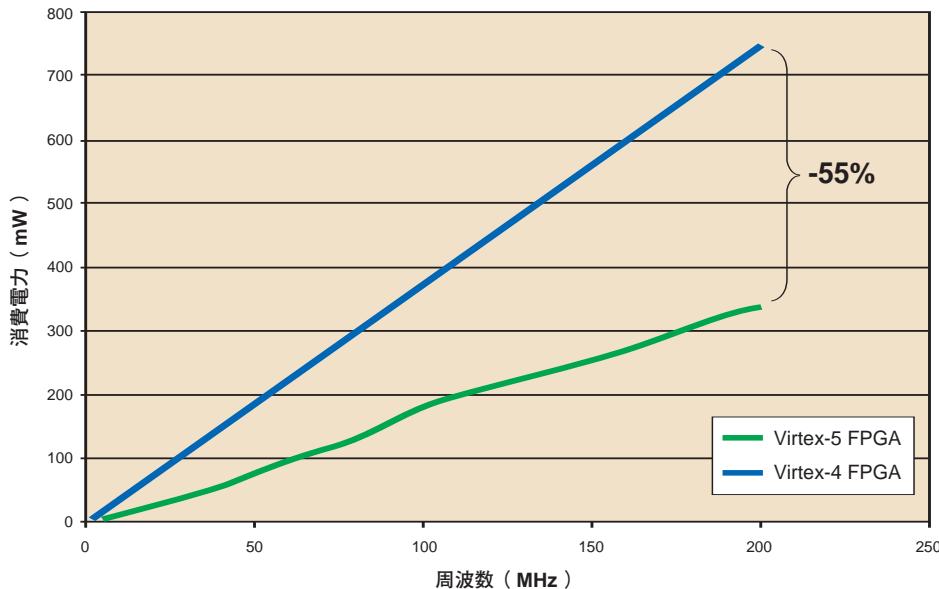
Virtex-5 デバイスは、業界のどの FPGA よりもハードIP ブロック（よく使われるファンクション専用の回路）を多数備えています。ハード化された IP ブロックを使う FPGA デザインは、これらのファンクションを汎用 FPGA ロジックにインプリメントする場合と比較して、消費電力の節約量が大きくなります。

FPGA ファブリックとは異なり、専用ブロックは必要なファンクションをインプリメントするためのトランジスタのみで構成されます。しかもプログラマブル インターフェースがないため、配線キャパシタンスは最小限です。トランジスタの個数が少なくノード キャパシタンスが低いことから、静态消費電力とダイナミック消費電力の両方にメリットがあります。専用ブロックは、汎用 FPGA ファブリックを使用した同等のインプリメンテーションと比べて、わずか 10 分の 1 の消費電力で同じファンクションを実行できます。

Virtex-5 デバイスでは、新タイプの専用ブロックを追加しただけでなく、新機能によってパフォーマンスを改善し消費電力を低減させるため、Virtex-4 デバイスに存在した多くのブロックのデザインを変更しました。たとえば、Virtex-4 ファミリの 18Kb ブロック RAM メモリは、Virtex-5 デバイスでは 36Kb ブロック RAM に拡張されています。ブロック RAM はそれぞれ、Virtex-4 デザインへの下位互換性を考慮し、2 個の独立した 18Kb メモリに分割できます。

また、消費電力の観点から、18Kb のサブブロックはそれぞれ 2 個の 9Kb 物理メモリアレイから構成されています。ほとんどのブ

図 2 カウンタ ベンチマーク デザインのダイナミック消費電力比較



減のメリットと合わせると、Virtex-5 デバイスに対するコア ダイナミック消費電力は、少なくとも 35~40% 低減されることになります。

65nm への「プロセス縮小」だけでもダイナミック消費電力は 35~40% 低減しますが、Virtex-5 デバイスの革新的アーキテクチャにより、あらゆるデザインに対して消費電力がさらに節約されます。ダイナミック消費電力につながるノード キャパシタンスのほとんどは、ロジック ファンクション間の配線またはインターフェースに起因します。Virtex-5 の新しいアーキテクチャは、基本的に次の 2 通りの方法で配線キャパシタンス

- Virtex-5 の配線アーキテクチャは、対角方向の対称配線を持ち、すべての CLB は対角方向の隣接 CLB を含むあらゆる隣接 CLB に「ワン ホップ」で直接接続することが可能です。ロジック ファンクション間に接続が必要な場合、従来の配線アーキテクチャは、接続するのに 2 つ以上のホップを必要としたましたが、Virtex-5 ではより低容量の「ワン ホップ」接続ですみます。

6 入力 LUT アーキテクチャと配線パターンの改善により、純粋に 65nm プロセスへの移行によって達成されるレベル以上に平均

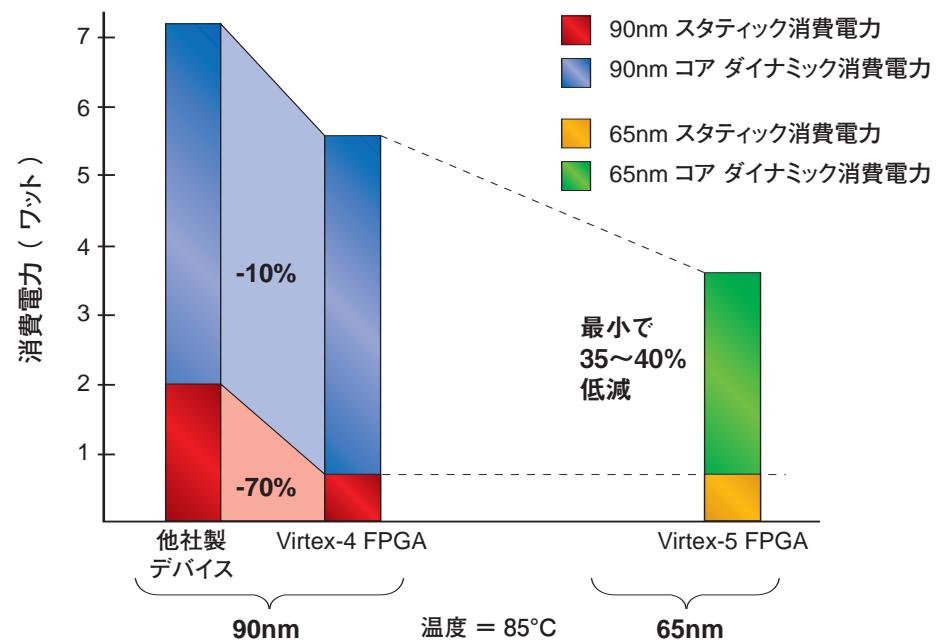
ロック RAM コンフィギュレーションでは、ブロック RAM への読み出しまだ書き込み要求が一度にアクセスするのは、1 つの 9Kb 物理メモリのみです。したがって、もう一方の 9Kb メモリは、アクセスされていない間、「電源オフ」の状態にできます。その結果、65nm プロセスへの移行に伴う消費電力の低減に加え、さらに 50% 近くを低減させることができます。このような「ピンポン式」の 9Kb ブロックへのアクセスは、新型ブロック RAM アーキテクチャに固有のものであり、この機能を活用するためにユーザーやソフトウェアによる制御は必要ありません。これはダイナミックかつ自動的に行われ、ブロック RAM を使うすべてのデザインに対して、ブロック パフォーマンスを損なうことなく消費電力を劇的に減らす効果があります。

Virtex-5 デバイス内の専用 DSP エレメントも、デザインを全面的に見直し、高性能化と低消費電力を実現しています。スライス単位でみた場合、新しい Virtex-5 の DSP スライスは、Virtex-4 の DSP スライスと比較してダイナミック消費電力が約 40% 低減されています。これは主に、前述の 65nm プロセスの電圧とキャパシタンスのスケーリング係数によるものです。

また、Virtex-5 の DSP スライスの機能向上とインターフェイス幅の拡張によって、多くの DSP 動作でダイナミック消費電力がさらに低減されます。一般に、新しい DSP スライスの機能をフルに利用することで、ダイナミック消費電力を最高 75% 低減できます。DSP アプリケーションのデザインでなくとも、さまざまな標準ロジック ファンクション（カウンタ、加算器、バレル シフタ）に DSP スライスを使うことで、標準的な FPGA ロジックにインプリメントする場合より大幅に消費電力を抑えられることを覚えておいてください。

デザインを改良した専用ブロックの最後の例として、Virtex-5 ファミリの LXT プラットフォームは 3.125Gbps で動作する統合型のマルチギガビット シリアル トランシーバを備えています。これらの「SERDES」ブロックは、消費電力を削減することに重点を置いてインプリメントされています。Virtex-5 LXT デバイスの全二重トランシーバは、そ

図 3 代表的なデザインに対する FPGA 間の消費電力比較



れぞれ 3.125Gbps で総消費電力はわずか 100mW 以下であり、Virtex-4 のシリアル トランシーバと比べておよそ 75% 低減されています。

ック消費電力は 50% 以上低減されます。さらに、これまでにない多数の専用ブロックを活用すれば、消費電力をいっそう低減させることができます。

Virtex-5 デバイスの低消費電力をフルに活用する方法は、<http://japan.xilinx.com/power/> をご覧ください。

## 結論

ザイリンクスは、20 年以上前に最初の FPGA を開発して以来、長年にわたり技術革新に努めてきました。ザイリンクスがディープサブミクロン技術における消費電力の低減を最優先課題にした初の FPGA メーカーとなったのはごく自然なことです。Virtex-4 ファミリと同様、Virtex-5 デバイスはプロセスとアーキテクチャに多数の革新的技術を採用し、パフォーマンスを 30% 以上改善しながら、消費電力を最小限に低減しています。

図 3 からわかるとおり、Virtex-5 ファミリのスタティック消費電力は Virtex-4 デバイスに匹敵するレベルで、また、他社 FPGA より優れていることも明らかです。また、業界唯一の 65nm FPGA である Virtex-5 デバイスは、他社の高性能 FPGA より、コア ダイナミック消費電力が最低でも 35~40% 低減されます。新しい 6 入力 LUT と対角方向の対称配線など、アーキテクチャ面でのイノベーションにより、実際のコア ダイナミ

## Xilinx Power Estimator (XPE)

2006 年 1 月に発表されたスプレッドシートベースの消費電力見積もりツール、Xilinx Power Estimator (XPE) は、Virtex™-4 に加え、現在は Virtex-5 と Spartan™-3E FPGA ファミリをサポートしています。XPE は、デザイン前の消費電力見積もりツールとして Web Power ツールに継ぐツールであり、ザイリンクスの新しい FPGA ファミリすべてに利用可能です。XPE は、従来の消費電力見積もりツールよりユーザーインターフェイスが改善され、精度を向上し、重要データをよりわかりやすく表示するように改善されています。

XPE のサマリ ページでは、まずリソース タイプごとに、次に電源電圧ごとに電力使用量に関する完全なサマリが表示されます。サマリ ページのナビゲーション ボタンを使って、詳しい情報を容易に閲覧することができます。XPE はまた、電力消費量をグラフィカルに認識できるように、自動的にグラフの作成・表示を行います。

ザイリンクスは、XPE の最初のリリース後、何度か新バージョンを発表し、機能の追加と精度の向上を繰り返してきました。すべてのバージョンは、<http://japan.xilinx.com/power/> から入手が可能です。

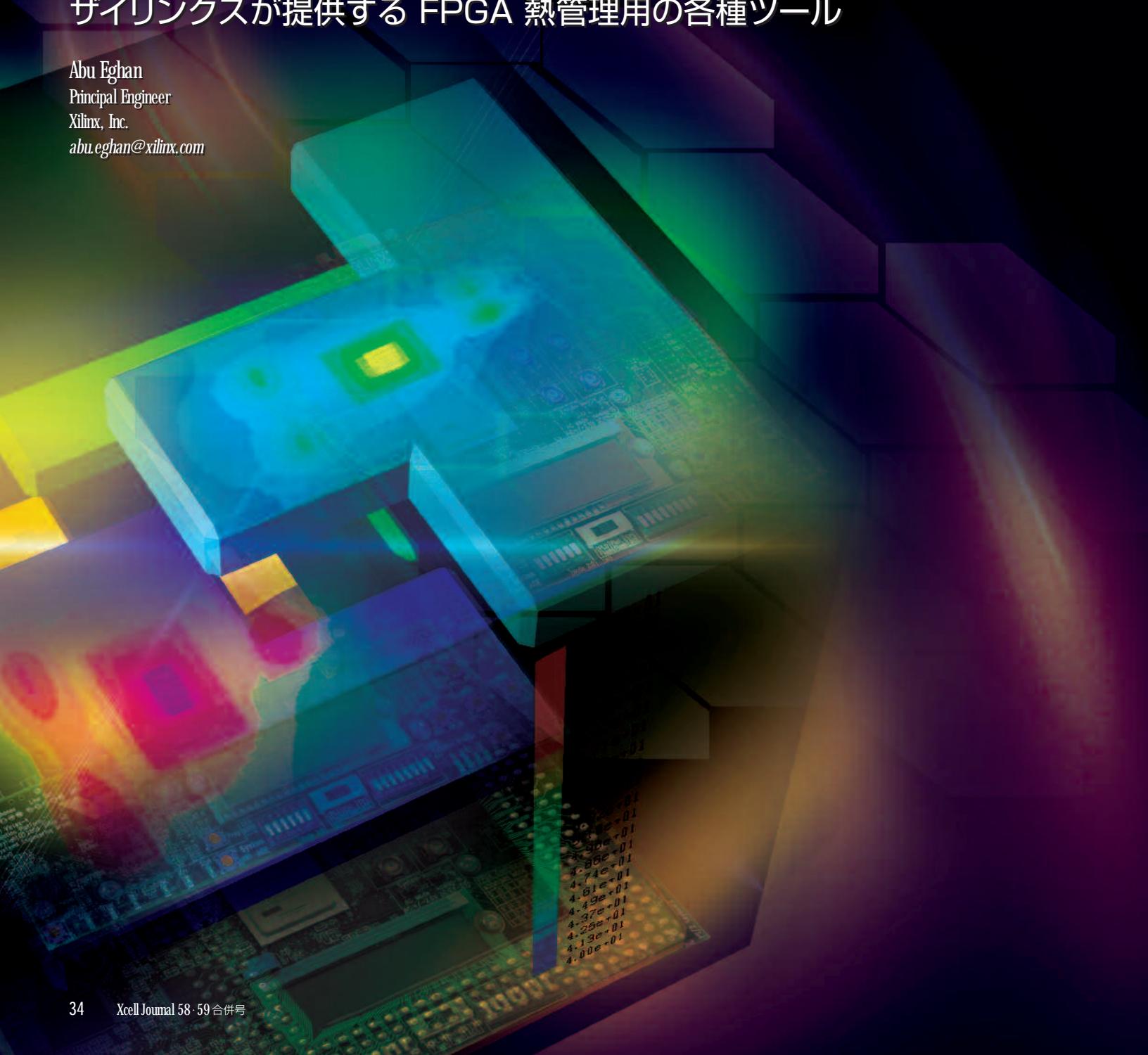


POWER

# Applying Compact Thermal Models コンパクト熱モデル への適応

ザイリンクスが提供する FPGA 热管理用の各種ツール

Abu Eghan  
Principal Engineer  
Xilinx, Inc.  
[abu.eghan@xilinx.com](mailto:abu.eghan@xilinx.com)



ザイリンクスは、FPGA のスタティック消費電力とダイナミック消費電力を低減させるため、シリコン レベルで飛躍的な進歩を遂げてきました。しかし、上位ファミリに移行するたびに、トランジスタの集積度や性能を高めるため機能を小型化したこと、最上位モデルでは熱の問題が生じます。FPGA デバイスでは、消費電力の低減は重要課題のひとつです。

消費電力が高く熱バジェットのマージンが低い場合、温度予測が不正確だと設計者は期待どおりのデザインを作成できません。高性能 FPGA に採用されているフリップチップ パッケージは複数の熱流路を持ち、熱効率に優れています。温度を見積もる際、熱抵抗の基本的な「ワン レジスタ」の数値、シータ ja ( $\Theta_{ja}$ ) を使うだけでは、パッケージの熱効率を正しく予測できません。

したがって、エンドユーザー環境でのコンポーネントの  $T_j$  予測値を得るには、もっと別のより正確な方法が必要です。そこで便利なのが、境界条件非依存型コンパクト熱モデル (BCI-CTM) です。このモデルは、より速く正確に  $T_j$  を予測することが可能です。

本稿では、さらに高速化、高集積化する FPGA コンポーネントの温度をシステム環境で予測する、より正確な方法について解説します。また、システム設計者とコンポーネント選定者が、デザイン前やインプリメンテーション段階で温度を見積もることを支援する、Virtex™-4 と Virtex-5 デバイスに対するコンパクト熱モデルのアベイラビリティおよびサポートについても紹介します。

## より正確な予測モデルの必要性

システム インプリメンテーションによつては、コンポーネントの実際の  $T_j$  は公表  $\Theta_{ja}$  を用いて算出した予測値と異なる場合があります。予測値は、システム内の環境と周囲の条件に依存するためです。この関係は次の等式で表されます。

$$\Theta_{ja} = \frac{T_j - Ta}{P}$$

これを  $T_j$  の予測式に変換すると次のようにになります。

$$T_j = Ta + P * \Theta_{ja}$$

$\Theta_{ja}$  はデバイスのジャンクション温度と周辺温度間の熱抵抗です。

$T_j$  = デバイスのジャンクション温度

$T_a$  = 周囲温度

$P$  = パッケージの消費電力

## $\Theta_{ja}$ - 誤解の多いモデル

$\Theta_{ja}$  は、既知の  $T_a$  を用いてコンポーネントの  $T_j$  を見積もる際、ほとんどのエンジニアが使ったがる熱パラメータです。しかし、周囲に他のコンポーネントがある大規模なマルチレイヤ システム ボードに採用されているワット数の高いコンポーネントに対しては、この方法では  $T_j$  の予測を誤ることがあります。

熱バジェットのマージンに余裕のあるデザインでは、公表  $\Theta_{ja}$  データを用いた単純予測ではほぼ問題ありません。実際、一般的なボードのほとんどは標準的な最大サーマルボードより効率的であるため、シス

図 1 Analysis Tech 社による  $\Theta_{ja}$  標準環境のインプレメンテーション

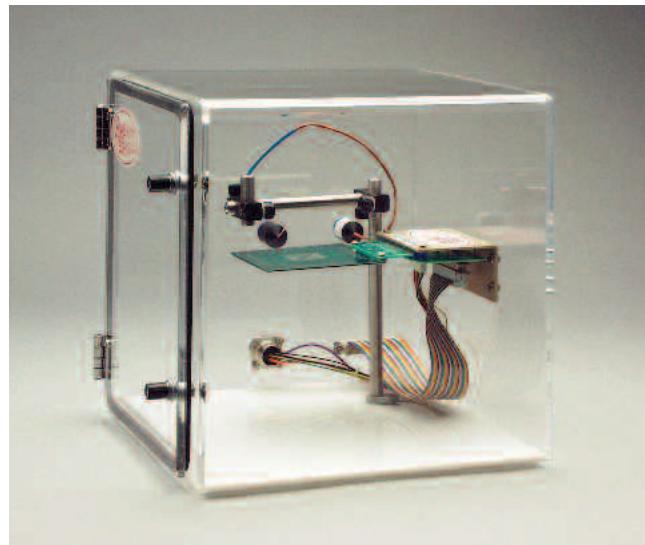


表 1 各種ボードにおける FF1136-XC5VLX50T の  $T_j$  マトリックス

| Xilinx 35 x 35mm<br>FF1136-5VLX50T* |    | ボードサイズ      |               |               |
|-------------------------------------|----|-------------|---------------|---------------|
| ボードの<br>レイヤ数**                      | 4  | 4" x 4" ボード | 10" x 10" ボード | 20" x 20" ボード |
|                                     | 4  | 68.2 °C     | 64.3 °C       | -             |
|                                     | 8  | 63.0 °C     | 50.9 °C       | 48.3 °C       |
|                                     | 12 | 60.4 °C     | 47.0 °C       | 45.7 °C       |
|                                     | 16 | 59.1 °C     | 46.6 °C       | 44.9 °C       |
|                                     | 24 | -           | 45.3 °C       | 44.0 °C       |

\*周囲温度 25°時のシングルコンポーネント

\*\*各レイヤは、2 オンス 20% 銅の外部レイヤを除き、1 オンス 80% 銅

$T_j$  と  $T_a$ 、 $P$  は簡単に算出できますが、特に複数の熱路を備えるパッケージの場合、アプリケーションにおける熱抵抗を求めるのは容易ではありません。 $\Theta_{ja}$  はアプリケーションの環境に大きく左右されることから、このパラメータだけでは最適な熱抵抗を表現しきれないのです。

テムは  $T_j$  予測値より低い温度で動作します。しかし、マージンに余裕のない、より高いワット数のコンポーネントを使う場合、特定のプログラムにそのコンポーネントを採用するかどうかは「控えめな」データで決める必要があります。

ここで覚えておきたいのは、 $\_ja$  はもと

もとこの種の予測に使用することを想定して作られたものではないということです。米国電子工業会の半導体標準化団体、JEDEC は、EIA/JESD51-2 で次のように説明し

図 2 CTM のトポロジー

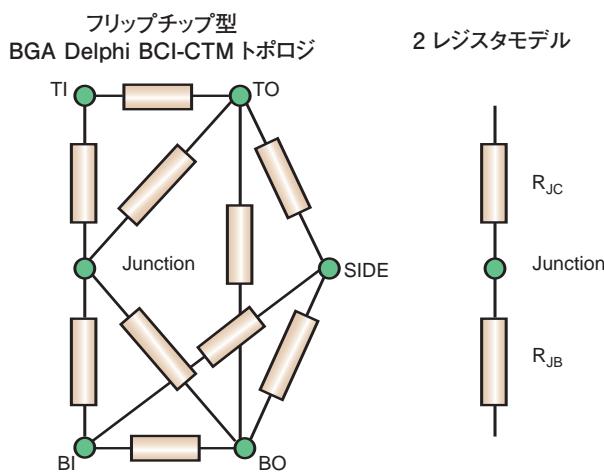
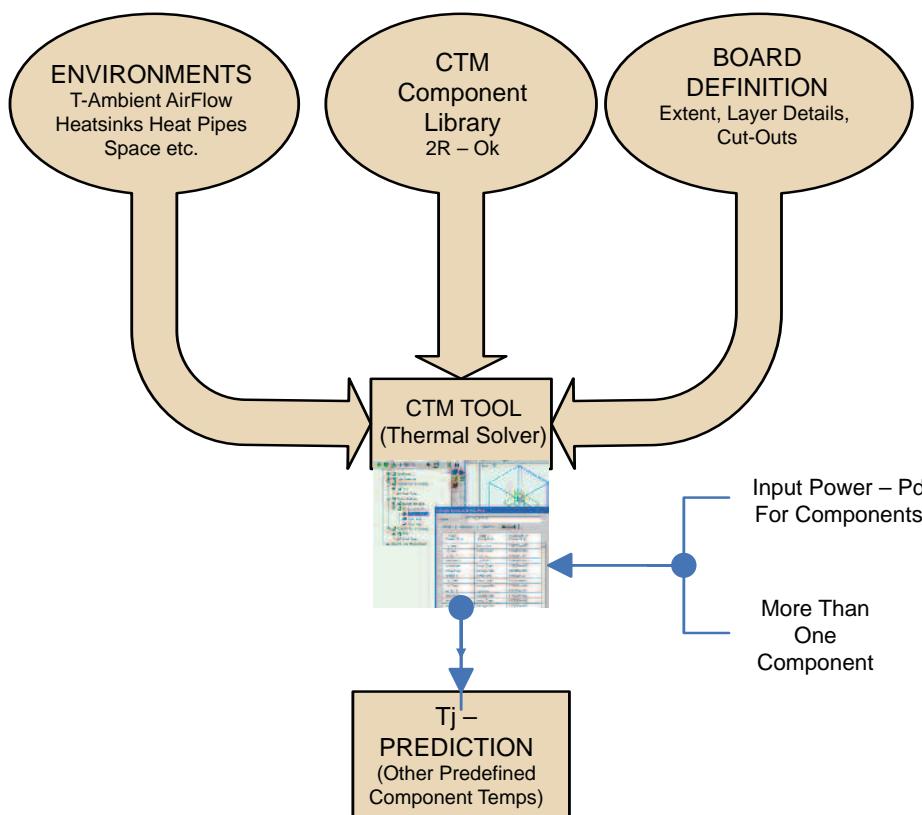


図 3 CTM アプリケーションの概念図



ています。「 $\theta_{ja}$  は、標準化した環境でパッケージ同士の熱性能を比較することだけを目的とする。この方法は、アプリケーション特有の環境におけるパッケージの性能を予測することを目的としてはおらず、実際予測することもできない」。

図 1 に、1 立法フィートの  $\theta_{ja}$  静止空気標準化環境の代表的なインプリメンテーションを示します。当然、これは一般的なシステム環境とは異なります。これらの数字はあくまでパッケージを効率的に比較するために使い、本格的な  $T_j$  予測については、もっと適したモデルを使用したツールで実施するのが理想的

です。

$T_j$  予測の落とし穴と潜在的な食い違いをわかりやすく解説するため、Virtex-5 のフリップチップコンポーネント、XC5VLX50T-FF1136 を見てみましょう。公表  $\theta_{ja}$  は  $10.8^\circ\text{C}/\text{W}$  です。 $T_j$  予測式は、4W の消費電力に対して周辺温度より  $43.2^\circ\text{C}$  高い値を示しますが、実際に詳しくシミュレーションするとこれよりずっと低い数値を示し、有効  $\theta_{ja}$  を  $5^\circ\text{C}/\text{W}$  近くまで低減させる必要があります。

表 1 に、さまざまな FR4 ボードサイズとレイヤ数について、消費電力 4W の同じコンポーネントに対する  $T_j$  を示します。この表から、環境や境界条件が有効  $\theta_{ja}$  に与える影響と、その結果  $T_j$  予測にどのような食い違いが起こるかがわかります。

一般に、有効  $\theta_{ja}$  は大きなボード環境では低い傾向があるものの、PDA や携帯電話などの閉ざされた場所の小さなカードでは高くなり、 $T_j$  の予測値を低く見積もってしまうことがよくあります。これは、 $\theta_{ja}$  が境界条件に依存しないことにも同じなことが言えます。JEDEC 準拠ボードで  $\theta_{ja} = 22^\circ\text{C}/\text{W}$  のコンポーネントは、30mm × 30mm のカードではいつも簡単に有効  $\theta_{ja} = 30^\circ\text{C}/\text{W}$  になってしまいます。

アプリケーション エンジニアの中には、ほとんどの高性能デバイスはより高密度で大型の PC 基板を使っているため、コンポーネント サプライヤはもっと大型でネットワーク アプリケーション カードに近い「JEDEC/ネットワーク ボード」を用いて  $\theta_{ja}$  を公表すべきだという意見があります。これは非常に良い提案で、次回の JEDEC フォーラムでぜひ取り上げてもらいたいものです。しかしながら、一部のアプリケーションでは、どのボードでデータ収集を行っても、正しい予測ができない場合があります。これ以上 JEDEC ボードと標準エンクロージャが追加されても、 $\theta_{ja}$  の種類が増えるばかりで、さらに混乱を招くだけです。もっと良い方法があるはずです。

## エンジニアはどうすべきか?

個々の環境で  $T_j$  を予測する際、エンジ

ニアは  $\Theta_{ja}$  に細心の注意を払う必要があります。 $\Theta_{ja}$  と熱抵抗のデータは一般的なものなので、ザイリンクスでは引き続きこれらデータを公表していきますが、用途に適したものを見直し採用し、それぞれの制約を考慮して使用する必要があります。

これらの制約に対処し、システム環境で  $T_j$  をより正確に予測するには、パッケージのモデルをいっそうリファインする必要があります。ザイリンクスでは、これに対応するため、高性能 FPGA デバイス向けにコンパクト熱モデルのデータを現在サポートしています。

表 2 FF676-XC5VLX50 に対する Delphi CTM 抵抗

| Delphi コンパクト<br>モデル (C/Watt) | Top Inner<br>(TI) | Bottom Inner<br>(BI) | Top Outer<br>(TO) | Bottom<br>(BO) | Outer<br>Side |
|------------------------------|-------------------|----------------------|-------------------|----------------|---------------|
| Junction                     | 0.22              | 1.25                 | 1.05              | 14.97          | --            |
| Top Inner (TI)               |                   | 16.14                | 4.45              | --             | --            |
| Bottom Inner (BI)            |                   |                      | --                | 9.47           | 11.1          |
| Top Outer (TO)               |                   |                      |                   | 14.55          | 3.18          |
| Bottom Outer (BO)            |                   |                      |                   |                | 4.72          |

## コンパクト熱モデルとは?

コンパクト熱モデルとは、ジャンクション、ケース、トップ、ボトム、ボールなど、パッケージの特定ノードにおける温度を正確に予測することを目的としたビヘイビア モデルです。パッケージ内のあるノードの温度は予測することができません。コンパクト熱モデルは、さまざまな境界条件に対するコンポーネントの反応をノード単位で抽象化したものと考えればよいでしょう。また、これは詳細な  $T_j$  モデルより演算効率に優れています。これらのモデルは、熱シミュレーションに詳細モデルの代用として互換性のある数値流体力学 (CFD) ツールで使用できるよう用意されています。

ザイリンクスは FPGA 製品向けに次の 2 種類のモデルを提供しています。

1. パッケージ用に広く知られている  $\Theta_{jc}$  および  $\Theta_{jb}$  からなる 2 レジスタ (2-R) のコンパクト モデル：幾何情報はありません。2-R モデルは利便性に優れ、従来の  $\Theta_{ja}$  による見積もりより正確に予測できますが、Delphi モデルほどの正確性はありません。

2. ダイを表すジャンクション ノードを複数の表面ノードに接続する、数個の熱抵抗からなる Delphi コンパクト モデル：表面ノード間に熱リンクを設けることができます。図 2 は、フリップチップ型 BGA Delphi コンパクト モデルのトポ

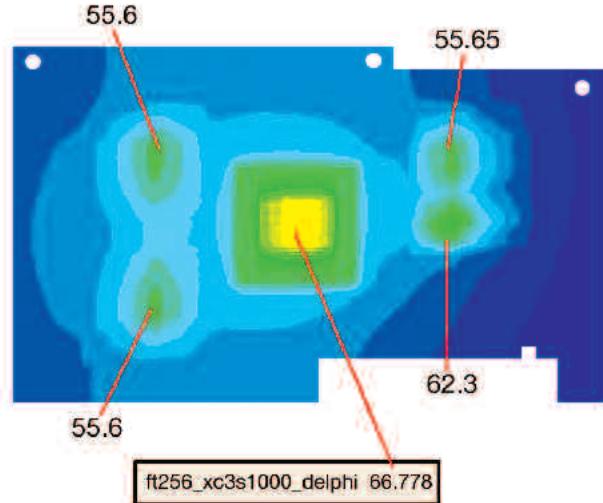
ロジーです。抵抗のマトリックスは、予測精度を犠牲にすることなく多くの環境で利用できるよう、Delphi 最適化アルゴリズムを通して最適化されています。

表 2 は、フリップチップ用の代表的な Delphi ハーフマトリックス モデルです。通常、抵抗データはノード定義およびパッケージ エクステン

ドと一緒に保存され、モデルを完成させます。

JEDEC では、CTM の配布に XML ベースの中立的なファイル フォーマットを提倡していますが、ザイリンクスでも、CFD ツールがそのフォーマットを採用してサポートする際に、サポートする予定です。それまでの間は、ユーザーへの事前調査をもとに選択した 2 種類の CFD ツール フォーマットである Flotherm と Icepak により、CTM ファイルを提供します。これらのツールで、調査の回答ユーザーのほとんどをカバーできますが、いずれも使用していないユーザーは、ASCII データを入手し、これを使ってツールに手作業で、もしくはスクリプトを用

図 4 静止温度の分布



いて入力することが可能です。

## アプリケーションの例

図 3 は、CTM アプリケーションの代表的なフローを示しています。通常、コンポーネントの CTM データはライブラリに格納され、ユーザーである設計者は CTM データをライブラリ アイテムとして使用します。次にアセンブリのボード属性と境界条件を指定し、コンポーネントの消費電力や他のコンポーネントによる熱など、その他のアイテムを追加して  $T_j$  を予測します。

次のケースにおける CTM 予測のメリッ



トを見ていきましょう。

### ケース スタディ #1:

#### バトルボードの温度見積もり

バトルボードとは、ザイリンクスが Virtex のコンポーネントにおけるシグナル インテグリティの問題を評価するために使用している、24 レイヤ、20 X 16 インチのボードです。このケースでは、ラボで測定した結果、Virtex-4 のコンポーネントのケース温度が  $\theta_{ja}$  の予測値よりかなり低いことがわかりました。20°C 近い差があったことがわかりました。放射「オン」の状態で CTM 入力を使用した Icelpak CFD モデルは、ラボで測定した値にかなり近い、より現実的な  $T_j$  を示しました。測定結果は表 3 にまとめてあります（報告された温度は T-case）。

### ケース スタディ #2:

#### 複数コンポーネントを備える小規模ボード

3.75 X 2 インチのボードを使うことにより、小規模ボードの影響や、隣接コンポーネントが目的のコンポーネントの  $T_j$  予測に及ぼす影響を知ることができます。このケースでは、 $T_j$  予測に及ぼす影響を測るために、アグレッサ コンポーネントをアクティブおよび非アクティブの状態にして BCI-CTM

の手法を使いました。

このケースで使われている高密度インターフェクト (HDI) ボードは、JEDEC 標準の 2S2P ボードより小型です。このボードに搭載されているザイリンクスの XC3S1000-FT256 コンポーネントの  $\theta_{ja}$  は 19.7°C/W です。周囲温度が 20°C でボードの入力がない場合、 $T_j$  は 39.7°C と予測できます ( $20 + P_d * \theta_{ja} [100 \text{ LFM}]$ )。

気流 100 リニア フィート/分 (LFM) の BCI-CTM は、ボード上の 1 個のコンポーネントに対して  $T_a = 20^\circ\text{C}$  で 55°C の  $T_j$  を示し、予測  $T_j$  はすでに JEDEC の予測より悪い値であることがわかりました。これは、PDA や MP3 プレイヤー、GPS システムなど、コンシューマ向け製品に小型、薄型のボードを採用している小規模コンポーネントに一般に見られる現象です。

図 4 は、それぞれ 0.25W を発生するチップサイズ パッケージ (CSP) コンポーネント 4 個を使用した場合のボードの温度の分布を示しています。このモデルでは、8 mm\_ の CSP コンポーネントに 2-R のデータ (公表 jb と jc) を使用しました。図 4 は、コンポーネントの温度を示しています。XC3S1000-FT256 コンポーネントは 65°C の  $T_j$  を発生し、シングル コンポーネントのケースよりさらに 10°C 上昇しています。シングルおよびマルチコンポーネントの実験は、いずれも Delphi CTM を使用した伝導ベースのツールで 4 分未満で

完了しました。これらの予測値は、基本的な  $\theta_{ja}$  パラメータでの予測値とは明らかに異なることがわかります。

### 結論

システム内の高性能コンポーネントに対するジャンクション温度を予測する際に、基本的な  $\theta_{ja}$  に依存するのは不十分で誤差が生じるため、システムに最適なコンポーネントを選択することができません。ザイリンクスは、この欠点を解消するため、スタンダードアロンでの計算とシステム展開の際に  $T_j$  を予測できるよう、コンパクト熱モデルを用意しています。

CFD ツールでこれらのモデルを使うことにより、ユーザー環境とボード条件を考慮に入れながら  $T_j$  を予測できます。同じ予測値は詳細パッケージ モデルを用いて求めることもできますが、これら CTM モデルは、ノード数が少なくてすむことから演算効率に優れた高速ソリューションとなります。

Virtex-4 と Virtex-5 の CTM データは、[http://japan.xilinx.com/xlnx/xil\\_sw\\_updates\\_home.jsp](http://japan.xilinx.com/xlnx/xil_sw_updates_home.jsp) からダウンロードできます。将来の高性能 FPGA 製品は、サーマル コラテラルの一部として Delphi モデルをダウンロードできるようになる予定です。また、Virtex-II と Virtex-II Pro デバイスや、旧型の Spartan™ FPGA、CPLD 製品などの旧製品についてもユーザーからの要望に応じてサポートする予定です。

図 4 「バトルボード」の温度予測

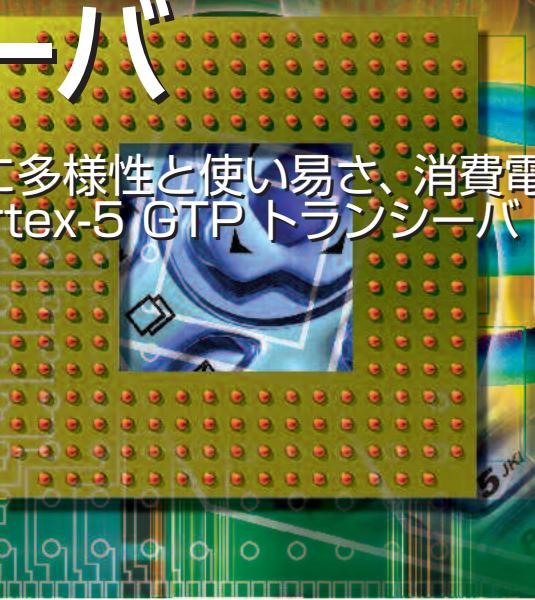
| Hand Calc  | Reported   | ICEPAK CFD solution < 4 min   |  |
|--|--|---|--|
| $T_j - JA = 10.6^\circ\text{C}/\text{watt}$<br>(1-R model $T_a = 25^\circ\text{C}$ ) | Battleboard $T_c$<br>$T_a = 25 - 27^\circ\text{C}$ | $T_j$ ; 2-Resistor Model<br>$T_a = 25^\circ\text{C}$<br><br>$J_B = 2.6$ and<br>$J_C = 0.19^\circ\text{C}/\text{watt}$ | $T_j$ : Delphi Model<br>as Published<br>( $T_a = 25^\circ\text{C}$ ) |
| 67.4°C   | 46.4°C   |   |  |
|  |  | 48.8°C  | 43.9°C   |

# A Multi-Gigabit Transceiver for the Masses

# 幅広い用途をカバーする マルチ ギガビット トランシーバ

量産用アプリケーションに多様性と使い易さ、消費電力低減、  
コスト効果をもたらす Virtex-5 GTP トランシーバ

Gang Sun  
Senior Product Marketing Manager, High-Speed Serial I/O  
Xilinx, Inc.  
[gang.sun@xilinx.com](mailto:gang.sun@xilinx.com)



システムのバンド幅の拡大に対する絶え間ない要求に応えるため、パラレル バスや低速トランシーバからシリアル トランシーバをベースとするシリアル インタフェイスへ移行してきました。高速シリアル伝送はデザイン上の多くの課題を解決し、バンド幅の向上に加え、システムの総コストと消費電力のさらなる低減をもたらします。

過去の成功を見てきたエンジニアの中には、半導体業界がトランシーバの高速化を実現することで自然と総コストや消費電力が低減すると考えている方もいます。しかし、3Gbps を超えると、従来とはまったく異なる設計上の課題が生じ、システムの総コストと消費電力の低減が困難になる場合があります。理由は簡単です。3Gbps 以上ではシグナル インテグリティの維持が極めて困難になるうえ、追加のオーバヘッドがデータ レートの向上に伴うメリットを打ち消してしまうからです。

## ソフトウェア開発チームの言い分

図 1 は、旧来のバックプレーン チャネルに伴う周波数損失とクロストークを示しています。1.6GHz では、損失を無理なく補償し、3.2Gbps 以下のトランシーバのインプリメンテーションにそれなりのコスト効果と電力効率を達成します。

ところが、3GHz では、損失が著しく増大します。この結果、6Gbps のバックプレーン トランシーバをインプリメントするには、異なる機能が必要です。おそらくシグナル インテグリティを維持するためのデジジョン フィードバック イコライゼーション (DFE) のような高度なテクニックが必要になり、こうした高度な機能は従来と異なる最適化された機能を必要とします。

3Gbps のトランシーバが一般にチャネルあたり 100mW 未満の消費電力であるのに対し、DFE を採用した 6Gbps トラン

シーバが少なくとも 2 倍の電力を消費するのはこういう理由からです。このような先進機能を必要とするアプリケーションの場合、この追加の消費電力が重要なトレードオフになります。とはいって、低消費電力の 3.2Gbps トランシーバや、最先端アプリケーション向けの高性能トランシーバの両方を提供する一本質的にはその仕事に見合うツールを提供することができれば非常に有効です。

5GHz では、信号対雑音比 (SNR) はマイナスになります。その場合、10Gbps で伝送するよう、より高価な材料とより高度な製造技術を用いてバックプレーン全体をデザインし直す必要があります。この結果、バックプレーンを介して 10Gbps のシリアル伝送を達成すると、チップ エリアや消費電力の点からよりコスト高になります。

これらの例から、3.2Gbps 以下で動作するトランシーバが最適なことがわかります。



このトランシーバは、大多数のインターフェイク アプリケーションにとって、パラレル インターフェイスや、6Gbps と 10Gbps で動作する超高速トランシーバより費用対効果と電力効率に優れているためです。この現象は、トランシーバ市場における次に示す 2 つのトレンドにつながりました。

1. テラビット ルータ用のバックプレーン インターコネクトなど、膨大なバンド幅を使用するアプリケーションは、6Gbps と 10Gbps のトランシーバを必要とします。これらアプリケーションは、コストと消費電力のバランスを取りつつ、さらなる性能の限界に挑戦し続けていくことになります。
2. 量産用アプリケーションは 3.2Gbps 以下で動作するトランシーバで十分対応できます。

## Virtex-5 RocketIO GTP トランシーバ

ザイリンクスは、高性能市場セグメントのさまざまな要件をしっかり認識しており、量産市場セグメントは場合により相反する要求を抱えていることも理解しています。シリアル プロトコルの大多数は 3.2Gbps 以下で動作します。その例としては PCI Express® や Gigabit Ethernet、XAUI、SATA I および II、Serial RapidIO、CPRI、OBSI、

そして HD-SDI が挙げられます。JEDEC のデータ コンバータ インターフェイスや VESA の DisplayPort など、最近登場したプロトコルの多くも、これらの比較的遅いデータ レートで動作します。現実には、現在のトランシーバ アプリケーションの 90% 以上は、3.2Gbps 以下で動作するプロトコルで使用されています。したがって、3.2Gbps 以下で動作するトランシーバは非常に幅広い用途をカバーできるわけです。

ザイリンクスは、Virtex™-5 FPGA ファミリ向けに 2 種類のトランシーバを開発するという革新的な手法を取りました。最初のトランシーバ、Virtex-5 RocketIO™ GTP (Gigabit Transceiver with low Power) は、量産アプリケーション向けにデザインされており、100Mbps から 3.2Gbps までのデータ レートをカバーします。大多数のシステム設計者をターゲットにしたこの GTP トランシーバは、柔軟で使いやすく、電力効率と費用対効果に優れています。

GTP トランシーバが柔軟なのは、PCI Express® などの 8B/10B ベースのプロトコルをサポートするだけでなく、SONET のようなスクランブリング ベースのプロトコルもサポートするためです（表 1 は、GTP トランシーバがサポートするアプリケーションのリスト）。この結果、GTP トランシーバはまさに無限のアプリケーションをサポートする

ことができるのです。また、GTP トランシーバの検証やキャラクラライゼーションは、標準に準拠するよう、アプリケーション固有の設定で行われます。デザインやキャラクタライゼーションにこうしたアプローチを採用することで、GTP トランシーバは普遍的な魅力を持っているのです。

GTP トランシーバは数々の優秀な FPGA CAD ツールをサポートすることから、使い勝手にも優れています。ザイリンクスの Virtex-5 RocketIO GTP トランシーバのウィザードは、直感的な GUI インターフェイスを備え、GTP やクロック オプション、FPGA ファブリック インターフェイス、プロトコル スタック、エンコーディング／デコーディング メカニズムなどを選択できます。選択が終わると、ツールは必要な機能を搭載する GTP ラッパを生成します。

ザイリンクスの ChipScope™ Analyzer は、トランシーバに組み込まれた内蔵型のビット エラー レート テスタ (IBERT) 機能を使うことで、GTP トランシーバの自己テスト機能を提供しています。ChipScope の IBERT コンソールは図 2 のとおりです。

ChipScope Analyzer に用意されてい

図 2 ChipScope の IBERT コンソール

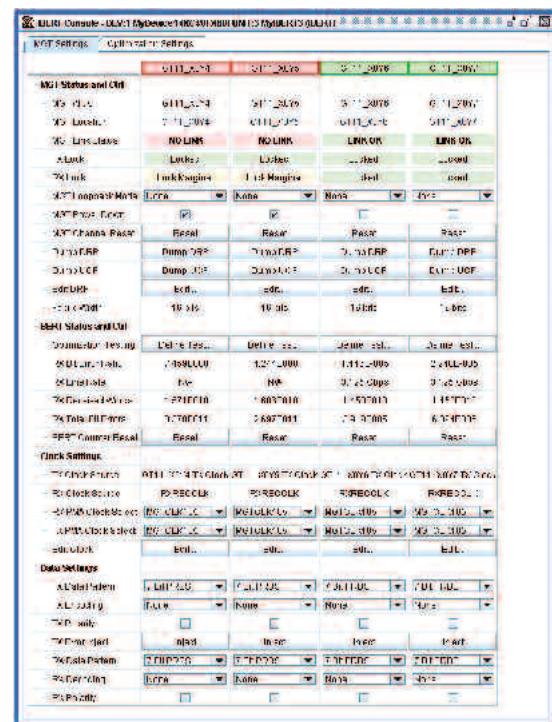
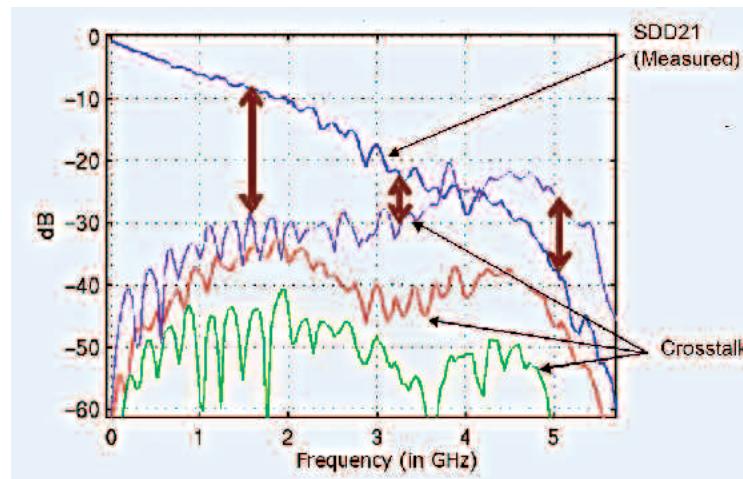


図 1 チャネル S パラメータとクロストーク





る先進機能としては、チャネル パフォーマンスの測定機能、Tx および Rx の最良の設定値を探すための自動アイ スキャン機能、およびトランザクションとリンクのステータス レポート機能などがあります。このようにツールに包括的な機能が用意されていることで、GTP トランシーバを利用するデザイナーと製造工程を大幅に簡素化し、多種多様なアプリケーションを可能にします。

プリント 基板がますます高密度化する中、トランシーバの消費電力が重要視されています。このため、GTP トランシーバのデザインにあたっては、電力効率の向上が主な目標とされました。GTP トランシーバあたりの平均消費電力は 100mW をはるかに下回り、場合によっては 60mW のことさえあります。GTP トランシーバの低消費電力という普遍的な魅力は、消費電力の低減を目指すアプリケーションにとって、その競争力をいっそう高めているのです。

量産アプリケーションがエンベデッド トランシーバを採用し始めた今、コストも重要な判断材料になっています。ザイリンクスはこれに応えるため、特定のソリューションをルックアップ テーブル (LUT) ではなくハード ロジックで提供しています。たとえば、ハード IP 化された PCI Express プロトコルスタックには、GTP トランシーバをベースとする物理レイヤ、リンク レイヤ、トランザクション レイヤがあります。このアプローチはソリューションの総コストを大幅に削減し、費用対効果を向上するため、GTP トランシーバをベースとするソリューションは利潤の多い量産アプリケーションにとっていっそ魅力的な選択肢なのです。

## 結論

3.2Gbps 以下のトランシーバは最もバランスに優れています。トランシーバ ベースのアプリケーションのほとんどは、このデータ レート幅に収まります。ザイリンクスの Virtex-5 GTP トランシーバは、その柔軟性、使いやすさ、電力効率、費用対効果の点から、この市場に理想的な製品で幅広い用途をカバーするマルチ ギガビット トランシーバと言えるでしょう。

表 1 GTP によりサポートされるアプリケーション

| 市 場                  | 標 準                                    | スピード<br>(1秒あたりのビット数)                 | 主な特長  |
|----------------------|--|--------------------------------------|---|
| 通 信                  | OC-3/SDH STM-1                         | 155 Mbps                             | ・同期オペレーションのためにバイパスされる FIFO  |
|                      | OC-12/SDH STM-4                        | 622 Mbps                             |   |
|                      | OC-48/SDH STM-16                       | 2.488 Gbps                           |   |
|                      | OBSAI (Issue 1.0)                      | 768 Mbps<br>1.536<br>3.072 Gbps      |   |
|                      | CPRI (Version 2.0)                     | 614 Mbps<br>1.228 Gbps<br>2.457 Gbps |   |
|                      | SFI-5                                  | 2.448 -3.125 Gbps                    | ・同期クロック<br>(バイパス FIFO)  |
| データコム                | 1G Ethernet (802.3z D5.0)              | 1.25 Gbps                            |   |
|                      | XAUI (802.3ae D5.0)                    | 3.125 Gbps                           | ・信号消失 (LOS)   |
|                      | 10G Base CX-4                          | 3.125 Gbps (x4)                      |   |
| コンピュータ/<br>コミュニケーション | PCI Express Specification<br>(Rev 1.1) | 2.5 Gbps                             | ・Tx レシーブ ディテクト<br>・信号消失/アイドル<br>ステート ディテクト<br>・低消費電力ステート<br>/OOB ビーコン<br>・グランド リファレンス<br>ターミネーション |
|                      | Serial Rapid IO                        | 3.125 Gbps                           | ・1.25~3.125Gbps の全<br>データレートをサポート   |
|                      | InfiniBand                             | 2.5 Gbps                             |   |
| ストレージ                | Fibre Channel (Rev4.0)                 | 1.0625 Gbps<br>2.125 Gbps            | ・レート ネゴシエーション:<br>Tx と Rx は異なる速度<br>でオペレート可能  |
|                      | SATA (Rev1.0a)                         | 1.5 Gbps<br>3.0 Gbps                 | ・Gen1/Gen2 向けレート<br>ネゴシエーション<br>・信号消失と OOB のシグ<br>ナリング ビーコン                                       |
|                      | SAS (Rev5)                             | 1.5 Gbps<br>3.0 Gbps                 |   |
| ビデオ                  | SDI                                    | 143 Mbps<br>176 Mbps<br>270 Mbps     | ・内部 AC カップリング キ<br>ヤップは ビデオ標準に合<br>わせてバイパス<br>・2.97Gbps は新しいHD-<br>SDI 標準で開発中                     |
|                      | DVB-ASI                                |                                      |   |

# Introducing the Virtex-5 Endpoint Block for PCI Express

# Virtex-5 PCI Express

# エンドポイント ブロック

高バンド幅インターフェクトの標準となりつつある PCI Express の利用により、コンフィギュブル シングルチップ ソリューションを可能にする Virtex-5 LXT PCI Express エンドポイント ブロック



**Doug Kem**  
Staff System Design Engineer  
Xilinx, Inc.  
[doug.kem@xilinx.com](mailto:doug.kem@xilinx.com)

現在デスクトップ PC のマザーボードやグラフィックス市場で採用されている PCI Express® は、サーバ、エンタープライズ、モバイル、ワークステーション、ネットワーキング、通信、工業用制御装置、そして医療機器の市場における独占的な高バンド幅インターフェクトとして、PCI と PCI-X に取って代わろうとしています。

Express Card から Advanced TCA、Compact PCI Express、Com Express、さらにケーブル仕様を含めて 58 以上のフォーム ファクタに対応する PCI Express プロトコルは、いたるところで採用されつつあります。PCI-SIG (PCI Special Interest Group) は、PCI と PCI-X 仕様に加え PCI Express 仕様も管理しており、コン

プライアンス ワークショップを実施しています。

PCI Express は、バス規格である PCI と PCI-X の制約を取り払い、これら規格を置き換えるポイント ツー ポイントのインターフェイスです。PCI Express Generation 1 (Gen1) は、低電圧差動信号処理 (LVDS)、エンベデッド 8B/10B エンコーディング、デュアル シンプレックス信号処理、メッセージ ベースのシリアル プロトコルを特長とし、2.5Gbps の伝送スピードを提供します。

Generation 2 では 5Gbps に、また Generation 3 では 10Gbps にバンド幅を増強する予定であることから、PCI Express は今後数年間、独占的な高バンド幅インターフェクトになるものと予想されます (PCI Express 仕様やコンプライアンス情報の詳細は、<http://www.pcisig.com/> をご覧ください)。

ザイリンクスの PCI Express エンドポイント ブロックは、x1 ~ x32 レーンの

スケーラブルなレーン幅に加え、トラフィック クラスや仮想チャネル、ホット プラグ、電源管理といった先進機能を備えており、PCI から x1 レーン PCI Express エンドポイント デバイスへの単純なアップグレードから、先進の高バンド幅 x8 レーン PCI Express 通信エンドポイント デバイスにいたるまで、幅広いアプリケーションをサポートします。

図 1 は、PCI Express システムのトポロジです。ルート コンプレックスに CPU が接続されており、この CPU はシステム内のすべてのプラグ&プレイ PCI Express エンドポイント デバイスをコンフィギュレーションしたり列挙したりします。PCI Express システムはポイント ツー ポイントであることから、システム内のデバイスやエンドポイントの数を増やすにはスイッチ デバイスが必要になります。スイッチは、1 個のアップストリーム ポートと多数のダウンストリーム ポートを持っています。システムの稼動デバイスやエンドポイントには、ダウ



ンストリーム ポートで接続します。

システムにはルート コンプレックスは 1 つしかありませんが、エンドポイント デバイスは複数搭載されています。たとえば、標準的な PC のマザーボードは 3 ~ 7 個の拡張用 PCI Express スロットを装備しています。PCI Express エンドポイント ブロックを内蔵するザイリンクスの Virtex™-5 LXT FPGA では、付加価値の高い PCI Express エンドポイント デバイスを短期間で開発、展開が可能です。コンフィギュアルな Virtex-5 LXT PCI Express エンドポイント ブロックは、数々の高付加価値エンドポイント デザインを採用するアプリケーションに活用できます。

## Virtex-5 LXT PCI Express エンドポイント ブロック

Virtex-5 LXT PCI Express エンドポイント ブロック (図 2) は、PCI Express エンドポイント デバイスの物理レイヤ (PHY) やデータ リンク レイヤ (DLL)、トランザクション レイヤ (TL)、コンフィギュレーション レイヤをハード ブロックとしてインプリメントします。小さなりセット回路とクロック生成ブロックをインプリメントするには、FPGA アプリックを使う必要があります。

PCI Express エンドポイント ブロックには次のような特長があります。

- PCI Express ベース スペック、rev 1.1 に準拠
- PCI Express エンドポイント ブロックとレガシー PCI Express エンドポイント ブロックのいずれもインプリメンテーションが可能
- x8、x4、x2、x1 のレーン幅
- 慣れ親しんだザイリンクスの LocalLink インターフェイスに似通った使いやすいユーザー インターフェイス
- RocketIO™ GTP トランシーバの統合
- スプレッド スペクトラム クロック (SSC) のサポート
- 低消費電力での動作
- 電源管理のサポート
- バッファリングにオンチップ ブロック

RAM を使用可能

- フル バッファされた送受信
- PCI Express コンフィギュレーション スペースと内部コンフィギュレーション にアクセスするためのマネージメント インターフェイス
- フル レンジの最大ペイロード サイズをサポート (128 ~ 4,096 バイト)
- 最大 2 つのバーチャル チャネル (VC)
- VC アビトレーション：総当りか重み付け総当り、または厳格なプライオリティ
- 6 X 32 ビットか 3 X 64 ビットのベース アドレス レジスタ (BAR)、または 32 ビットと 64 ビット BAR の組み合わせ
- メモリや I/O に応じて設定可能な BAR
- メモリ BAR チェッキング／フィルタリング
- 非メモリ トランザクション レイヤ パケット (TLP) の ID チェッキング／フィルタリング
- 1 個の PCI Express ファンクションをインプリメント

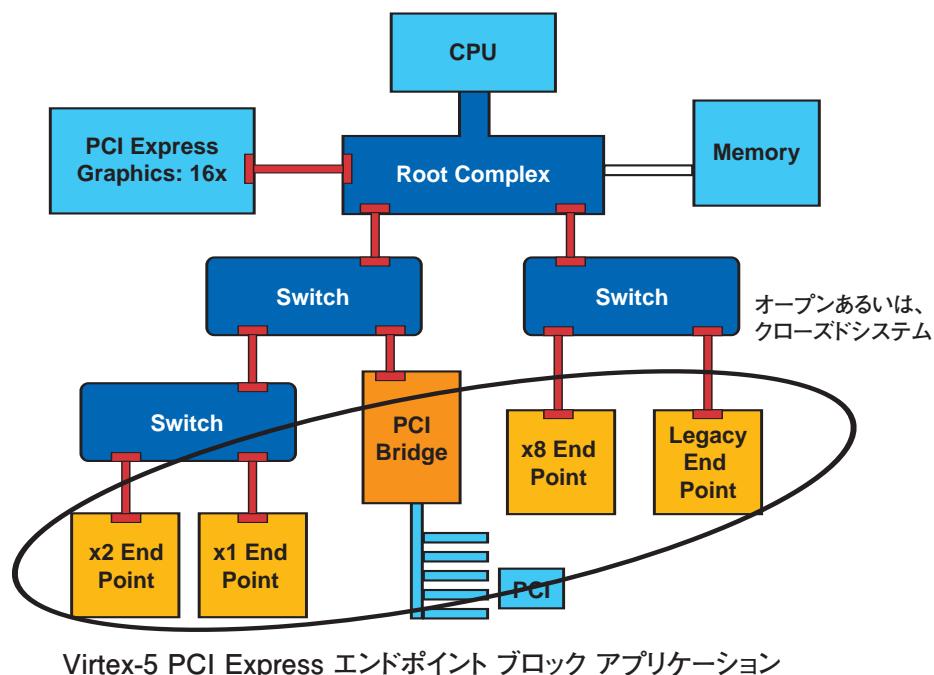
- プログラマブルな信号処理アブリックによる統計コレクションとモニタリング
- 完全なドキュメンテーションとサンプル のリファレンス デザイン

Virtex-5 GTP トランシーバは、PCI Express 仕様のシリアル差動電気信号にインターフェイスします。PCI Express ブロックは、レーン デスキューを提供する物理ロジックをすべて備えています。DLL はデータインテグリティを担当し、ユーザーがサイズの設定が可能なリトライ バッファをインプリメントします。このリトライ バッファは、アプリケーション ソフトウェアからの再要求がなくても、誤って受信されたパケットを再送します。TL は Tx および Rx バッファを提供し、送信パケットに順番を付けます。8 つのトラフィック クラスと 2 つの仮想チャネルに対応することから、パケット アビトレーションに卓越した柔軟性を実現しています。

## 高レベルな統合

Virtex-5 PCI Express エンドポイント

図 1 PCI Express のトポロジ





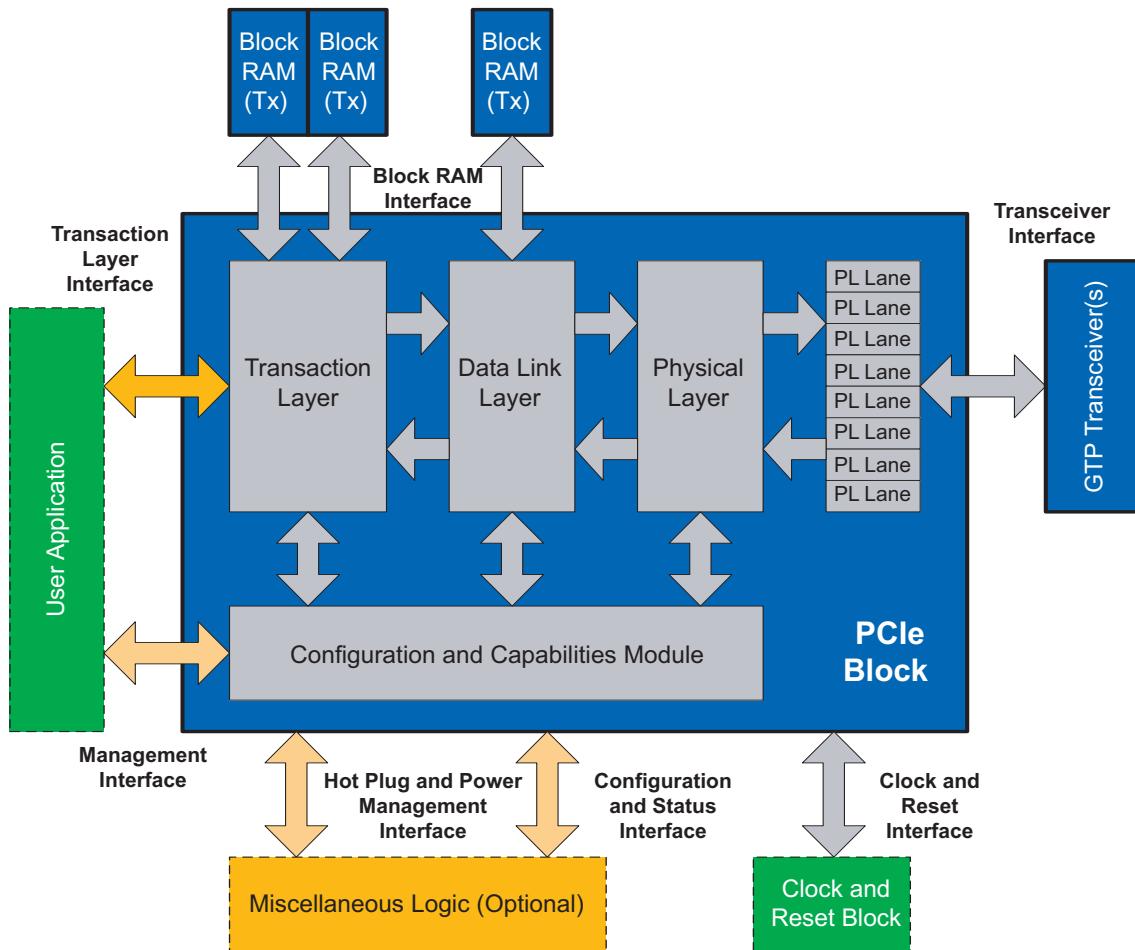
ブロックを使うことで、ほとんどすべての FPGA プログラマブル ファブリックを高付加価値のエンドポイント アプリケーション デザイン用として残しておきながら、1 つの FPGA で 1 個のエンドポイント デバイスをインプリメントできます。PCI Express ブロック、GTP トランシーバ、ブロック RAM の組み合わせにより、低消費電力、高バンド幅のコンフィギュアブルな PCI Express エンドポイント ポートに必要なロジックの大部分を構築できます。GTP トランシーバは、PCI Express の電気仕様に準拠しながら、Gen 1 の 2.5Gbps シリアル レートをサポートします。トランシーバの新機能としては、ビーコンや電気的アイドルの検出といった電源管理のサポートと、PC システムのマザーボードで必要となるスプレッド スペクトラム リファレンス クロックのサポートなどがあります。

ブロック RAM は、1 つか 2 つの仮想チャネルをサポートする任意のパケット サイズに対して、Tx および Rx FIFO と一緒にスケーラブルでユーザー設定可能なリトライ メモリを提供します。PCI Express ブロックや GTP トランシーバ、ブロック RAM の複雑なコンフィギュレーション オプションに加え、クロックおよびリセット ロジックを備えていることで、ソフトウェアで自動的にこれらファンクションを素早く正確にコンフィギュレーションして相互接続することができます。

GUI を通してラッパを提供し、PCI Express ブロックの使い勝手を高めると共に、高バンド幅の PCI エンドポイント ブロックのコンフィギュアブルな特長や機能にさらなる柔軟性を持たせます。PCI Express ブロックのコンフィギュレーション機能は、いくつかのセルフチェック メニューとインスタンス フィードバック メニューで提供されており、これらメニューに従いながら主なデザイン エレメントを設定できます（図 3）。

LogiCORE ラッパは、PCI Express ブロックを GTP トランシーバとブロック RAM に接続します。また、これらのラッパはクロックおよびリセット ロジックのブロックを作成して PCI Express ブロックに接続します。クロックおよびリセット RTL のブロックをカスタマイズすることで、高度なシステム要件にも対応できます。PCI Express エンドポイント ブロックにさま

図 2 ザイリンクスの Virtex-5 LXT PCI Express エンドポイント ブロック





さまざまなハードウェア リソースを接続することに加え、このラッパはザイリンクスの LocalLink に似通ったユーザー フレンドリーなインターフェイスやメモリ BAR、非メモリ TLP の ID チェッキングとフィルタリングなど、付加価値の高い機能を提供します。

## すぐに PCI Express を使うために

Virtex-5 LXT デバイスに Virtex-5 PCI Express ブロックを搭載したことでのブロックと PCI Express ラッパをサポートするだけでなく、システム デザインを支援する広範な機能も用意されています。製品パッケージには、メモリ エンドポイントとプログラム I/O (PIO) リファレンス デザインが同梱されています。これらのデザインは、教育材料として役立てることが可能で、シンプルなユーザー アプリケーションをすぐに立ち上げてハードウェアでテストすることができます。

さらに、このリファレンス デザインは PCI-SIG に準拠しているため、Virtex-5 デバイスで PCI Express ブロックを使っていち早くこれに準拠したデザインの設計が可能になります。さらにザイリンクスは、PCI Express システムの構築とテストが容易に実現できるよう、ML523 キャラクタライゼーション ボードや ML505 エンベデッド デザイン リファレンス ボード、ML555 x8 レーン対応 PCI Express ボードなど、一連のハードウェア リファレンス ボードを用意しています（図 4）。

コンプライアンス テストを実施するには、PC マザーボード システムとの相互運用性を実証するため、実証可能なファンクションやハードウェア ボード、ソフトウェア デバイス ドライバ、アプリケーション ソフトウェアを備えたデザインが必要です。メモリ エンドポイントと PIO リファレンス デザインはこれらすべてを提供しています。Windows XP、Windows Server 2003、Windows Vista、Linux 用のサンプル デバイス ドライバは、ご要望に応じて提供しています。リファレンス デザインはメモリ アパチャをエミュレートすることが可能で、デ

図 3 ザイリンクス CORE Generator の GUI

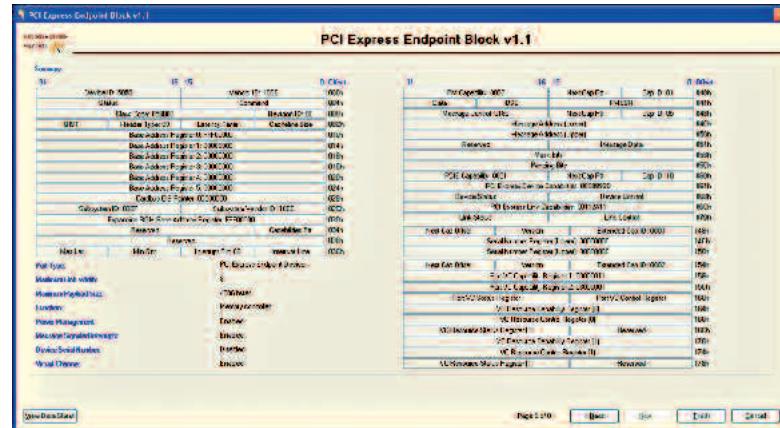
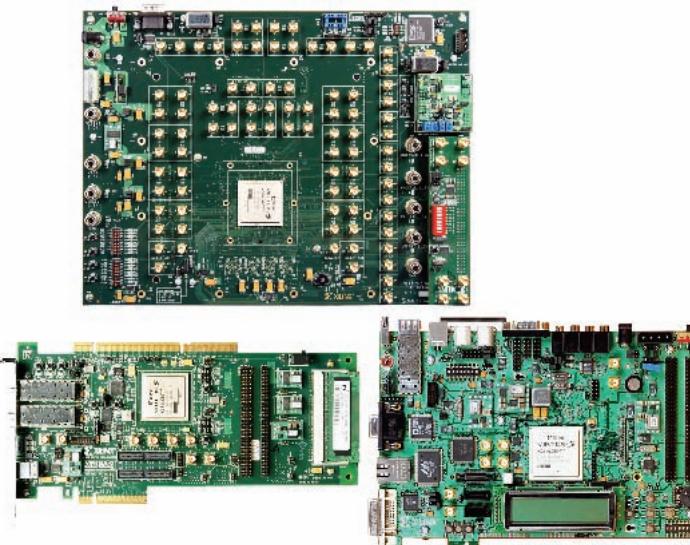


図 4 ML523、ML555、および ML505 Virtex-5 LXT PCI Express ハードウェア リファレンス ボード



ザインの動作を検証するためシンプルなテストが用意されています。

この Virtex-5 LXT デバイスとザイリンクスのリファレンス ハードウェア ボードは、PCI-SIG インテグレータ リストに掲載されています。PCI-SIG に準拠するザイリンクスのソリューションについては、[http://www.pcisig.com/developers/compliance\\_program/integrators\\_list/pcie/](http://www.pcisig.com/developers/compliance_program/integrators_list/pcie/) をご覧ください。

## 結論

Virtex-5 LXT PCI Express エンドポイン

ト ブロックや GTP トランシーバ、ブロック RAM などが極めて高レベルな統合が実現されていることから、設計者は高性能で完全準拠の PCI Express システムを効率的かつ短期間で構築できます。ザイリンクスは、使いやすさやレガシー デザインからのマイグレーション、パワフルでありながら柔軟な特長や機能、システム レベルのコンプライアンス、そしてコスト削減という、エンデューザーの要求に重点を置きながら Virtex-5 PCI Express ソリューションを開発、製品化を行いました。

詳細は、<http://japan.xilinx.com/virtex5/> をご覧ください。





# PCI Express Markets, Trends, and Applications

## PCI Express 市場のトレンド

消費電力削減や省スペースを実現する Virtex-5 LXT デバイスに内蔵の PCI Express ソリューション

Navneet Rao

Technical Marketing Manager, Horizontal Platform Solutions

Xilinx, Inc.

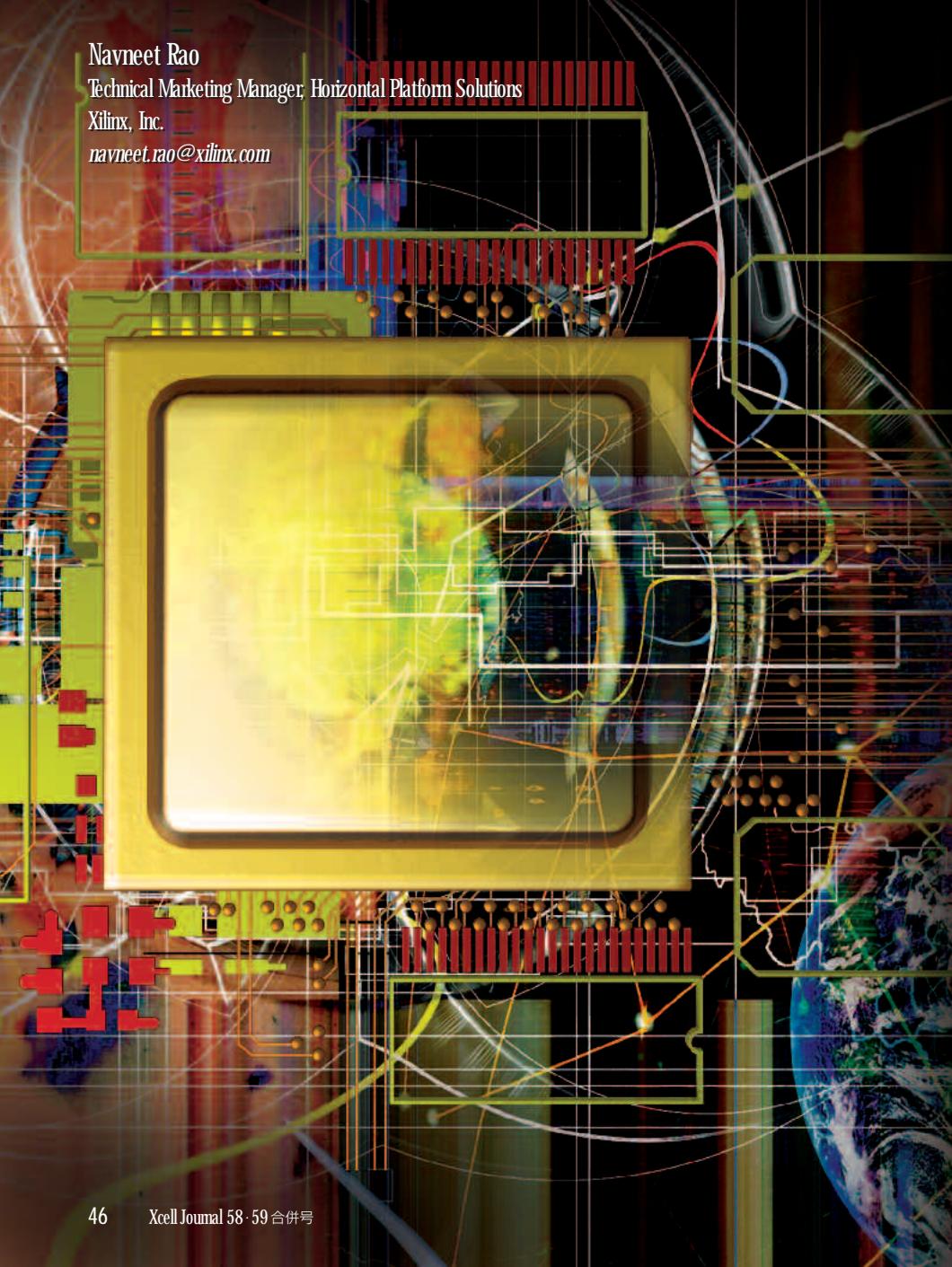
[navneet.rao@xilinx.com](mailto:navneet.rao@xilinx.com)

iPod ビデオや YouTube のようなブログサイトを見ればわかるとおり、現在、一般消費者の間ではマルチメディア機器が急速に普及しています。消費者が膨大なデータを扱うようになったことで、より効率的なストレージやより高速なコネクティビティが必要不可欠になっています。

今日、処理速度から高速インターフェクトに重点が移り、メガヘルツではなくギガビット／秒でスピードを論じるようになりました。これに伴い、多数のシリアル規格が登場しました。これらの規格のきっかけとなった主な市場ニーズは次のとおりです。

- ・スケーラブルなパフォーマンス
- ・多彩な使用モデル（チップ間、バックプレーン、ケーブル）に適応する拡張性の高い機能セット
- ・複数の市場セグメントやアプリケーションに対応するインターフェクト
- ・主流となっている量産技術への費用対効果の高いソリューションのインプリメンテーション

そこで、今後有望なシリアル規格となるのが、PCI と PCI-X からのスケーラブルなバスを用意するため 2002 年に発表された第 3 世代の I/O インターフェクト、PCI Express です（表 1）。PCI Express は既に PC 業界の標準規格となっており、他のアプリケーションでも急速な勢いで広がりつつあります（図 1）。PCI Express は、スケーラビリティや拡張性の高い機能セット、複数市場への適応性、費用対効果の点で非常





れています。

PCI Express の主な特徴は次のとおりです。

- レーンあたり 2.5Gbps の回線速度で双方方向通信を提供する高速シリアル規格
- モジュラ デザインを可能にするレイヤ型、パケットベースのアーキテクチャ
- スケーラビリティによるバンド幅の拡大（最大 80GB） – 1, 2, 4, 8, 16、および 32 レーン
- 信頼性、電力管理、ホット プラグなどの先進機能
- 仮想チャネル、トラフィック クラス、サービス クオリティ（QoS）を通して次世代の三次元／マルチメディア トラフィックをサポート
- 新しいフォーム ファクタや革新的デザインにより使い勝手を高め、複数の市場セグメントをターゲットにしたアプリケーションを実現
- レガシーな PCI アーキテクチャやインフラストラクチャをサポートすることでソフトウェア資産を保護

ザイリンクスは、多くの支持とデザイン ワインを獲得し、また多くのユーザーからのフィードバックにより、PCI Express がユーザーのアプリケーションにどのような利点を提供するかを熟知しています。ザイリンクスは、将来起こりうる問題を今のうちに解決するソリューションを開発すると共に、変化の速い潮流に乗り遅れないためにも、Virtex™-5 LXT デバイスにハード PCI Express エンドポイント ブロックを搭載しました（図 2）。

PCI Express エンドポイント ブロックの主要な特徴は次のとおりです。

- PCI Express ベース仕様 v1.1 のフル機能装備・準拠
  - 非常にコンフィギュブルな PCI Express エンドポイント ソリューション
- PCI プラグテストで標準準拠と相互運用性テストに合格済み ([http://www.pcisig.com/developers/compliance\\_program/integrators\\_list/pcie/](http://www.pcisig.com/developers/compliance_program/integrators_list/pcie/))

表 1 PCI Express のトポロジ

| PCI 仕様           | バス     | 通信速度       | レーン      | 回線速度   | データの最高バンド幅                |
|------------------|--------|------------|----------|--------|---------------------------|
| PCI 1.0          | 32bits | 33MHz      |          |        | 133Mbps (half-duplex)     |
| PCI 2.x          | 64bits | 33~66MHz   |          |        | 266~533Mbps (half-duplex) |
| PCI-X 1.x        | 64bits | 133MHz     |          |        | 最高 1Gbps (half-duplex)    |
| PCI-X 2.0        | 64bits | 266~533MHz |          |        | 最高 4Gbps (half-duplex)    |
| PCI Express 1.x  |        |            | 1 レーン    | 2.5GHz | 最高 500Mbps                |
|                  |        |            | 2 レーン    | 2.5GHz | 最高 1Gbps                  |
|                  |        |            | 4 レーン    | 2.5GHz | 最高 2Gbps                  |
|                  |        |            | 8 レーン    | 2.5GHz | 最高 4Gbps                  |
|                  |        |            | 16 レーン   | 2.5GHz | 最高 8Gbps                  |
|                  |        |            | 32 レーン   | 2.5GHz | 最高 16Gbps                 |
| PCI Express 2.0* |        |            | 1-32 レーン | 5GHz   | 最高 32Gbps                 |

\* PCI Express 2.0 の仕様はまだ確定されていません。

図 1 PCI Express の急成長

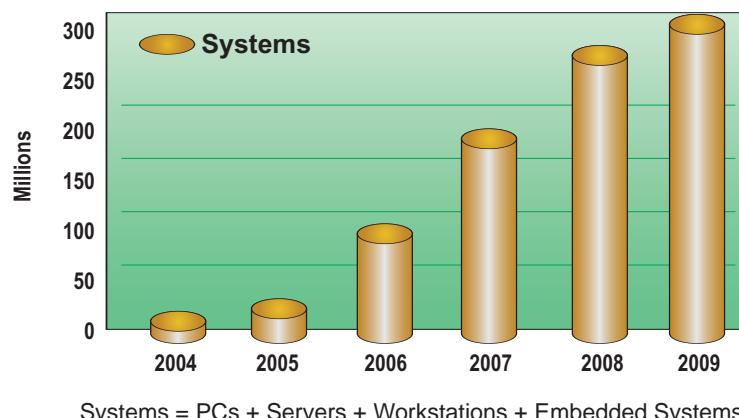


図 2 Virtex-5 LXT FPGA のPCI Express エンドポイント ブロック

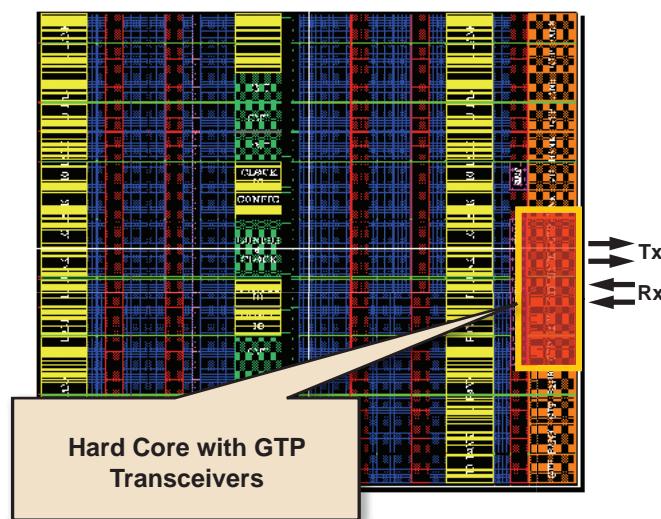
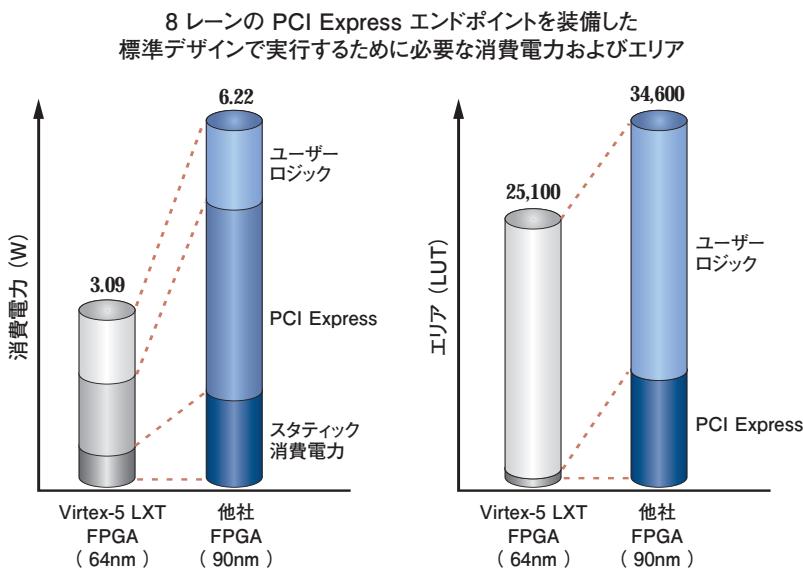




図 3 高性能 Virtex-5 LXT PCI Express ソリューションの消費電力とエリア節約



5VLX30T と他社 90nm FPGA を比較：ターゲット周波数 = 200MHz、ワーストケース プロセス、  
25K LUT、17K フリップフロップ、1MB オンチップ RAM、64 DSP ブロック、128 2.5V I/O、  
ザイリンクスの設計ツール v8.2 および他社設計ツール v6.0.1 を使用した場合に基づいています。

- 1、2、4、8 レーンのインプリメンテーションをサポート
- キーとなるすべての要件に対応
  - 電気信号処理
  - プロトコル (CRC、自動リトライ)
  - QoS
  - ホット プラガブル
- ザイリンクスの RocketIO™ GTP トランシーバ ブロックと共に使用
  - PCI Express の電気仕様をサポート
  - 100MHz ダイレクト リファレンス クロック
- リソースの節約
  - すべての Virtex-5 LXT デバイスに搭載

- GTP トランシーバに近接して配置済み
- 容易なデザイン
  - デザイン サイクルの短縮
  - シンプルで直感的なデザイン フロー
- 低コスト、低消費電力
- コンフィギュアブル ブロック RAM を用いたパケット バッファリング
  - Rx バッファ
  - Tx バッファ
  - リトライ バッファ
- シンプルなトランザクション レイヤ インターフェイスによる容易な統合
- 信号処理ファブリックによる統計コレクションとモニタリング
  - クレジット ステータス、最大ペイロード サイズ、エラー信号

- 最大 2 つの仮想チャネルによる QoS 改善
  - 総当り、離散総当り、または厳格なプライオリティ

### Virtex-5 LXT の PCI Express ブロックを用いたデザイン

PCI Express は急成長を遂げ PC 業界で広く利用されています。Virtex-5 LXT FPGA ベースの PCI Express エンドポイントを用いてデザインすることで、次の利点を活かしながら PCI Express を新たな市場に拡大していくことができるでしょう。

- Time-to-Market の短縮：現在の ASSP はまだ PCI Express をサポートしていません。FPGA を使うと、プロプライエタリなパラレル インターフェイスや PCI Express をブリッジングできます。さらに、PCI Express 規格は今も常に進化しているため、ある程度広い市場が創出されるまで ASIC/ASSP での開発が進むことはないでしょう。2006 年 9 月の Intel Developers Forum で Intel と IBM の両社が発表した「Genesco」アーキテクチャは、その代表的な例でしょう。ザイリンクスは、PCI Express アーキテクチャを拡張してアプリケーション アクセラレータを可能にするこのイニシアチブを全面的に支持しています。

- 低消費電力とエリアの削減：より高いパフォーマンスをより小さなフォーム ファクタで実現する必要のあるアプリケーションには、Virtex-5 LXT ソリューションが最適です（図 3）。PCI Express エンドポイント ブロックを使うことで、より小型のデバイスが使用可能で、消費電力やコストの大幅な低減も実現します。

- PCI Express に従来のさまざまな規格をブリッジング：PCI Express 向けに最適化された新しいフォーム ファクタに

### PCI におけるザイリンクスの歴史

常に PCI/PCI-X/PCI Express テクノロジの最前線をいくザイリンクスの主な実績は次のとおりです。

1996 年 - FPGA 向けに業界初の PCI コア

1999 年 - 業界初の 64 ピット、66MHz PCI ソリューション

2000 年 - 業界初の 64 ピット、133MHz PCI-X ソリューション

2003 年 - 業界初の PCI Express ソリューション

2005 年 - 業界初の PCI Express PIPE ソリューション - ザイリンクスと NXP Semiconductors 社

2006 年 - 業界初の FPGA Express Card ソリューション - ザイリンクスと NXP Semiconductors 社

2006 年 - PCI Express エンドポイント ブロックを内蔵する業界初の FPGA



レガシー アプリケーションを移行するには、従来の規格と PCI Express を結ぶブリッジング機能が必要です。新しい Virtex-5 LXT プラットフォームは、アプリケーションの移行と他のシリアル規格へのブリッジングを可能にするため、カスタマイゼーションとロジック リソースを提供しています。

- スケーラブルなソリューション : PCI Express プロトコルは今後も存続しますが、プロトコルそのものと使用モデルは急速に進化しつつあります。Virtex-5 LXT の PCI Express エンドポイント ブロックでデザインすると、同じ Virtex-5 ファミリで 1, 4, 8 レーンのリンク幅にスケーリングが可能です。つまり、システムや装置を将来にわたって無駄にしなくてすむわけです。さらに、PCI Express はレガシー アーキテクチャの PCI および PCI-X と互換性を持つため、Virtex-5 LXT FPGA ベースの PCI Express ソリューションをスケーリングしてデザインすることで、ソフトウェアへの投資を保護しインフラストラクチャの寿命延長にもつながります。
- さまざまなフォーム フاكتをサポート : Virtex-5 LXT の RocketIO GTP トランシーバは、他社の FPGA/ASSP ソリューションと比較して消費電力の点で格段に優れています。このため、Virtex-5 FPGA は新たな市場でも利用が可能

表 2 Virtex-5 LXT PCI Express エンドポイント アプリケーション

| アプリケーション      | フォーム フاكت               | リンク幅<br>(従来) | データ<br>バンド幅 | 特に求められる要件  |
|---------------|-------------------------|--------------|-------------|--|
| エンタープライズ      | HBAs サーバー I/O モジュール     | x1           | 250Mbps     | スケーラビリティ<br>エラーリカバリ<br>ボードスペースの削減<br>消費電力バジェットの削減            |
|               |                         | x4           | 1Gbps       |  |
|               |                         | x8           | 2Gbps       |  |
|               |                         |              |             |  |
| デスクトップ        | アドインカード                 | x1           | 250Mbps     | 既存ソフトウェア (PCI) のサポート<br>ボードスペースの削減<br>消費電力バジェットの削減<br>エコシステム |
|               |                         | x4           | 1Gbps       |  |
|               |                         | x8           | 2Gbps       |  |
|               |                         | x16          | 4Gbps       |  |
|               |                         |              |             |  |
| モバイル          | Express カード、ミニカード       | x1           | 250Mbps     | 消費電力バジェットの削減<br>電力管理機能                                       |
|               |                         |              |             |  |
| 通信            | HBA、ATCA、サーバー I/O モジュール | x4           | 1Gbps       | 高パフォーマンス<br>検証された相互接続性                                       |
|               |                         | x8           | 2Gbps       |  |
|               |                         |              |             |  |
| 組み込み プラットフォーム | 統合エンドポイント、カスタムカード、ミニカード | x1           | 250Mbps     | 低コスト<br>使いやすさと統合性  |
|               |                         |              |             |  |

## PCI Express ファブリック トポロジ

PCI Express ファブリック トポロジは階層 (Hierarchy) と呼ばれ、Root Complex (Rc) や複数のエンドポイント (I/O デバイス)、スイッチ、PCI Express/PCI ブリッジを PCI Express リンクで相互接続したものです。

Rc は、CPU/メモリ サブシステムを I/O に接続する I/O 階層のルートです。Root Complex は、たとえば Intel 社のチップセットなど、1 つ以上の PCI Express ポートをサポートします。

スイッチは、PCI ブリッジ メカニズム、たとえば IDT PCI Express スイッチのようなアドレス ベースの配線を用いてトランザクションを転送する、複数の仮想 PCI-to-PCI ブリッジ デバイスからなる論理アセンブリとして定義されます。

エンドポイントとは、そのデバイス自身に、あるいは PCI Express に準拠しない個別のデバイス (例: PCI Express に接続されているグラフィックス コントローラ) に、PCI Express トランザクションのリクエストまたはコンプリータとなれるタイプのデバイスです。

図 4 PCI Express のトポロジ

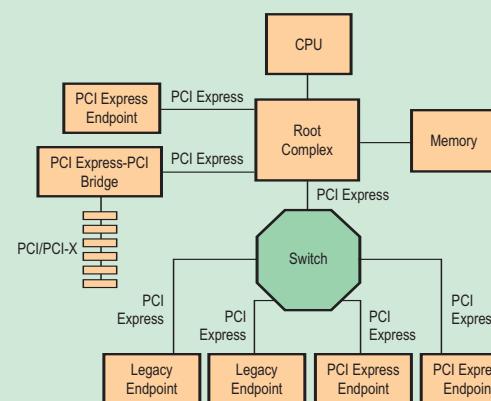




図 5 通信システムに使われる PCI

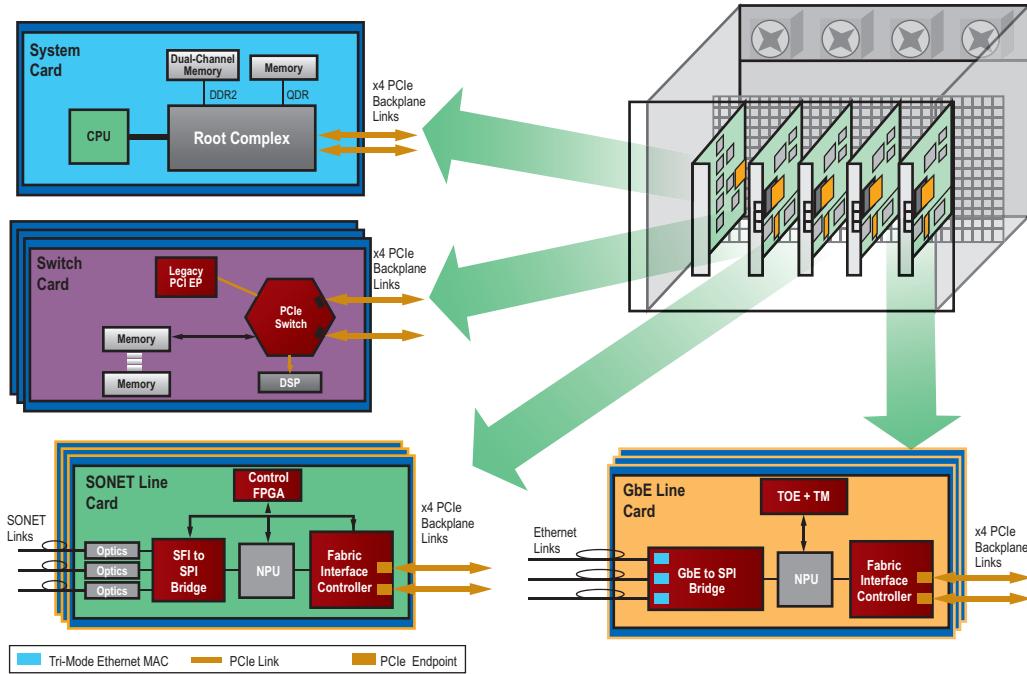
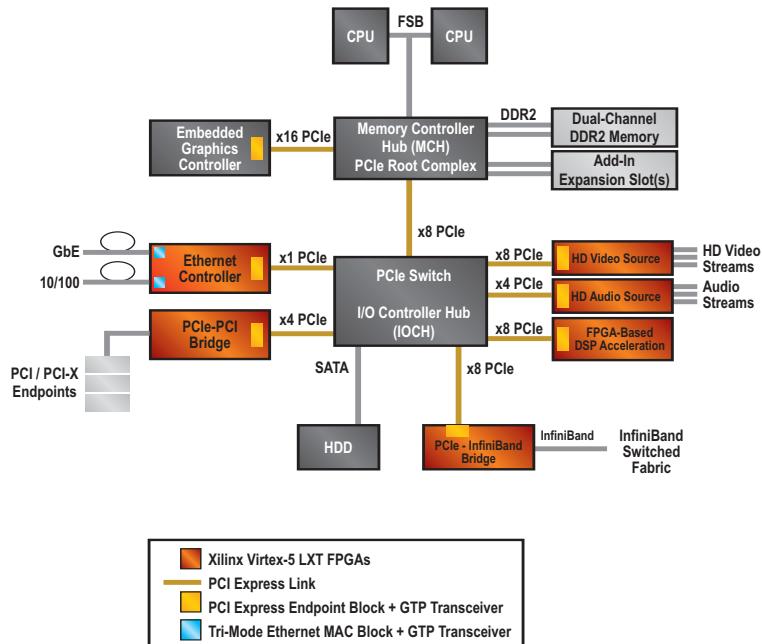


図 6 ハイエンドなデスクトップ/サーバ システムに使われる PCI



です。それぞれのソリューションごとにスケーラブルなロジック集積度を使うことで、65nm FPGA 固有の利点を活かしながら複数のフォーム ファクタをサポートできます。たとえば、アドイン カードのフォーム ファクタに実装されているデ

スクトップ ソリューションは、類似するもしくは同一の FPGA リソースを用いて低消費電力の Express Card フォーム ファクタにスケーリングできます。逆に、Virtex-5 LXT FPGA に実装されているデスクトップ アドイン カードのフォーム

ファクタ PCI Express ソリューションは、ATCA や uTCA、サーバ I/O モジュールなどの高性能フォーム ファクタ ソリューションへの移行をサポートするよう簡単にスケールアップできます。

PCI Express エンド ポイント ブロックを内蔵した Virtex-5 LXT FPGA は、あらゆるフォーム ファクタ アプリケーションで簡単にデザインできます（表 2）。

図 5 と図 6 は、複数ソースのトラフィックやブリッジ プrotocol を PCI Express に結合するため、Virtex-5 LXT の PCI Express エンドポイント ブロック機能を使っているアプリケーションを表しています。

## 結論

PCI Express エンドポイント ブロックと RocketIO GTP トランシーバを内蔵する Virtex-5 LXT プラットフォームは、規格に完全に準拠するフル機能の PCI Express ソリューションを提供することで、非常に高い価値をもたらします。今後は、IP のライセンシングではなく、消費電力やロジック リソースの使用率を低減させていく時代です。ソフト IP と比べて消費電力が 50% 低くより小さな FPGA デバイスをターゲットにすることで、コストを大幅に削減できるのです。内蔵のハード ブロックは確かな機能性を保証する他、設計時間の短縮により使いやすさの点でもすぐれています。

このように、Virtex-5 LXT プラットフォームは高速かつ低消費電力の 65nm FPGA にザイリンクス独自の PCI Express 機能を組み込んだものであり、PCI Express システムを開発するという新たな時代を切り開くのです。



# Designing with Virtex-5 Embedded Tri-Mode Ethernet MACs

# Virtex-5 の新しい イーサネット MAC 機能を 使ったデザイン

Virtex-5 の 10/100/1000 BASE-T イーサネット MAC を用いた  
柔軟性に富む イーサネット システム のインプリメンツ

Nick McKay  
Senior Design Engineer  
Xilinx, Inc.  
[nicholas.mckay@xilinx.com](mailto:nicholas.mckay@xilinx.com)

Soma Potluri  
Senior Design Manager  
Xilinx, Inc.  
[soma.potluri@xilinx.com](mailto:soma.potluri@xilinx.com)

Stuart Nisbet  
Senior Design Manager  
Xilinx, Inc.  
[stuart.nisbet@xilinx.com](mailto:stuart.nisbet@xilinx.com)

イーサネットは、有線接続における最も主流の規格です。ザイリンクスの Virtex™-5 イーサネット メディア アクセス コントローラ（イーサネット MAC）ブロックは、イーサネット専用の機能を提供し、Virtex-5 RocketIO™ GTP トランシーバと SelectIO™ テクノロジを併用することにより、幅広いネット

ワーク デバイスに接続できます。イーサネット MAC ブロックは、Virtex-5 デバイス内のハード ブロックとして FPGA に組み込まれています。

イーサネット MAC は、TEMAC というライブラリ プリミティブとしてザイリンクスのデザイン環境で利用できます。このプリミティブには、2 個の 10/100/1000Mbps イーサネット MAC ブロックが含まれます。Virtex-5 LXT デバイスはそれぞれ 4 つのイーサネット MAC ブロックを内蔵しているため、1 つの Virtex-5 LXT デザインに 2 つの TEMAC プリミティブを組み込むことができます。ザイリンクスの標準デバイスで、広範囲なパケット処理製品やネットワーク エンドポイント製品をカスタマイズすることができるわけです。ザイリンクスはまた、バックプレーンを 2,000Mbps の速度で接続するためのオーバークロッキング モードも提供しています。

ザイリンクスは、Virtex-4 FX イーサネット MAC を基に、グローバル クロックの使い方やシリアル インターフェイスの柔軟性、ソ

フトウェア制御の複雑さを改善した Virtex-5 イーサネット MAC を開発しました。

本稿では、Virtex-5 デバイスにおけるイーサネット MAC ブロックの機能セットを紹介します。さらに、Virtex-5 と Virtex-4 FX イーサネット MAC の違いを解説すると共に、いくつかのアプリケーション例、ザイリンクスの標準ツールを用いてイーサネット MAC を皆さんのデザインに統合する方法を解説します。

## サポートされるインターフェイス

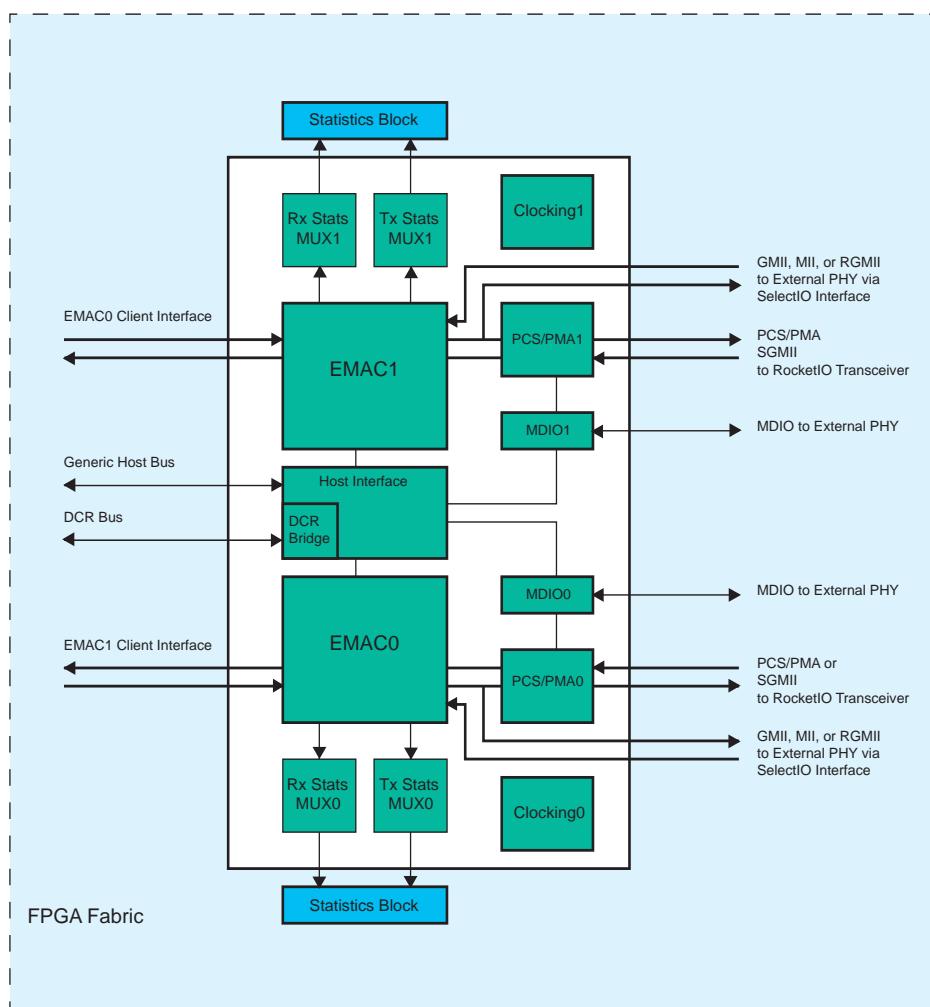
Virtex-5 イーサネット MAC は IEEE802.3 仕様に完全に準拠しています。図 1 に、イーサネット MAC のブロック図を示します。

## 物理インターフェイス

各イーサネット MAC の物理インターフェイスを個別にコンフィギュレーションし、5 種類のイーサネット インターフェイスの



図 1 Virtex-5 イーサネット MAC のブロック図



1つとして動作させることができます。

メディア独立インターフェイス (Media Independent Interface : MII)、ギガビット MII (GMII)、簡易 GMII (Reduced GMII) はパラレルインターフェイスです。通常、これらのインターフェイスは 10/100/1000Mbps の速度で BASE-T の機能を実現するために外部の物理レイヤ (PHY) チップに接続されます。半二重動作は 10/100 Mbps でサポートされ、全二重動作はすべての速度でサポートされます。

シリアル GMII (SGMII) と 1000 BASE-X は、イーサネット MAC の物理コーディングサブレイヤ (PCS) と物理メディアアタッチメント (PMA) のセクションを使うシリアルインターフェイスです。これらは、Virtex-5 の RocketIO GTP シリア

ルトランシーバにインターフェイスします。 SGMII はパラレルインターフェイスと同様、10/100/1000Mbps で全二重の BASE-T 機能を提供します。このシリアルインターフェイスでは、外部の PHY チップに接続するのに必要なピンの数が大幅に削減されます。

イーサネット MAC を 1000 BASE-X モードでコンフィギュレーションすると、PCS/PMA ブロックは RocketIO トランシーバと共に、ギガビットインターフェイスコンバータ (GBIC)、もしくは実装面積が小さくプラグ&プレイ接続が可能な SFP (Small Formfactor Pluggable) 光トランシーバに直接接続するためのあらゆる機能を提供します。これにより、1000 BASE-X のネットワーク アプリケーション

での外部の PHY チップが不要になります。

### コントロールインターフェイス

ホストインターフェイスは、イーサネット MAC ブロックのコンフィギュレーションレジスタにアクセスするためのインターフェイスです。コンフィギュレーションオプションの例としては、ジャンボフレームインエーブル、ポーズとユニキャストアドレスの設定、フレームチェックシーケンスの生成などがあります。

ホストインターフェイスは、ジェネリックホストバスを通して、またプロセッサに接続する際はデバイスコントロールレジスタ (DCR) バスを通してアクセスできます。さらに、各イーサネット MAC はオプションのマネジメントデータ I/O (MDIO) インターフェイスを持っています。このインターフェイスにより、外部 PHY の管理レジスタとイーサネット MAC の PCS/PMA セクション内の物理インターフェイス管理レジスタにアクセスできます。

### クライアントインターフェイス

フレームはトランシーバのクライアントインターフェイスを介してイーサネット MAC に渡されます。受信データがイーサネットの最小フレーム長に満たない場合、トランシーバはそのデータをパディングし、フレーム間の最小ギャップを維持します。逆に、ギャップのサイズを増やすことも可能です。また、フレームにフレームチェックシーケンスを追加するよう、トランシーバをコンフィギュレーションすることもできます。フロー制御インターフェイスを使うと、ポーズフレームを生成できます。半二重モードでは、トランシーバは衝突信号を送信し、有効な衝突に対して再送を要求します。

レシーバインターフェイスは受信フレームを検証し、フレームエラー信号を送信します。送信されるのは有効と無効の両方のフレーム信号です。また、イーサネット MAC は有効なポーズフレームの検出時にフレーム伝送をポーズして再開するようにコンフィギュレーションできます。



クライアントインターフェイス上のデータは、8ビットまたは16ビット幅です。8ビットインターフェイスは標準的なイーサネットアプリケーションに使われ、125MHzクロックで1000Mbpsのデータレートを提供します。16ビットモードを使用すると、クライアントインターフェイスのクロックスピードを上げることなくデータレートを2000Mbpsに高速化することが可能です。

各イーサネットMACは、送信および受信データバスを通過したイーサネットフレームについての統計ベクタを出力します。ザイリンクスのCORE Generator™ソフトウェアには、外部の統計モジュールが無料で用意されています。この統計モジュールは、各イーサネットMACのTxおよびRxデータバス統計をすべて累積します。

## Virtex-5イーサネットMACの新機能

Virtex-4 FPGAでは、データバスをインプリメントするために、TxおよびRxクライアントインターフェイスロジックにそれぞれ1つと、TxおよびRx物理インターフェイスロジックにそれぞれ1つの、全部で4つのグローバルクロックバッファを必要としました。そこでザイリンクスは、Virtex-5 FPGAにクロックイネーブル機能を追加しました。物理インターフェイス用として導出されたクロックは、すべてのクライアントロジックに利用できます。内部生成されたクロックイネーブルは、各インターフェイス上のデータスループットを正しく維持するための手段の1つです。これにより、必要なクロックバッファの数が50%低減されます。

### DCRバスのアドレス指定

Virtex-5のDCRインターフェイスは、各イーサネットMACに対して個別のベースアドレスを備えています。したがって、共有DCRバスインターフェイスはソフトウェアドライバに透過的です。ソフトウェアはもはや個々のイーサネットMACに対するビ

図2 Virtex-5 FPGAのプロセッサに接続されたMAC

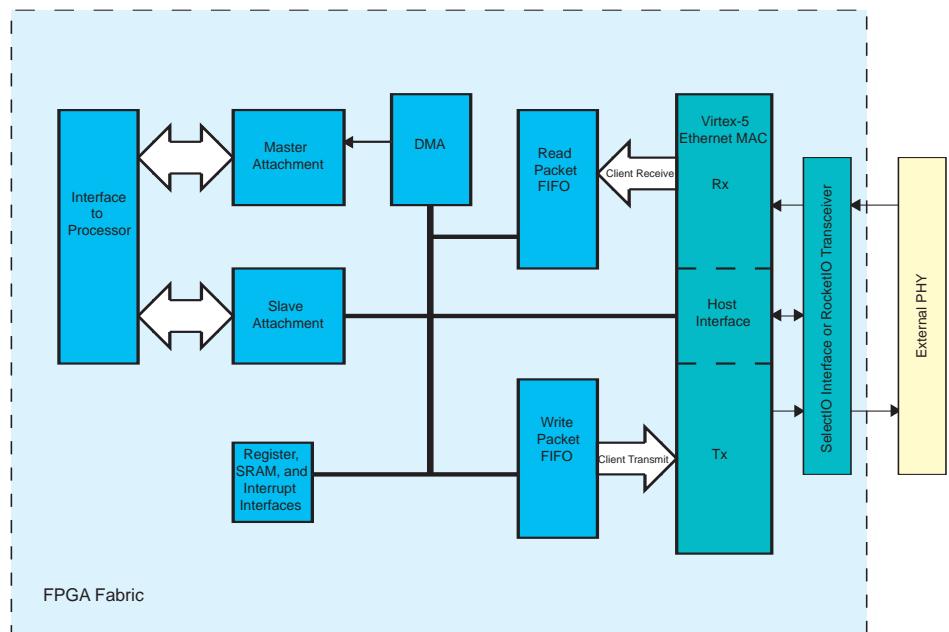
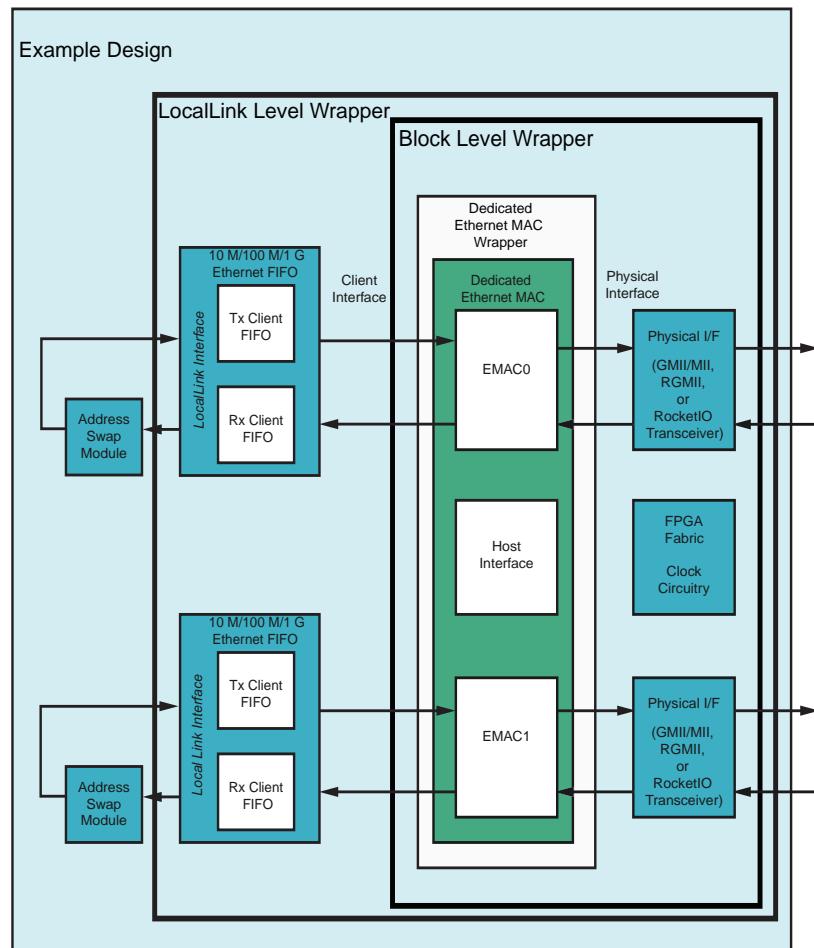


図3 Virtex-5イーサネットMACラッパのブロック図





ット ロケーションを認識する必要はなく、ハードウェアがベース アドレスに応じて自動的に正しいビットでマルチプレクスします。

### シリアル インターフェイスの変更

ザイリンクスは、シリアル インターフェイスの動作を一部変更しました。プログラム可能なリンク タイマを含め、オート ネゴシエーションの柔軟性を高めました。これにより、オート ネゴシエーション プロセスのタイミングを変更して、シミュレーション時間を短縮することが可能です。

新たに追加された単方向モードは、IEEE802.3ah-2004 仕様に基づいて単方向のイネーブル機能を実行します。これをイネーブルすると、イーサネット MAC はレシーバに有効な入力があるかどうかにかかわらず伝送を行います。

また、トランシーバだけでなくイーサネット MAC でもループバックを実行できるようになりました。これにより、ループバック中にリンク パートナーにアイドルを伝送し、リンクをアクティブ状態に維持することが可能になりました。

### Virtex-5 イーサネット MAC の使用モデル

Virtex-5 イーサネット MAC は極めて高い融通性を持つことから、幅広いアプリケーションで利用が可能で、次のようなことを実現できます。

- 図 2 に示すように、ネットワーク処理システムや遠隔監視システムでプロトコル スタックを実行しているプロセッサにイーサネット MAC を接続できます。
- チェックサム オフロード エンジンやリモート ダイレクト メモリ アクセス デザインなど、FPGA にインプリメントされているパケット処理システムにイーサネット MAC をインターフェイスさせることができます。
- パケット ストレージやブリッジング、ス

イッティング アプリケーション用に、専用のパケット FIFO や外部メモリを複数のイーサネット MAC と接続することができます。

### ツールと IP サポート

ザイリンクスは、CORE Generator ソフトウェアやLogiCORE™ IP、リファレンス デザインなどでイーサネット MAC のサポートを提供します。

### Virtex-5 イーサネット MAC のラッパ

図 3 に、ザイリンクスの CORE Generator ツールから利用できる HDL ラッパのブロック図を示します。

イーサネット MAC は、162 のポートと 79 のパラメータを持つ複雑なコンポーネントです。ラッパ ファイルを使うことで、パラメータを簡単に設定し、アプリケーションに必要なポートだけにインターフェイスできます。また、クロッキングや物理 I/O のリソースの使用が容易にできるというメリットもあります。階層レベルを分けていたため、アプリケーションに合う正しいラッパを抽出できます。

- イーサネット MAC ラッパ： 最下位レベルでは、シングルまたはデュアル イーサネット MAC がインスタンシエートされ、その属性が CORE Generator の GUI で選択した値に設定されます。未使用的入力ポートはすべてグランドに接続され、出力ポートは開かれたままです。
- ブロック レベル ラッパ： 次の階層レベルでは、物理インターフェイスと必要なクロック リソースがインスタンシエートされます。これにはシリアル インターフェイス用の RocketIO GTP トランシーバが含まれます。また、クロッキングはコンフィギュレーションに応じて最適化され、デザインに合わせて出力をクロッキングできます。
- LocalLink レベル ラッパ： このレベル

では、クライアントのトランスマッタとレシーバ インターフェイスに FIFO が追加されます。FIFO は半二重モードでフレームを受信、再送する際に不正なフレームをドロップさせます。バックエンド インターフェイスには LocalLink が使われます。

- サンプル デザイン ラッパ： 最上位のレベルは、受信データがループバックされてトランスマッタに送られるデモ デザインです。このデザインをボードにダウンロードし、ネットワーク デバイスからレシーバへ信号を送ることにより、ハードウェアでイーサネット MAC の動作を評価することができます。CORE Generator ソフトウェアは、レシーバの入力を動作させ、デザインのトランスマッタ出力をモニタリングするテストベンチを提供します。

### LogiCORE IP とリファレンス デザイン

Virtex-4 イーサネット MAC に関するドキュメンテーションのほとんどは、Virtex-5 イーサネット MAC にもそのまま使用できます。たとえば、「Ethernet Cores Hardware Demonstration Platform」(XAPP443、<http://japan.xilinx.com/bvdocs/appnotes/xapp443.pdf>) は、Virtex-5 イーサネット統計などの LogiCORE IP は、すでに新しいアーキテクチャをサポートしています。

### 結論

Virtex-5 イーサネット MAC は、広範なネットワーク インターフェイスに対してコスト効果の高いソリューションを提供し、10/100/1000Mbps で BASE-X および BASE-T ネットワークに接続できます。また、ザイリンクスのソフトウェア ツールと IP を使うことにより、イーサネット MAC の改善された機能セットを活用できます。

詳細は、ザイリンクスの Web サイト <http://japan.xilinx.com/virtex5/> をご覧ください。

# Asynchronous Sample-Rate Conversion Between AES Audio Streams

# AES オーディオ ストリーム間の非同期 サンプルレートの変換

AES デジタル オーディオ サンプルレート変換の実装に完璧な  
プラットフォームを提供するザイリンクス Virtex-5 FPGA

Gregg C. Hawkes

Principal Engineer, Advanced Products Division  
Xilinx, Inc.

[gregg.hawkes@xilinx.com](mailto:gregg.hawkes@xilinx.com)

Reed Tidwell

Senior Staff Applications Engineer,  
Advanced Products Division  
Xilinx, Inc.

[reed.tidwell@xilinx.com](mailto:reed.tidwell@xilinx.com)

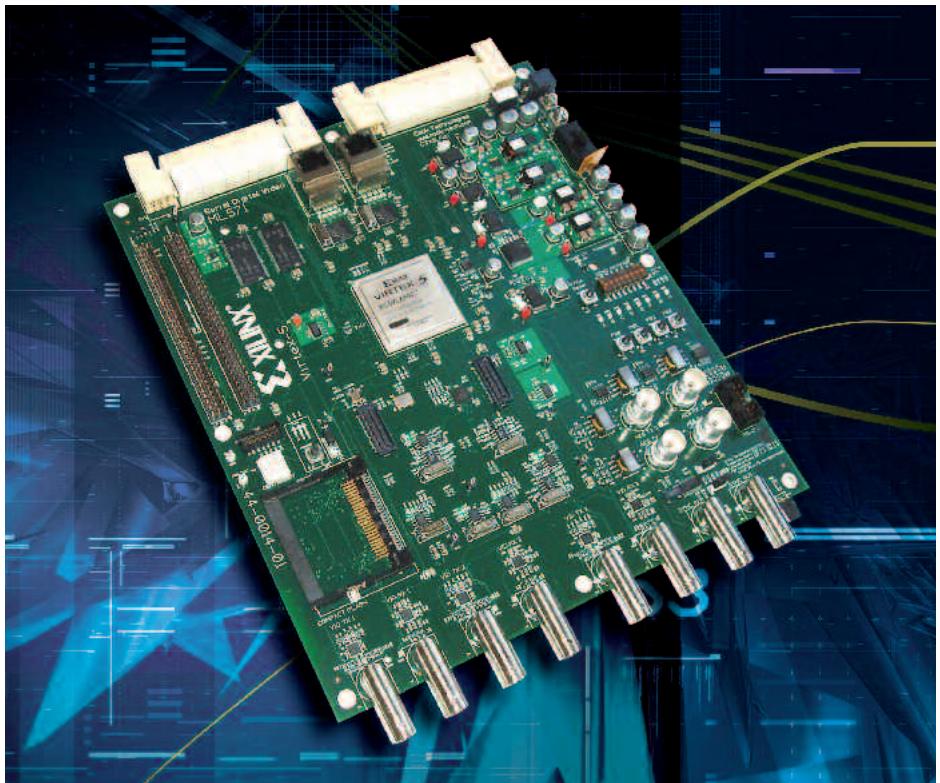
John F. Snow

Senior Staff Applications Engineer,  
Advanced Products Division  
Xilinx, Inc.

[john.snow@xilinx.com](mailto:john.snow@xilinx.com)



図 1 出力デジタル オーディオ レートを出力デジタル ビデオ レートにマッチさせる ASRC 搭載の ML571 ボードおよびフレーム同期化デモ ボード



デジタル ビデオ／オーディオには多彩な用途があり、また次々に新技術が登場し、放送機器 (AVB) が急速に普及し続けています。今日の AVB 機器においては、高画質、高解像度、高バンド幅、オーディオ／ビデオ チャンネルの増加に加え、HD-SDI や音声の多重化と逆多重化、非同期サンプルレート変換 (ASRC) など、以前は単独で使われていたテクノロジを組み合わせて利用する必要性が生じています。

ザイリンクスの FPGA は、シリコン機能を充実させることで、複雑で統合性に欠ける高価な ASSP チップ機能の吸収を容易にし、チップ数低減のニーズに応えてきました。この ASSP のファンクションの 1 つである

ASRC は、埋め込みの DSP48E スライスやブロック RAM などのシリコン機能を活用し、ザイリンクスの FPGA 上に高度なフィルタ ファンクションとして実現することが可能です。

また、先進のアルゴリズムを統合したいというニーズへは、アプリケーション ノート やリファレンス ガイドを無償提供することで対応しています。ASRC リファレンス デザインは、同期サンプルレート変換や、多くのオーディオ／ビデオ アプリケーションで要求される非常に複雑な ASRC を正しく処理することが可能です。

多くの ASSP チップや FPGA IP サプライヤが提供する比較的シンプルな「同期専

用」メソッドは、オーディオ チャンネルあたりのシリコン使用率は小さいものの、非同期アプリケーションに誤って適用すると、次のいずれか、あるいは両方の不都合を生じます。

- 累積遅延による入力-出力レイテンシの変化
- サンプルのスキップや反復など、オーディオ信号の劣化

いずれのケースも好ましくない歪みを引き起こします。

### サンプルレートの変換を理解する

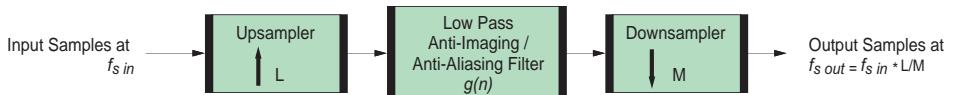
デジタル サンプルレート変換の理論に入る前に、オーディオ／ビデオ エンジニアが解決しようとしている基本的な問題を理解しましょう。一部のアプリケーションでは、48KHz 入力から 44.1KHz 出力への変換など、同じクロック ソース、あるいは入力クロックから導かれた出力クロックを用いることで固定レートの同期変換を使用できます。しかし、2 つのボード間でオーディオをやり取りするといった、入力クロックと出力クロックが完全に独立した非同期変換を行うアプリケーションの方が、はるかに多いのが現状です。各々のクロック オシレータが同じ名目周波数である場合がありますが、実際は数 ppm 異なります。

独立した入力および出力クロックの非同期変換を対象としたザイリンクスの ASRC リファレンス デザインは、次の重要な困難なデザイン ファンクションを提供します。

- 入力／出力比とサンプルレートの変化を自動的かつ正確に監視します。
- 最高のパフォーマンスを得るため、動作中にフィルタ ファンクション（フィルタ 係数）を適応させます。

FPGA を用いてデジタル オーディオに対する ASRC をサポートすることにより、システム内のあらゆる SDI インターフェイスに対してコストを大幅に節約することが可能です。多くのシステムでは多数の SDI チャネルがあるため、これは大きなメリットです。

図 2 サンプルレート変換のためのデータ パスの古典的概念





# ASRC はデエンベッドしたオーディオを調節して出力ビデオ ストリームのクロック レートに同期させ、出力 SDI ビデオ ストリームにリエンベッドできます。

ザイリンクスの ASRC IP は、入力／出力のワーストケースの信号対雑音比（S/N 比）でさえ -125dB と、非常に高性能です。また、複数のオーディオ入力周波数から複数のオーディオ出力周波数への変換をサポートします。レート変換アルゴリズムは動作中に調節され、入力クロックと出力クロックに特別な注意を払うことなく高いパフォーマンスを維持します。ザイリンクスの ML571 シリアル デジタル ビデオのデモ ボード上に反映された IP によりこれらを確認できます（図 1）。

広範な機能と高性能を実現する ASRC IP は無償で利用が可能です。

## サンプルレート変換の理論

図 2 は、一般的なアップ変換またはダウン変換の概念図です。変換比は、分数値による有理数として連続的に変化できます。このダイアグラムは、アップ変換プロセス（サンプル値と時間位置をより多く作成）の後、ダウン変換（出力データストリーム内の望ましいサンプル位置に最も近いサンプルを選択）を実施しているところです。データパス中央のアンチイメージ／アンチエイリアス フィルタにより、周波数スペクトラムを入力と出力両方のサンプリング周波数の Nyquist (ナイキスト) レートの半分未満に抑えます。

図 3 と 4 はすべての出力サンプル位置または出力フェーズに対して、異なるサブフィルタ係数のセットが必要であることを示しています。これは、入力がその出力フェーズと相対的に異なる位置にあるためです。サブフィルタは入力サンプルの位置に揃えて並べられる係数セットで、プロトタイプ フィルタ係数を補間して生成されます。このサブフィルタにより対応する入力サンプルがたたみ込まれることで、目的の出力サンプルが生成されます。各出力サンプルに対して新しい

サブフィルタ係数が補間されるたびにこのプロセスが繰り返されます。

## ML571 にインプリメントされている ASRC の例

ビデオのフレーム同期化という分かりやすいファンクションは、ASRC をどこで使用すべきかを示してくれます。ビデオは特定のレートでフレーム バッファに格納され、わずか

に異なるレートで読み出されます。この処理は、2 つのビデオ装置が「genlock」されているのではなく、2 つの異なるピクセルレートで動作する場合に役立ちます。

この結果、ビデオ データのフレームをたびたび追加または破棄する必要があります。肉眼ではテレビ画面で追加もしくは破棄されたビデオ フレームに気付くことはないでしょうが、追加または破棄された音声の違いは人間の耳には聴こえるものです。この解決

図 3 元のサンプルと出力サンプルの相対位置により、どの補間サンプルを使うかを決定

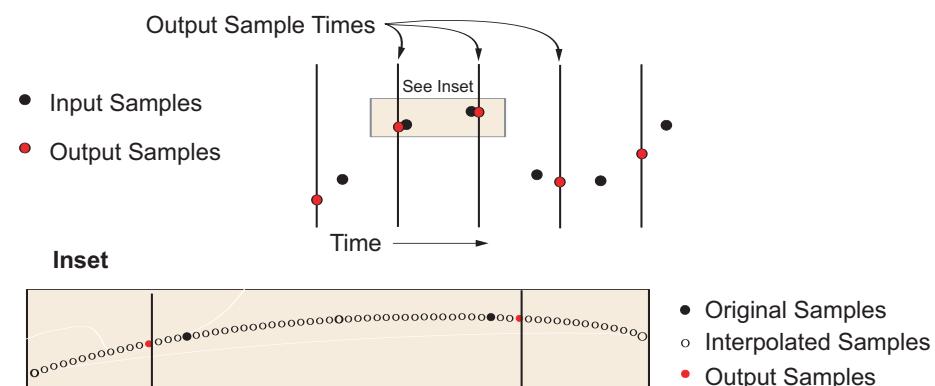
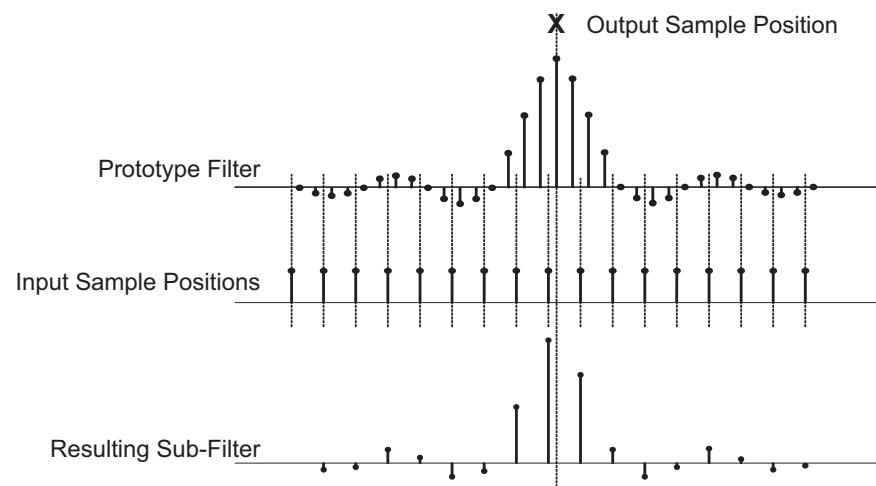


図 4 出力サンプル位置にセンタリングされたプロトタイプ フィルタ





策としては、最初のビデオ ストリームからオーディオを除去し、異なるレートで結果のビデオ ストリームに再挿入し、出力オーディオ レートを新しい出力ビデオ レートにマッチさせます。ザイリンクスの ASRC リファレンス デザインはこのタスクを完璧にこなします。

例として、各ボード上のクロック オシレータが異なるために、若干異なる周波数で動作している SDI ビデオを搭載した 2 つのボードを接続してみましょう。受信側のボードはビデオ ストリームからエンベデッド AES デジタル オーディオを逆多重化し、ASRC に送信します。この 2 つのボード間のクロック周波数の違いにより、フレーム バッファ同期化ロジックはビデオ フレームを破棄することになります。ASRC はエンベデッドしたオーディオを調節して出力ビデオ ストリームのクロック レートにマッチさせ、そこで出力 SDI ビデオ ストリームにリエンベッドできます。

フレーム バッファの同期化と非同期サンプル レートの変換テクニックの詳細は、XAPP 514「放送業界用オーディオ／ビデオ接続ソリューション」([http://japan.xilinx.com/bvdocs/appnotes/j\\_xapp514.pdf](http://japan.xilinx.com/bvdocs/appnotes/j_xapp514.pdf)) をご覧ください。

## ブロック ダイアグラムと主な仕様

図 5 のシンプルなダイアグラムは、AS

RC に必要とされる 2 つの主要デザインエレメントを表したもので、最初のエレメントは、入力サンプル レートと必要な出力サンプル レート間の変化を決定し、「比率制御 (ratio control)」というラベルが付けられています。2 番目のエレメントは、「リサンプラー」内で「比率制御」から入力される統計値に応じて変更が加えられるプロトタイプ フィルタのセットです。

ASRC リファレンス デザインは、ステレオ オーディオを特定のサンプル周波数から別のサンプル周波数に変換します。入力と出力のサンプル周波数比は、お互いの任意の分数値、または同じ周波数になりますが、異なるクロックに基づいています。出力は、出力サンプルのタイミングにマッチするようリサンプリングした入力のバンドが制限されたバージョンです。リファレンス デザインは次の機能を備えています。

- 完全な非同期動作
- 複数チャネルへの拡張
- 標準で -130 dB THD+N、ワースト ケースでも -125 dB THD+N の高性能仕様
- 24 ビット オーディオ入力／出力ワード幅、31 ビットの内部演算精度とゼロからの丸め
- 入力-出力サンプル比の自動監視による連続的なフィルタ変更
- 連続的な有理数／分数比、アップ変換

8:1

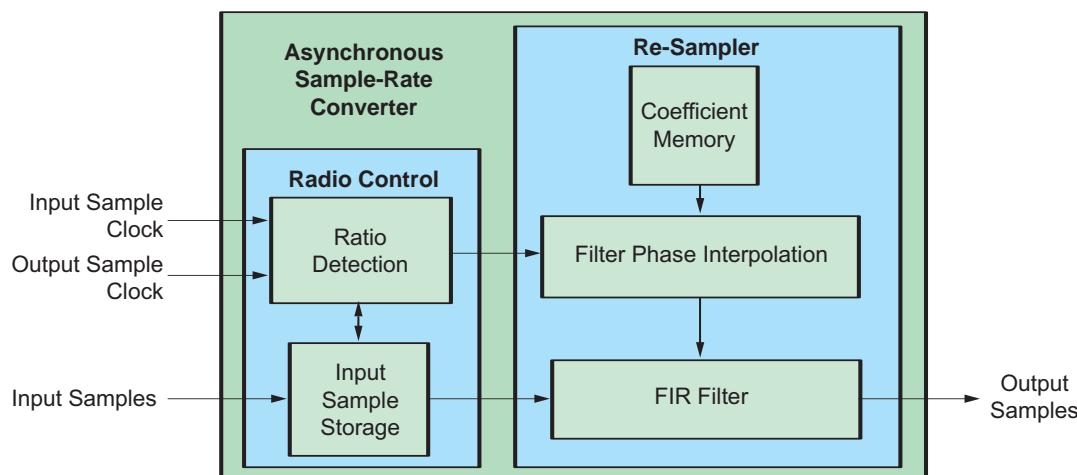
- 連続的な有理数／分数比、ダウン変換 1:7.5
- 連続的な入力-出力レートの監視によるアダプティブ フィルタリング
- 入力、出力レート 8KHz～192KHz
- 小さく確定的なレイテンシ

リファレンス デザインでは、補間された係数 FIR フィルタの主演算エレメントとして Virtex™-5 DSP48E スライスを用い、入力サンプル バッファおよびプロトタイプ格納用にブロック RAM を用いてコーディングされています。

## 結論

さまざまなデジタル オーディオ チャネル数に対して別々の入力-出力オーディオ サンプル レートを維持し、放送機器の新しい機能をサポートするのは困難な作業です。さまざまなプロトコルやメモリ管理、サイズの異なるペイロード、各種システム インターフェイスを試してみると、これらのデザインが ASSP や ASIC では実現できない高性能で費用対効果の高い柔軟なソリューションを必要とすることがわかります。これらの課題は Virtex-5 デバイスを利用することで解決します。Virtex-5 デバイスを使用することで、常に進化し続ける放送機器市場に最適なソリューションを提供することが可能です。

図 5 ザイリンクス ASRC リファレンス デザインのトップレベル ブロック ダイアグラム





# Implementing Integrated Video Connectivity Solutions with Virtex-5 LXT Devices

## Virtex-5 LXT デバイスによる 統合ビデオ コネクティビティ ソリューションの実装

シングル チップで 統合ブロードキャスト ビデオ ソリューションのための完璧なプラットフォームを提供する Virtex-5 FPGA

Gregg C. Hawkes

Principal Engineer, Advanced Products Division

Xilinx, Inc.

[gregg.hawkes@xilinx.com](mailto:gregg.hawkes@xilinx.com)

Reed Tidwell

Senior Staff Applications Engineer,  
Advanced Products Division

Xilinx, Inc.

[reed.tidwell@xilinx.com](mailto:reed.tidwell@xilinx.com)

John E. Snow

Senior Staff Applications Engineer,  
Advanced Products Division  
Xilinx, Inc.

[john.snow@xilinx.com](mailto:john.snow@xilinx.com)

ザイリンクスは、放送機器の設計者が直面している課題を理解しています。次々に登場するビデオ コネクティビティの新規格は、ブロードキャスト製品の設計課題とスケジュールをいっそう困難にしています。

ブロードキャスト チェーン全域にわたってビデオ コネクティビティをめぐる状況が変化し続けるなか、ザイリンクスは、システム レベ

ルでビデオ コネクティビティの諸問題を解決するドロップイン式のビルディング ブロックを設計し、リファレンス デザインとして無償でユーザーへ提供しています。ASSP チップより費用対効果と統合性に優れたソリューションを提供することで、ユーザーの Time-to-Market 短縮とコスト低減、また競合他社との製品の差別化を図ることへのソリューションを提供します。

ザイリンクスのビデオ コネクティビティ IP とリファレンス デザインに関する資料「Audio/Video Connectivity Solutions for the Broadcast Industry (放送業界向けのオーディオ/ビデオ コネクティビティ ソリューション)」(<http://japan.xilinx.com/bvdocs/appnotes/xapp514.pdf>) には、SDI、HD-SDI、DVB-ASI、AES エンベッドラーダー、およびオーディオ非同期サンプル レートの変換に関する章を設けています。各章では個別のビデオ コネクティビティについて解説し、Verilog と VHDL のフリー リファレンス デザインにリンクして、インプリメンテーションの例を紹介しています。

XAPP514 の各章に設けられた簡潔でわかりやすい資料を参考にして、これら規格

に準拠するエンコーダやデコーダを FPGA に簡単に統合することができます。図 1 に示すとおり、Verilog と VHDL で提供されているリファレンス デザインのコードは、図解入りで見やすく説明されています。

また、ザイリンクスはビデオ処理アルゴリズムのテストやコネクティビティ パフォーマンスの検証を素早く簡単に実行できる検証プラットフォームを提供しています。たとえば、Virtex-5 FPGA とのビデオ コネクティビティの実証や開発を行うには、ザイリンクスの新しい Virtex™-5 ML571 シリアル デジタル ビデオ (SDV) ボード (<http://www.cook-tech.com/>) を使用できます。ML571 ボードのブロック ダイアグラムについては図 2 を、写真は図 3 をご覧ください。XAPP514 の各章にリンクされている無償のリファレンス デザインの多くは、放送業界標準のテスト装置を用いて ML571 プラットフォームで既に検証済みです。

「ML571 ボードは、ユーザーが放送業界の真の問題に対処するうえで、ザイリンクスが具体的なデザインを通していかに支援しているかを表す好例です」と、ザイリンクスのシステム兼アプリケーション エンジニアリング



担当シニア ディレクター、Andy DeBaets は言います。「このボードを使えば、エンジニアはシステムの統合性を大幅に改善するだけでなく、システム コストの削減や消費電力の低減、設計期間の短縮を実現しながら、先進のビデオ ネットワーキング プロトコルを簡単にインプリメントできるのです」(同氏)。

図 1 Verilog および VHDL で書かれたモジュール型のフリー リファレンス デザインのサンプル ブロック ダイアグラム

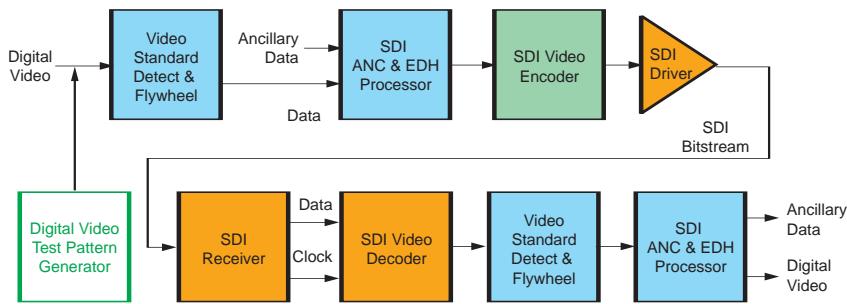
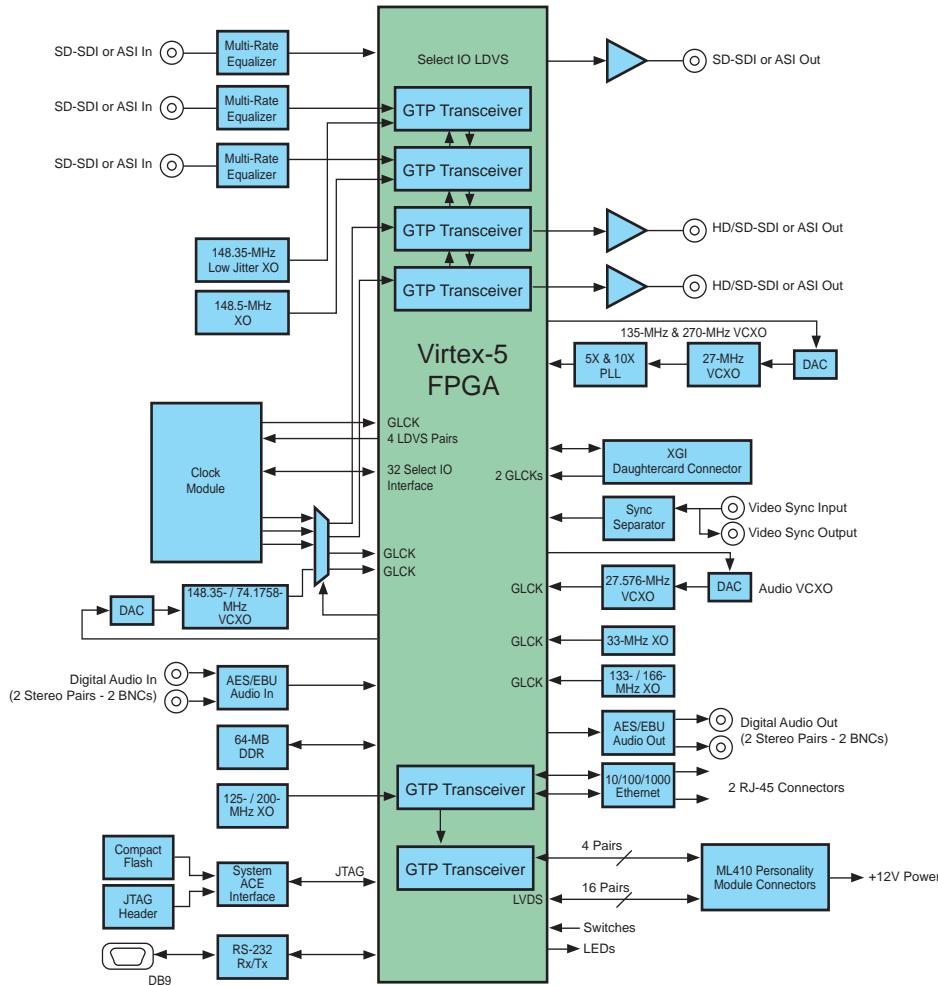


図 2 ザイリンクスの ML571 SDV ビデオ コネクティビティ ボードのブロック ダイアグラム



実際のデモンストレーションやボードの購入は、ザイリンクス販売代理店より可能です。このボードを利用することで、専用ボードの生産を開始する前に新しいアルゴリズムのテストを行えます。本稿やオーディオ/ビデオ コネクティビティの資料で紹介している情報は貴重なものですですが、ザイリンクスのプログラマブル

ロジック デバイスを用いてデザインする方法のほんの一部にすぎません。最新情報やより詳細な情報は、<http://japan.xilinx.com/esp/broadcast/> をご覧ください。

## Virtex-5 の機能はブロードキャスト デザインをサポート

Virtex-5 は、次に挙げる特長を持ち、コストが最適化され、高いパフォーマンスや柔軟性、スケーラビリティを提供するファミリ製品により、さまざまなブロードキャスト ソリューションをサポートします。

- 高集積度、高速、リプログラマブルな ExpressFabric™ テクノロジ
- 550MHz、36Kb、デュアル ポート ブロック RAM/FIFO
- 550MHz、25 X 18 DSP48E スライス
- 550MHz クロック マネージメント タイル (CMT)
- SelectIO™ テクノロジ
- 低消費電力
- スパース シェブロン パッケージ

これらの機能については、Xcell Journal 本号の各記事で詳しく紹介していますが、機能やパフォーマンスの詳細は [http://japan.xilinx.com/products/silicon\\_solutions/fpgas/virtex/virtex5/index.htm](http://japan.xilinx.com/products/silicon_solutions/fpgas/virtex/virtex5/index.htm) をご覧ください。

## ザイリンクスの ML571 の概要

ザイリンクスの Virtex-5 プラットフォーム FPGA 搭載の新しいシリアル デジタル ビデオ (SDV) ボードは、高 bandwidth のビデオ通信チャネルのデモンストレーションやテストに使用されますが、これを利用すると、HD-SDI などの一般的な業界標準に合わせた高速シリアル インターフェイスを簡単にインプリメントすることができます。

## サポートする規格とファンクション

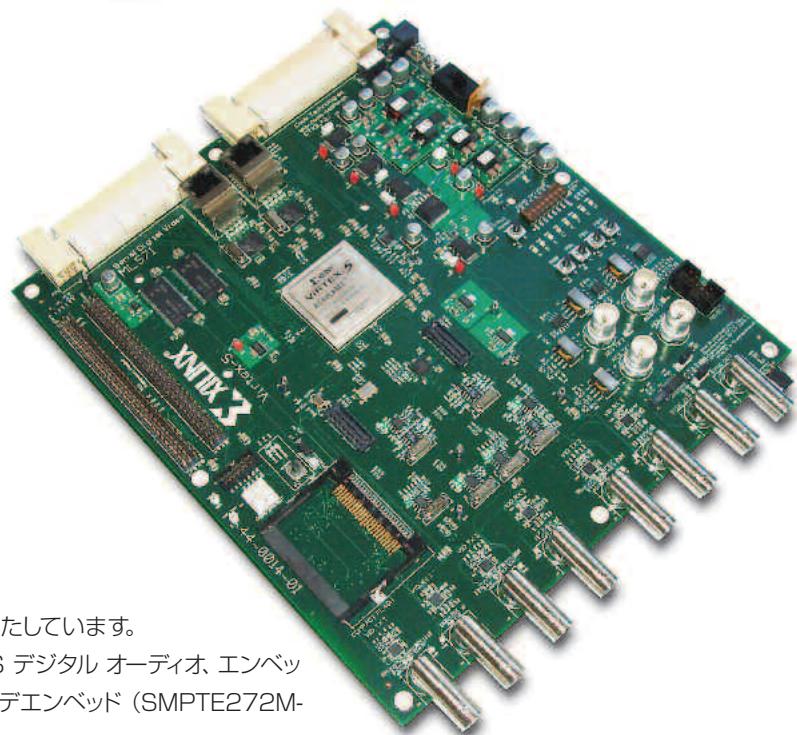
Virtex-5 プラットフォームに、高性能で低消

費電力のマルチ ギガビットシリアル I/O やトライモード イーサネット MAC、PowerPC<sup>TM</sup> プロセッサ、PCI Express エンドポイント ブロックを広範に統合したこと、以前よりはるかに多くのネットワーク規格をサポートできるようになりました。

ML571 ボードでは次のものをサポートしています。

- Virtex-5 XC5VLX50T-FF1136 FP GA (LX110T はピン互換パッケージで提供)
- 2 個の RocketIO<sup>TM</sup> GTP HD/SD-SDI レシーバと 2 個の RocketIO GTP トランスマッタ：トランスマッタは Gennum 社のトライモードや 3Gbps 対応ケーブル ドライバを備え、レシーバは Gennum 社のトライモードや 3Gbps 対応レシーバ イコライザを備えています。サポートする規格は次のとおりです。
- 3Gbps HD-SDI (SMPTE424M)、2.97Gbps
- HD-SDI デュアル リンク (SMPTE3 72M) 1.485Gbps、1.4835Gbps
- HD-SDI (SMPTE292M) 1.485Gbps、1.4835Gbps
- SD-SDI (SMPTE 259M)、270 Mbps
- DVB-ASI (CENELEC EN 50083-9 Annex B)、270Mbps
- 差動 LVDS I/O を提供する SelectIO ビデオ入力とビデオ出力：これにより、Virtex-5 の SelectIO インターフェイスは、次のビデオ規格をサポートするビデオ ビットストリームを送受信できます。
- SD-SDI (SMPTE 259M)、270Mbps
- DVB-ASI、270Mbps
- Select IO テクノロジやLVDS、AES3 デジタル オーディオ (AES3id) I/O : 2 個の BNC 入力コネクタは AES3id デジタル オーディオ入力の 2 つのステレオ ペアを提供し、2 個の BNC 出力コネクタは AES3id デジタル オーディオ出力の 2 つのステレオ ペアを提供します。これらの入力は、SMPTE 276M 75 Ω の非平衡 AES3 オーディオ入力電気

図 3 ザイリンクスの ML571 SDV ビデオ コネクティビティ ボード



仕様を満たしています。

- SDI AES デジタル オーディオ、エンベッドおよびデエンベッド (SMPTE272M-2004)
- AES デジタル オーディオ、高性能な非同期サンプル レート コンバータ (ASRC)
- DVB-ASI と Video-over-IP 用イーサネット間の通信
- 外部DDR DRAM を用いたフレーム同期化
- 同期セパレータと genlock 機能：同期セパレータは、バイレベルやトライレベルのビデオ同期 (HD と SD) を含むさまざまなビデオ同期ソースに対応します。同期セパレータから分離された同期信号は FPGA に送信され、これら信号は FPGA に利用できる任意の VCXO クロック ソースを用いて genlock PLL を構築するために使用可能です。
- ビデオ I/O ドータカードを使用するための XGI 互換の拡張コネクタ セット
- 2 つの 10/100/1000 イーサネット インターフェイス
- デバッグ用 RS-232 シリアル ポート
- ザイリンクスのダウンロード ケーブルに接続するためのコンフィギュレーション 6 ピン JTAG ヘッダ
- CompactFlash Type II ソケットを装備するザイリンクスの System ACETM コンフィギュレーション コントローラ

## 結論

オーディオ/ビデオおよびブロードキャスト向けの新しいデザインのサポートや、ザイリンクス FPGA へのインプリメント作業へのサポートは大きな課題ですが、ザイリンクスでは、卓越したデザインの達成が実現するよう全力を尽くしています。多数のプロトコルと多彩なシステム インターフェイスにより、これらのデザインが ASSP や ASIC では成し得ない高性能で費用対効果の高い柔軟性を必要とするることは明らかです。このような課題は Virtex-5 デバイスで解消します。Virtex-5 デバイスを利用することにより、常に進化し続ける オーディオおよびビデオの放送機器に優れたソリューションを提供できるのです。

ML571 ボードは Cook Technologies 社によって開発、製造されています。Cook Technologies の ML571 に対する部品番号は CTXL406 です。ML571 SDV ボードで利用できるクロックおよびコネクティビティ オプション ドータカードは数多くあります。詳細は、<http://www.cook-tech.com/> をご覧ください。



# 組み込みシステムのUSB開発は、"GR-USBシリーズ"。



GR-USB/HOST

GR-USB/OTG

"USBのグレープシステム"  
から登場です。

GR-USB/DEVICE

## GR-USB/HOST II

- 組み込み機器にUSB2.0ホスト機能(フル/ロー/ハイスピード)を提供
- 主要ホストコントローラに対応  
OHCI、UHCI、EHCI  
セイコーエプソン社製 S1R72005,S1R72V05/V17  
NECエレクトロニクス社製 μPD720101/102  
ルネサス社製 M66596,R8A66597  
Philips社製 ISP1760/ISP1761  
沖電気工業社製 ML60842  
※その他ホストコントローラにも対応可能
- CPU非依存、μITRON他各種RTOSにて動作確認済み

### シリーズ共通の特長

- |                                   |  |   |
|-----------------------------------|--|---|
| ●プラグアンドプレイのためのAPI関数を提供            | ●各種クラス(ファンクション)ドライバを提供   | ●ソースコード提供、ロイヤリティ不要のライセンス  |
| ●コントロール/パルク/インターラ<br>プト/アイソクロナス転送 | •HUB Class Driver<br>•HID Class Driver<br>•Mass Storage Class Driver | •Communication Device Class Driver<br>•SICD Class Driver<br>•Audio Class Driver |
|                                   |  | ●受託開発も請負可能  |

## GR-USB/DEVICE

- 組み込み機器にUSB2.0デバイス機能(フル/ロー/ハイスピード)を提供
- 主要デバイスコントローラに対応  
ルネサス社製 M66291GP、M66592  
沖電気工業社製 ML60852A  
セイコーエプソン社製 S1R72V03/V05/V17  
※その他デバイスコントローラにも対応可能
- 標準デバイスリクエスト・プロトコル・エンジン搭載
- マルチI/Oバッファ対応機能
- CPU非依存、OSレスでも動作可能

### 弊社のUSBソリューション

USB 2.0仕様OTG プロトコルスタック  
Media Transfer Protocol

GR-USB/OTG  
GR-MTPシリーズ

PictBridgeプロトコルスタック  
組み込みファイルシステム

GR-PictBGシリーズ  
GR-FILE

ロイヤリティ不要の契約・C ソースコード提供



株式会社 グレープシステム<sup>®</sup> 営業部  
横浜市西区みなとみらい2-3-3 クイーンズタワーB 8F ☎220-6108  
TEL : 045-222-3761 FAX : 045-222-3760

e-mail middle@info.grape.co.jp

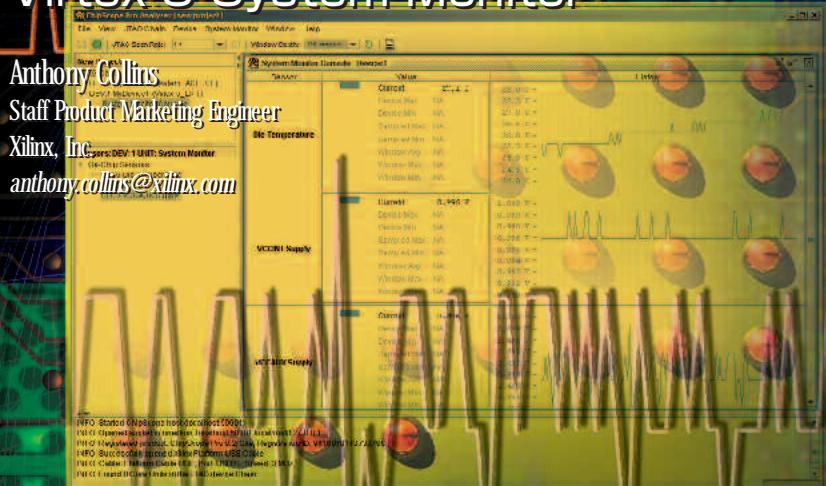
URL <http://www.grape.co.jp/>

\*記載の会社名および製品名は各メーカーの登録商標または商標です。

# Enhancing System Management and Diagnostics with the Virtex-5 System Monitor

## Virtex-5 System Monitorによるシステム管理と問題診断機能の拡張

FPGA 業界初のシステム管理機能  
Virtex-5 System Monitor



Anthony Collins  
Staff Product Marketing Engineer  
Xilinx, Inc.  
[anthony.collins@xilinx.com](mailto:anthony.collins@xilinx.com)

通信業界では、高い可用性が求められます。受話器を上げたらすぐに発信音が聞こえるのが当然と思われています。ブロードバンド プロバイダが、いわゆる「トリプルプレイ サービス」を展開して音声と画像の送受信を実現しようと競争を激化させるなか、消費者は電話と同様の高い可用性を期待しています。

高い可用性は、システムを構成するハードウェアに冗長性を組み込むことではじめて可能になります。この冗長性を効果的に管理するには、システムがその稼動状態を監視し、障害が発生した際には消費者がダウンタイムに気付く前にバックアップ ハードウェアに切り替えを行う必要があります。物理環境を注意深く監視することで、コンポーネントに障害が生じた際に事前に策を講じることができます。そのためには、温度や電源電圧、湿度、冷却性能などの可変要因を記録する各種センサを用いて、シャーシ内の物理環境を監視する必要があります。

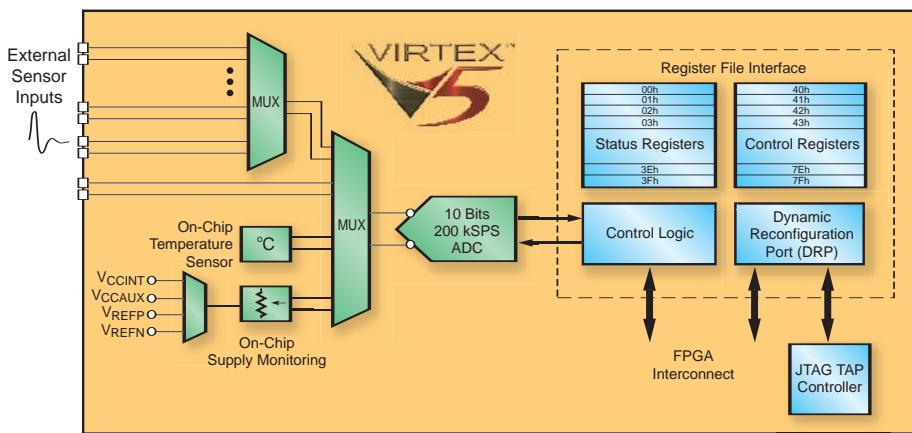
高い可用性が求められるインフラストラクチャでは、FPGA は重要なビルディング ブロックとなります。したがって、FPGA のオンチップ環境とシステム内のその近隣周辺を慎重に監視することが大切です。ザイリンクスの Virtex™-5 System Monitor は、FPGA とその外部環境を容易に監視することができます。

### Virtex-5 System Monitor

Virtex-5 System Monitor を使用することで、FPGA のオンチップ（ダイ）温度と電源環境に関する情報に容易にアクセスできます。また、最大 17 の外部センサを監視する外部アナログ入力チャネルを通して、外部センサの情報にアクセスすることも可能です。どのような機能を必要とするかにもよりますが、この情報にアクセスするには、デザインに対して手を加える必要はほとんどありません。アラームや自動チャネル シーケンサ、データ平均化といった一般的な機能は、



図 1 Virtex-5 System Monitor



System Monitor ブロック内に用意されているため容易に開発できます。

図 1 は、Virtex-5 System Monitor のブロック ダイアグラムです。これは、10 ビット、200 キロサンプル／秒のアナログ／デジタル コンバータ (ADC) をもとに作られています。ADC のアナログ入力レンジは 0V～1V です。解像度 10 ビットでは、ADC は約 1mV の精度で入力電圧を解像できます。

図 1 に示すとおり、オンチップ センサと外部アナログ入力チャネルの両方がアナログマルチプレクサを用いて ADC の入力に接続されています。このため、さまざまなセンサの出力電圧を ADC によってデジタル ワードに順次変換する必要があります。これらの測定結果はステータス レジスタに書き込まれ、FPGA ファブリックを用いて容易に読むことができ、また FPGA と PC 基板の JTAG インフラストラクチャを通して外部的に読むことも可能です。System Monitor の制御レジスタは、同じインターフェイスを用いて書き込み、または読み込みが行えます。測定用センサ チャネルの選択やプログラム アラームのリミット、センサの平均化など、System Monitor の動作は制御レジスタによってコンフィギュレーションされます。System Monitor は、電源投入後すぐに完全に機能します。正しく動作させるために FPGA をコンフィギュレーションする必要はありません。デフォルトでは、電源投入後オンチップ センサのみを監視するようになっていますが、外部アナログ入力をイネーブ

ルすることもできます。コンフィギュレーション前に測定情報にアクセスするには、JTAG テスト アクセス ポート (TAP) を使用します。

### ユーザー アラーム

System Monitor に組み込まれている便利な機能の 1 つに、オンチップ センサ用のアラーム信号を生成する機能があります。これらアラーム信号には、しきい値を指定できます。System Monitor はセンサを自律的に監視し、アラーム条件が検出されたときのみシステムにアラートを送ります。

また、System Monitor には温度超過 (OT) という工場出荷時のアラーム条件の設定も可能です。この機能をイネーブルすると、System Monitor が 125°C を超えるダイ 温度を検出した場合、チップ全体の電源切断を要求できます。ダイが指定された温度まで冷却すると、チップに電源が投入されます。System Monitor は、チップの電源切断中も稼動しオンチップ センサを監視します。

デフォルトでは、OT の機能はオフになっているため、明示的にイネーブルする必要があります。

### チェック機能

Virtex-5 System Monitor を用いて精度と信頼性の高い情報を得るには、測定データとモニタの動作について信頼性をチェックする必要があります。System Monitor に

は、動作の信頼性を確認するのに役立つたくさんの機能が用意されています。ADC やセンサに組み込まれているオート キャリブレーションにより、動作環境に起因するアナログ測定システムのドリフトを補正します。また、システム ホストは、自己チェック機能により System Monitor の動作を監視することができます。

## System Monitor JTAG アクセスの活用

Virtex-5 System Monitor の新しく追加された機能として、JTAG TAP を用いてブロックのあらゆる機能にアクセスすることが可能になります。アナログ テストとアナログ 情報へのアクセスが可能になることで、システム内の既存の JTAG インフラストラクチャの価値や効率をさらに高めることができます。JTAG へのアクセスは、FPGA のコンフィギュレーション前に生産中の PC 基板のテスト手法の一部として使用したり、あるいは通常の動作中にデバッグを容易にするために利用したりできます。

PB 基板上の電源電圧や電流などのオフチップの測定を容易にするため、特殊な JTAG コマンドを使って、FPGA のコンフィギュレーション前に外部アナログ入力をイネーブルできます。FPGA のコンフィギュレーション後でも、System Monitor はデザインに明示的なインスタンシエーションを必要としないため、設計段階の終盤であっても機能へのフル アクセスが可能で、JTAG TAP 経由でデバッグ作業を行ったりできます。System Monitor を確実に動作させるために必要な唯一の条件は、PC 基板を正しくサポートすることです。そのためには、System Monitor ユーザー ガイド (<http://japan.xilinx.com/vdocs/userguides/ug192.pdf>) で解説しているとおり、外部の 2.5V リファレンス IC への接続です。

図 2 は、FPGA の物理的な動作環境を通常の動作中に監視する代表的な診断アプリケーションです。図 2 の例では、時間 t0 で始まる膨大な電流需要の間、電力供給システム (PDS) における電圧 (IR) 低下を見るために System Monitor が使われていま



す。また、FPGA の温度も監視されています。電源や PC 基板のデザインにおける潜在的な問題は、開発中に素早く判別できます。JTAG アクセスは、特定のデザインに対する冷却が十分であるかを簡単に確認できます。ChipScope™ Pro Analyzer を使用すると、System Monitor に簡単にアクセスすることが可能で、他の JTAG テスト環境やプログラミング環境に簡単に取り込むことができます。

## システム統合

JTAG TAP を用いた便利なアクセスに加え、FPGA ファブリックを通して System Monitor の制御レジスタとステータス レジスタにフル アクセスすることも可能です。これらのレジスタは、ファブリックからいつでもコンフィギュレーションを行い読み込むことが可能です。JTAG TAP コントローラとファブリック インターフェイスによって System Monitor の両レジスタにデュアル アクセスすることも可能で、衝突の可能性を避けるためアビトリエーション スキームが用意されています。

System Monitor がデザイン上にインスタンシエートされており、FPGA のコンフィギュレーション中に初期化されている場合、これらレジスタの内容を定義することができます。したがって、コンフィギュレーション後にユーザー定義の動作モードで起動するよう System Monitor をコンフィギュレーションすることができるになります。ファブリック インターフェイスはダイナミックリコンフィギュレーション ポート (DRP) と呼ばれています。DRP は 16 ビットのパラル同期データ ポートで、ブロック RAM に似ています。

System Monitor をもっと細かく制御する必要のあるより高度なアプリケーションについては、DRP を使うことによってハードもしくはソフト マイクロプロセッサのペリフェラル アドレス スペースに System Monitor を簡単にマッピングできます。図 3 は、MicroBlaze™ プロセッサがプロトコルライクなインテリジェント プラットフォーム管理インターフェイス (IPMI) を走らせながら

ら、イーサネットやシンプルな UART／モデルなどの管理チャネルを介してシステム ホストと通信している、代表的なシステム管理アプリケーションです。

System Monitor はまた、汎用 ADC として重要なマイクロプロセッサ ペリフェラルを提供します。マイクロコントローラによく使われるアナログ ペリフェラルが FPGA に統合されたのは業界初です。ADC の動作はフルに制御できます。ADC は多数のサンプリング モードを備え、単極、双極、フル差動のアナログ入力方式をサポートします。

## 結論

Virtex-5 System Monitor は、一般的なオンチップ環境や外部環境の監視ニーズに非常にシンプルなソリューションを提供します。System Monitor が提供する機能は、最小限の開発とデザインで容易に利用することができます。System Monitor を JTAG TAP コントローラにインターフェイスすることで、JTAG の機能は新たなアプリケーション分野で広く活用され、新たなテスト機能を実現しています。

図 2 System Monitor の測定値には JTAG TAP を通してアクセスが可能

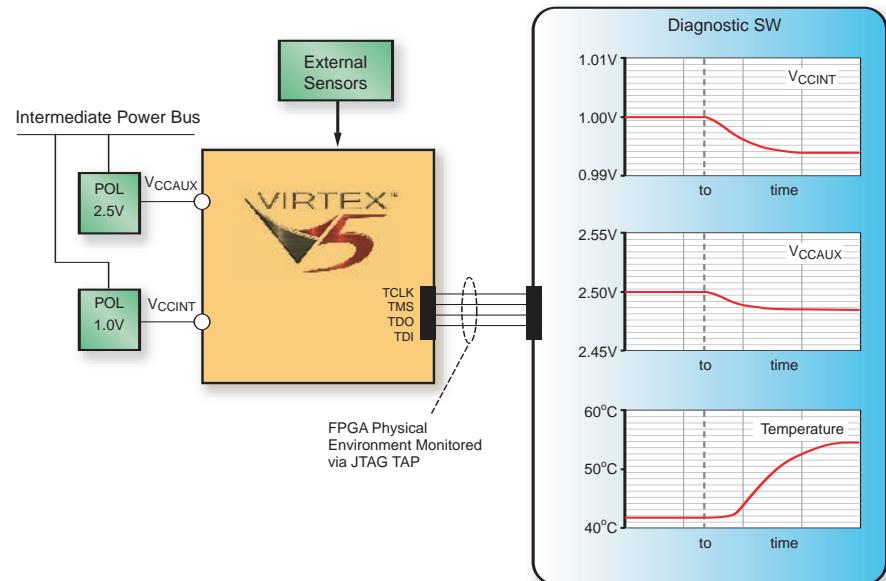
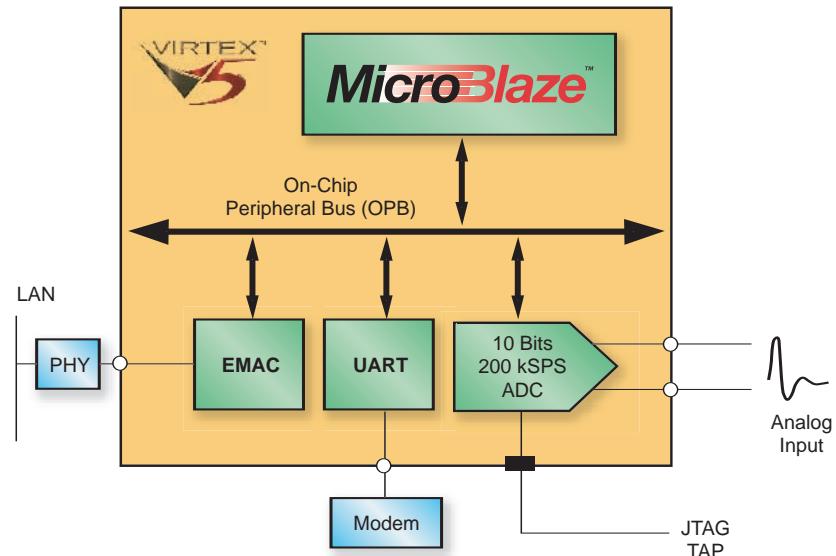


図 3 マイクロプロセッサ ペリフェラルとしての System Monitor ( または ADC )





# Memories are Made of This...

# Virtex-5 FPGA のメモリ

## Virtex-5 FPGA が提供する幅広いレンジの各種メモリと メモリ インターフェイス

Peter Alfke

Distinguished Engineer

Xilinx, Inc.

peter.alfke@xilinx.com

FPGA アプリケーションは、データやパラメータ、命令にさまざまな容量のメモリを使用します。ザイリンクスの Virtex™-5 デバイスは、数ビットから数メガバイトまでの格納を実現する 3 階層のメモリ実装方法を提供しています。

- LUT ベースの分散 RAM を使用した 64 ビット単位のメモリ
- ブロック RAM を使用した 18KB 単位のメモリ
- オンチップ メモリ インターフェイスを使用した、事実上何メガバイトでも格納可能な外部メモリ

## LUT RAM

ザイリンクスは、XC4000 の時代からルッピアップ テーブル (LUT) をユーザー RAM として使用できるようにしてきました。Virtex-5 デバイスでは、LUT は 64 ビットに拡張され、64 ビット X 1、もしくは 32 ビット X 2 RAM として使用できます。LUT RAM (図 1) は、非常に高速なアクセス時間 (サブナノ秒) や、ロジック ファブリックとの緊密な連携、優れたデザイン フレキシビリティを提供します (右コラム「な

図 1 LUT RAM

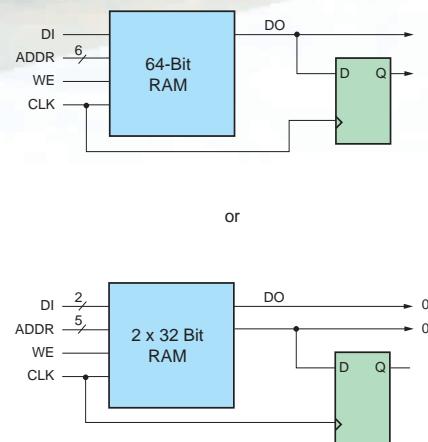
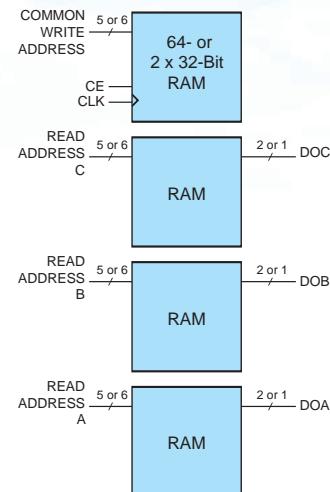


図 2 4 ポート RAM としてのスライス



## なぜ 6 入力 LUT なのか?

ザイリンクスが FPGA に 4 入力 LUT を初めて採用したのは 20 年も前のことです。当時、技術性と市場性を徹底的に調査した結果、ランダムロジックをインプリメントする LUT には 4 入力 (16 ストア ビット) が最適なサイズだという結論に達しました。

プロセスの進化により、トランジスタはかつてなく小型化され、配線やその他の構造が飛躍的に改善されました。この結果、高度に最適化された LUT が回路に占める割合ははるかに小さくなりました。ザイリンクスは、Virtex-5 デバイスに対する LUT の最適サイズを見直したところ、従来の 4 倍の 6 入力 LUT にしても CLB のサイズは 15% しか増えないことがわかりました。その後、広範なベンチマーク テストを実施し、6 入力 LUT は従来の 4 入力 LUT と比較してロジック

ファンクションを平均 40% 多く搭載できることが証明されました。15% 多くエリアを使用してもロジックを 40% 追加できる、すなわち、ロジック エリアを約 30% 節約できるわけです。

各 LUT のメモリ容量が 4 倍になれば、LUT と RAM は 2 ビット幅にすることが可能で、これは大いに歓迎すべきことです。

Virtex-5 デバイスは 1 枚のスライスに 4 個の LUT を取り込んでいます。スライスにはスライス L とスライス M の 2 種類があり、どの Virtex-5 デバイスでもその数はほぼ同じです。スライス L 内の LUT はロジックを実行し、キャリーチェーンを含むことができます。スライス M 内の LUT は機能的には同じですが、分散メモリ やシフト レジスタ ロジック (SRL32) ファンクションとして使用することもできます。

ぜ 6 入力 LUT なのか」を参照)。

## マルチポート オプション

スライス M 内の 4 個の LUT は、書き込みアドレスを 1 つに共有した場合でも、このアドレスが他の 3 個の LUT の読み出しアドレス指定に干渉することはありません。これら 4 個の LUT で、1 つの書き込みポートと、すべて同じデータにアクセスする 3 つの独立した読み出しポートからなる 4 ポートメモリをインプリメントできます。最新の MicroBlaze™ プロセッサでは、この機能を用いてレジスタ ファイルの実装に必要な LUT を 384 個から 44 個に削減しています。この種のアプリケーションでは、新しい 6 入力 LUT は旧世代の 4 入力 LUT (図 2) より 6 倍も効率的なのです。

## シフト レジスタ

スライス M 内の LUT は、アドレス指定が可能なシリアルシフト レジスタとして使用できます。LUT はシングルビットシフト レジスタ (最長 32 ビット)、もしくは 2 ビット幅のシフト レジスタ (最長 16 ビット) のどちらにもコンフィギュレーションできます。Virtex-5 のシフト レジスタは、従来の SRL16 構造とは異なり、1 ビットのシフト レジスタあたり 2 つのラッチを持つこ

とで強固なスケーラブル デザインを採用しており、LUT あたり最長 64 ビットではなく 32 ビットとなります (図 3)。

## ブロック RAM

より大規模な RAM 構造の場合、Virtex-5 デバイスは最大 36Kb の容量を持つ数十、または数百のブロック RAM を搭載します。

各ブロック RAM の構造は次のようにコンフィギュレーションできます。

- 幅 72 ビット、深さ 512
- 幅 36 ビット、深さ 1K
- 幅 18 ビット、深さ 2K
- 幅 9 ビット、深さ 4K
- 幅 4 ビット、深さ 8K
- 幅 2 ビット、深さ 16K
- 幅 1 ビット、深さ 32K

また、36Kb のブロック RAM を 2 分割し、次のようにコンフィギュレーションして 2 個の 18Kb ブロック RAM として別々に使用することも可能です。

- 幅 36 ビット、深さ 512
- 幅 18 ビット、深さ 1K
- 幅 9 ビット、深さ 2K
- 幅 4 ビット、深さ 4K

- 幅 2 ビット、深さ 8K
- 幅 1 ビット、深さ 16K

各ブロック RAM は 2 つの独立したアクセス ポートを持ち、各ポートを個別にコンフィギュレーションできます。これにより、データ幅の変換が非常に容易になります。

## 書き込み中の読み出しが可能

入出力の各ポートとして、データイン (DI) バスとデータアウト (DO) バスは独立しています。データを DI バスからメモリに書き込むと、DO バスは書き込みアドレスにあった前のデータ、もしくは書き込まれている新しいデータのいずれかが出力されます。もう一つのオプションとしては、DO を前の状態のまま維持することもできます。この 3 つのコンフィギュレーション オプションにより、一般には見過ごされがちなデザインの柔軟性を提供するのです。

ブロック RAM の動作には、たとえデータの読み出しあってもクロックが不可欠です。これは、場合によっては好ましくないこともありますですが、絶対条件です。クロックがイネーブルされていない場合は、何も行われません。また、クロックがイネーブルされている場合は、データとアドレスはセットアップ／ホールド時間の要件を満たす必要があります。この要件を満たさないと、データの中

図 3 シフト レジスタとしての LUT

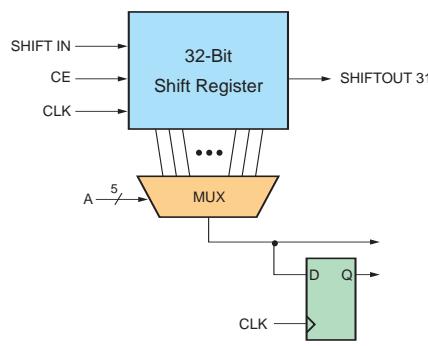


図 4 外部メモリとしての ECC

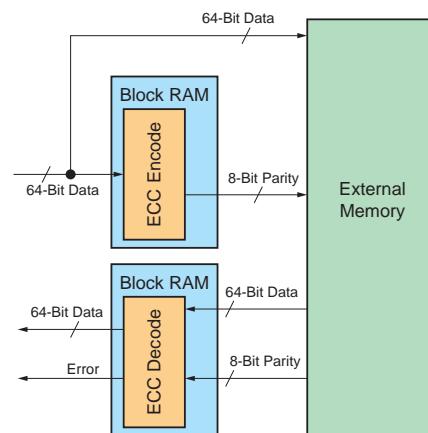
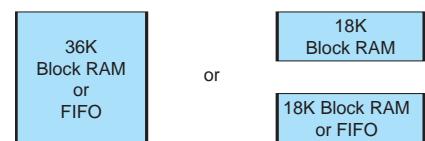


図 5 デュアル ポート RAM または FIFO





身が改ざんされる危険があります。

## ECC (エラー訂正コード)

ブロック RAM を 72 ビット幅でコンフィギュレーションした場合、ハミング コードを用いてエラーを検出、訂正する 64 ビット幅のデータを提供します。この ECC コントローラは各ブロック RAM に組み込まれており、シングル エラーとダブル エラーを検出し、シングル エラーをすべて訂正します。

ECC コントローラは外部メモリと一緒に動作させることも可能ですが、この場合、書き込みと読み出しにそれぞれ 1 個の完全なブロック RAM を使う必要があります。データの整合性を求めるメモリ設計者にとって、この組み込み型の ECC 回路は非常に便利です（図 4）。

## FIFO

FIFO は通常、デュアル ポートの SRAM を用いてインプリメントされ、一方のポートは書き込み用、もう一方は読み出し用に使用します。従来、Virtex ファミリの多くのブロック RAM は FIFO としても使われてきました。ザイリンクスが Virtex-5 のブロッ

ク RAM に専用 FIFO コントローラを組み込んだのはそのためです（図 5）。

Virtex-5 デバイスは、32~288 個のブロック RAM を持ち、それぞれ 36Kb または 18Kb の FIFO としてコンフィギュレーションできます。

FIFO コントローラはブロック RAM 全体を FIFO として使用する場合、次のようなコンフィギュレーションをとることができます。

- 幅 72 ビット、深さ 512
- 幅 36 ビット、深さ 1K
- 幅 18 ビット、深さ 2K
- 幅 9 ビット、深さ 4K
- 幅 4 ビット、深さ 8K

また、FIFO コントローラは、ブロック RAM の半分を使って FIFO を構成し、残りの半分を汎用ブロック RAM として使用することもできます。その場合、FIFO のコンフィギュレーションは次のようにになります。

- 幅 36 ビット、深さ 512
- 幅 18 ビット、深さ 1K
- 幅 9 ビット、深さ 2K
- 幅 4 ビット、深さ 4K

## EMPTY フラグの同期化を検証する

ザイリンクスは、200MHz で FIFO にデータを書き込み、500MHz でそれを読み出すことで EMPTY 同期化ロジックを徹底的にテストしました。この場合、各書き込みサイクルのすぐ後に FIFO は EMPTY になります。こうして検出ロジックを実行し、EMPTY の立ち下がりエッジを 1 秒間に 2 億回再同期化しました。

これは、実質 200MHz で昇順のデータ シーケンスを書き込み、500MHz でそれを読み出したことになります。同じ 500MHz で別の FIFO に出力データを直接書き込んでみたところ、その FIFO は元の 200MHz で読み出しが行われました。

連結した 2 つの FIFO は同期システムを形成しますが、それら 2 つの間で行われるデータ転送は非同期です。出力データから入力データを同期

的に引き算してみると、その差は一定しており、500MHz の読み出し／書き込みレートでもまったく問題なく転送でき、これほど高速でもフラグ同期化の問題は発生しないことがわかりました。

2 つのクロック周波数に相関関係がない場合、各読み出しクロック サイクルは書き込みクロックに対して異なる位相関係を持ちます。どの 1 秒間にも、アクティブな読み出しクロック エッジは約 2 億の異なる位相オリエンテーションで約 5ns の書き込みクロック周期を横断し、0.025 フェムト秒のタイミング精度を実現します。この解像度は、従来のいかなる決定論的テスト手法で達成するよりも数百万倍優れています。

ザイリンクスは、このデザインを数週間にわたって 1014 回以上動作させましたが、エラーは一度も発生しませんでした。

いずれの場合も、FIFO の書き込みポートと読み出しポートの幅は同じです。幅が不均等だと FULL/EMPTY フラグの解釈が難しくなることから、Virtex-5 デバイスにはインプリメントされていません。

ソフト FIFO コントローラ コアは何年も前から利用されてきましたが、専用の FIFO コントローラには次の 3 つの利点があります。

- 専用ロジックはプログラマブル ロジックより当然高速であるため、より高い性能を発揮できます。
- ファブリック リソース、CLB、追加のインターフェクトをいっさい使用しないため、小型かつ低消費電力です。
- デザインの手間をかけることなく機能性と高い性能を保証します。

FIFO デザインでは、書き込みおよび読み出しクロックの周波数に関連性がない場合に、ステータス フラグ（FULL、EMPTY、ALMOST\_FULL、ALMOST\_EMPTY）をいかに確実に生成するかに非常に苦労します。ステータス フラグの立ち下がりエッジが「誤った」クロック ドメインによって生成されることを避けられず、正しいクロック ドメインに再同期化する必要があります。詳細は、[http://www.sunburst-design.com/papers/CummingsSNUG2002SJ\\_FIFO\\_2.pdf](http://www.sunburst-design.com/papers/CummingsSNUG2002SJ_FIFO_2.pdf) をご覧ください（右コラム「EMPTY フラグの同期化を検証する」を参照）。

FIFO コントローラには、First Word Fall Through (FWFT) と同期動作の 2 つの新しいオプションが用意されています。

空の FIFO に最初のデータが書き込まれると、EMPTY 出力は LOW (非アクティブ) になります。これで読み出しポート側では読み出しクロックをイネーブルできるようになります。データを出力できるようになります。これを「プル」動作と呼び、次にイネーブルされた読み出しクロックの後にデータが出力出てきます。

FWFT では、新たに書き込まれたデータ ワードは EMPTY が非アクティブになると同時に出力に自動的に表示されます。これを「プッシュ」動作と呼びます。



FIFO はどちらのモードにもコンフィギュレーションできます。両モードの違いは、FIFO が空になった後、最初のワードの読み出しデータが outputされるまでわかりません。それ以後の動作では、2つのモード間に動作の違いはありません。

## 非同期 VS 同期動作

FIFO の主な目的はほとんどの場合、独立したクロック ドメイン間の橋渡しをすることです。したがって、大多数の FIFO アプリケーションは、書き込みと読み出しに相關関係のない個別クロックを使用します。各フラグのエッジを反対側のクロックに再同期化するため、フラグの立ち上がりエッジには、最大で 1 クロック周期分の遅延が発生します。その結果、フラグが非アクティブになるまでの遅延が増え、ごくわずかですが予測

できないパフォーマンス ロスを招きます。それは FIFO が EMPTY または FULL 状態から回復する間のみ発生します。

アプリケーションによっては、クロック ドメインが 1 つしかなく、書き込みクロックと読み出しクロックがまったく同じ場合があります。その場合、モードを「同期」に設定して使うことも可能です。こうすることで、再同期化の回路が不要になり、フラグの立ち上がり遅延を減らして、遅延の不確実性を完全に回避できます。ただし、パフォーマンスの改善はごくわずかです。

## 外部メモリ

デザインが数メガバイトのメモリを必要とする場合、外部の DRAM デバイスにインプリメントするのがベストです。高性能 SDRAM コントローラを独自に設計した場

合、デザインにミスを招く恐れがありますが、ザイリンクスは実証されたアプリケーション ノートや、数種類のメモリ コントローラ デザインをインプリメントする詳しいマニュアル付きのコアおよび評価ボードを提供しています。

## 結論

16 年前に XC4000 に最初の LUT RAM が登場して以来、Virtex-5 のメモリとメモリ インターフェイスは長い歳月を経てきました。FIFO および ECC オプションを備える柔軟性の高いデュアル ポートのブロック RAM は、システム デザインを簡素化し、また詳しいマニュアルが用意されているメモリ インターフェイス デザインを用いて、外部 DRAM を無限に拡張していくことが可能になりました。



# ザイリンクス販売代理店オリジナルトレーニング

## PALTEK <http://www.paltek.co.jp/seminar/index.htm>

| コース名                    | 開催日   | 開催地              |
|-------------------------|---|------------------|
| 初級者のための ISE ハンズオントレーニング | 4/5(木)、5/30(水)、6/14(木)、6/27(水)<br>3/16(金)、4/6(金)、5/18(金)、6/15(金)<br>4/10(火) | 新横浜<br>大阪<br>名古屋 |
| 初級者のための DSP ハンズオントレーニング | 3/20(火)、6/15(金)   | 新横浜              |
| VHDL 初級トレーニング           | 5/29(火)   | 新横浜              |
| Verilog-HDL 初級トレーニング    | 3/14(水)、5/17(木)<br>4/4(水)、6/13(水)   | 大阪<br>新横浜        |

## 菱洋エレクトロ <http://www.ryoyo.co.jp/xilinx/>

※4月～6月の開催日程は変更になる場合もあります。  
詳細はWebにてご確認ください。

| コース名                    | 開催日   | 開催地      |
|-------------------------|---|----------|
| ISE 初級コース／ISE デザイン入力    | 3月15日(木)、4月19日(木)、5月24日(木)、6月21日(木)<br>3月8日(木)、5月17日(木) | 東京<br>大阪 |
| ISE 初級コース／FPGA 設計導入     | 3月16日(金)、4月20日(金)、5月25日(金)、6月22日(金)<br>3月9日(金)、5月18日(金) | 東京<br>大阪 |
| HDL 入門コース／VHDL 入門       | 4月18日(水)、6月20日(水)<br>3月7日(水)、5月16日(水)                   | 東京<br>大阪 |
| HDL 入門コース／VerilogHDL 入門 | 3月14日(水)、5月23日(水)<br>4月11日(水)、6月6日(水)                   | 東京<br>大阪 |

## 東京エレクトロン デバイス <http://ppg.teldevice.co.jp/>

| コース名  | 開催日 | 開催地 |
|---|-----|-----|
| ベーシック VHDL 記述、ベーシック Verilog-HDL 記述 コース                    |     |     |
| FPGA 設計導入コース (ISE コース)                                    |     |     |
| ベーシック CPLD コース - ISE WebPACK -                            |     |     |
| 初めてでも使える! Spartan3 (Virtex-II) 設計コース (Spartan コース)        |     |     |
| 初めてでも使える! Virtex-4 基本設計手法 (Virtex コース)                    |     |     |
| 動かす!! 〈実践〉高速シリアル IO 体験コース RocketIO/Aurora編 (RocketIO コース) |     |     |
| 初級ザイリンクスプロセッサ・ワークショップ (ハードウェア編)                           |     |     |
| 初めての Synplify/Synplify-Pro セミナー                           |     |     |
| 初級 System Generator for DSP コース (初級 DSP コース)              |     |     |
| 初めて作る!! Virtex4 による高性能 FIR フィルタ設計実践 コース (V4-DSP 設計コース)    |     |     |
| 動かす! わかる! Virtex-4 + DDR2 SDRAM 高速設計手法 (DDR-SDRAM コース)    |     |     |

\* 開催日程はWebにてご確認ください。

\* 場所は  
Webにて  
ご確認  
ください。



# Meeting Memory Interface Design Challenges with Virtex-5 FPGAs

## Virtex-5 FPGA で先進的メモリインターフェイス デザインへの挑戦

### 最先端の最速メモリ インターフェイスをサポートする Virtex-5 デバイス

Richard Chiu

Staff Applications Engineer

Xilinx, Inc.

rich.chiu@xilinx.com

メモリ インターフェイスの設計者は、新しいインターフェイス プロトコルを採用しないかぎり、既存のインターフェイスに対してどんどん高速なバス スピードをサポートしなければなりません。DDR2 SDRAM、QDR II SRAM、RLDRAM II など、最新のソース 同期型ダブル データ レート (DDR) メモリ デバイスでは、チップや PCB レベルで多くの課題があります。クロック周波数が高くなるほど、データ有効ウインドウは急速に縮小し、シグナル インテグリティの問題やクロック ジッタ、メモリの不確定要因、変動的なシリコン遅延、PCB トレース スキューの不一致などの要因から、より小さなデータ有効ウインドウでタイミングを満たすのはますます困難になっています。

#### Virtex-5 FPGA は メモリインターフェイスの デザインを改善

ザイリンクスの Virtex™-4 FPGA ファミリーは、メモリ インターフェイスに関して、複数のオンチップ機能を提供しています。それらの中で ChipSync™ テクノロジは、各 I/O ブロックにプロセスや電圧、温度の変化を補正する調節可能な遅延エレメント (IDELAY) と拡張 DDR キャプチャのサポートを追加するものです。この機能は、ソース同期型のメ

モリ インターフェイスを用いてデザインするときの課題を克服するうえで非常に役立ちます。Virtex-4 のメモリ インターフェイス デザインでは、キャリブレーション アルゴリズムを用いてタイミング パス内のスキューや遅延を排除し、デザインをより高い周波数で動作させることができます。

Virtex-5 では、動作周波数の限界をさらに高めるための追加機能が用意されています。Virtex-5 デバイスでの拡張機能のうち、メモリ インターフェイス デザインで重要なものとして、次が挙げられます。

- ExpressFabric™ テクノロジが採用されました。このアーキテクチャ面での拡張により、内部ロジックをより高いクロック周波数で動作させることができます。基本スライスのルックアップ テーブル (LUT) は、4 入力から 6 入力 LUT に増え、必要なロジックレベルを削減することができます。また、配線方式が強化され、その結果、スライス内およびコンフィギュアブル ロジック ブロック (CLB) 間でより最短での配線が可能になりました。

- I/O バンク サイズを最大 64 I/O (Virtex-4 部品/パッケージのセレクト コンビネーションでは 80 I/O) から 40 I/O に減らすと共に、バンク数を増やしました。これにより、1つの FPGA に多数の I/O 電圧レベルをより効率的にインプリメントできます。また、各バンクにさらに多数の I/O クロック リソースを

追加しました。

- デジタル クロック マネージャ (DCM) ブロックに加え、クロック リソースとしてフェーズ ロック ループ (PLL) ブロックを用意。PLL は、低ジッタのクロック生成と入力クロックのジッタ フィルタリングに役立ちます。

- ブロック RAM/FIFO のサイズを 36Kb に倍増し、最大幅 72 ビットをサポートするよう拡張されました。エラー訂正コード (ECC) の検出と訂正を必要とするアプリケーションでは、各ブロック RAM に組み込まれた ECC エンコード/デコード ロジックを利用できるようになり、ロジック セルの使用量が減ることから、同じ機能を汎用ロジックにインプリメントする場合よりはるかに高い性能を引き出すことができます。

- I/O ドライバが 3 ステートの場合は、双方向 I/O に対してデジタル制御インピーダンス (DCI) オンチップ スプリット テブナン (Thevenin) 終端をサポートします。これは、多くのメモリ デバイス ファミリーにインプリメントされているオンチップ終端 (ODT) 機能と同様、特定の HSTL および SSTL I/O 向けに提供されており、FPGA がメモリに書き込みを行っている際の消費電力を節約するために使用できます。

- パッケージのサブストレートに低インダ

クタンスのバイパス コンデンサを直接組み込むことで、必要な外部バイパスコンデンサの量を減らし、PCB レイアウトを簡素化しています。

## Virtex-5 のメモリ インターフェイス手法

高速なソース同期バスに対する読み込みや書き込みのタイミングを満たすには、不確定要因を最小限に留めることが必要です。一般に、読み込みデータの取り込みはデザインで最も苦労する部分です。

Virtex-5 FPGA に対する書き込みタイミングは、Virtex-4 デバイスの場合と同じようにサポートされます。DCM もしくは PLL は、ベース（「システム」）クロックの直交位相出力を生成します。メモリ ストローブは、システム クロックのインフェーズ コピー (CLKO) によってクロッキングされる出力 DDR レジスタを用いて送られます。書き込みデータは、システム クロックより 90° 位相が進んだ DCM クロック出力 (CLK270) によってクロッキングされます。これにより、ストローブは FPGA の出力側で書き込みデータの中心にそろえられます。

Virtex-4 と Virtex-5 のメモリ インターフェイス デザインは、いずれも次の 2 種類の読み込み方式をサポートしています。

- 「ダイレクト クロッキング」方式は、I/O ブロック内に内蔵されている入力 DDR フリップ フロップのシステム クロックを用いて直接レジスタに取り込むことができるよう、読み込みデータを遅延させない手法です。メモリ ストローブは、キャリブレーション中にのみ使用され、関連データを遅延させるための最適な時間を決定します。図 1 は、ダイレクト クロッキングの読み出しデータ キャプチャ パスです。
- 「ストローブ ベース」方式は、メモリ ストローブを使って該当する読み込みデータをキャプチャし、I/O クロック バッファ (BUFIO) を通してローカルに生成した遅延ストローブを使ってレジスタに取

り込む手法です。このデータは、後に続く第2ステージのフリップ フロップでシステム クロック ドメインに同期化されます。読み込みには I/O ブロック内の入力シリアルライザ/デシリアルライザ (ISERDES) 機能が使われ、ISE RDES 内の最初の 2 段のフリップ フロップを使ってデータを遅延されたストローブ ドメインからシステム クロック ドメインに変換します。図 2 に、Virtex-5 メモリ インターフェイス デザインの読み込みパスを示します。

ほとんどの Virtex-4 デザインは、読み込みデータの取り込みにダイレクト クロッキング方式を使います。しかし、Virtex-4 SERDES DDR2 デザインから新世代 Virtex-5 メモリ インターフェイス デザインでは、より高速なクロック スピードで厳しいタイミング要件を満たす必要があるため、ストローブ ベース方式が適しています。

どちらの手法も、キャリブレーション ルーチン中に可変が可能な IDELAY エレメントを使用します。このルーチンはシステムの初期化中に実行され、ストローブ/データとシステム クロック間の最適な位相を決定してセットしてストローブとデータの両方を遅延することで、タイミング マージンを最大化しています。キャリブレーションはプロセスまたはボード特有のパス遅延の要因を補正します。補正される要素は、PCB の配

線遅延、パッケージの遅延、プロセスに起因する伝播遅延（メモリと FPGA の両方）、そしてFPGA I/O ブロック内のキャプチャ フリップ フロップのセットアップ/ホールド時間があります。キャリブレーションは、システムの初期化段階でのプロセスと電圧、温度に依存する遅延変動を補正します。しかし、インターフェイスのタイミング バジェットには、実動作時の温度と電圧の変動を別途考慮に入れる必要があります。

キャリブレーションでは、ストローブとデータに対する IDELAY が順次インクリメントされ、メモリから継続的に読み戻しを行ったり、データ有効ウインドウの先頭エッジまたは両方のエッジが決定されるまで、あらかじめ書き込まれたトレーニング パターンもしくはメモリ ストローブそのものをサンプリングしたりすることで、エッジの検出を行います。

図 1 Virtex-4 ダイレクト クロッキングによる読み出しデータのキャプチャ パス

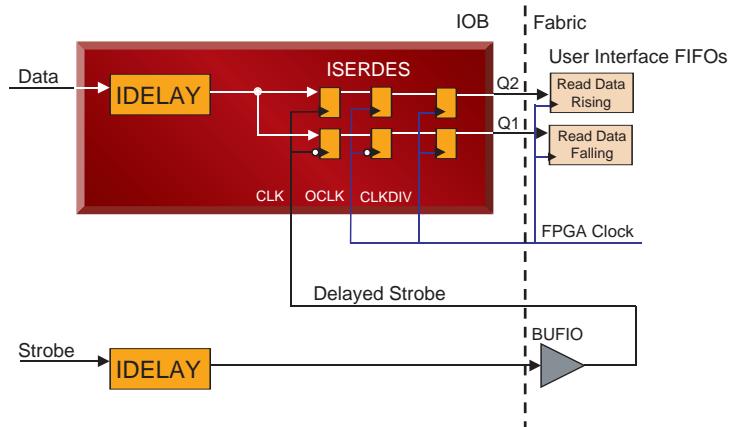
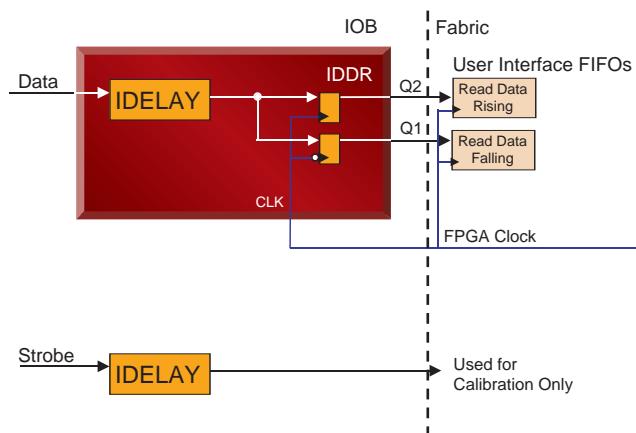


図 2 Virtex-5 ストローブ ベースの読み出しデータ キャプチャ パス





その後、データまたはストローブに対する IDELAY がセットされ、最大タイミング マージンを提供します。ダイレクト クロッキング方式の場合、付随データを遅延させるため、ストローブに対する最適な遅延が使われます。

ストローブ ベース方式のキャプチャでは、まずストローブ ドメインでデータをキャプチャし、次にこのデータをシステム クロック ドメインに転送するという 2 段階での同期化を行なうため、ストローブとデータはそれぞれ異なる遅延値を持ちます。

ダイレクト クロッキング方式は、デザインが簡素なうえ、ストローブ ベース方式と比較して I/O ピンの制約が少なくてすみます。しかし、クロック周波数が高い場合は、ストローブ ベース方式が有効となります。2 段階方式によるキャプチャは、次に挙げる 2 つの理由によりキャプチャのタイミング マージンに優れているためです。

- DDR 部分のタイミングは、ISERDES における初段のフリップ フロップによって制限されています。ストローブはデータをレジスタに取り込むために使用されるため、このタイミングは主にストローブからデータまでの変動によって制限されます。たとえば DDR2 の場合、このタイミングは tDQSQ および tQHS パラメータにより与えられます。ダイレクト クロッキング方式では、メモリ クロックの駆動と読み出しデータのキャプチャの両方にシステム クロックが使われるため、データからクロックまでの変動 (DDR2 の場合、tAC) を考慮する必要があり、ストローブからデータまでの変動と比べて不確定要因が大きくなります。

- ストローブからクロックへの変動は、データが遅延ストローブ ドメインからシステム クロック ドメインに転送されるキャプチャの第 2 ステージにおいて重要になります。この時点でデータは、2 つの別々のシングル データ レート パスに分割されていることで、十分大きなタイミング ウィンドウで遅延ストローブとシステム クロック合わせることができます。

ストローブ ベース方式のキャプチャは、メモリ ストローブをクロック対応の I/O ピンに配置する必要があるため、I/O ピンの制限がより厳しくなります。このため、特定バンクにおける I/O の利用が制限されることがあります。しかし、Virtex-5 デバイスでは、I/O バンクサイズをより小さくし、バンクあたりの I/O クロック リソースを増加させる (バンクあたりの BUFI0 ローカル クロック バッファの数は 2 から 4 に増加) ことで I/O ピンの制約は緩和され、各バンクにより多くのストローブとそれに付随する I/O (データ、マスク) を配置することが可能となっているのです。

Virtex-5 のメモリ コントローラが優れている点として、他にも次のものが挙げられます。

- フルスピード動作 : Virtex-4 の SERDES デザインと Virtex-5 のデザインは、いずれもメモリ キャプチャに ISERDES を使用しています。しかし、Virtex-5 のデザインは ISERDES のバス幅拡張機能を使用しません。また、メモリ コントローラはメモリ クロックと同じスピードで動作します。Virtex-4 の ISERDES デザインはメモリ クロックの半分のスピードで動作しますが、バス幅は 2 倍です。メモリと同じクロックスピードでの動作は、より高性能な Virtex-5 ファブリックにより実現されました。これにより、ISERDES を通して読み出しデータのレイテンシやメモリ コントローラのレイテンシを最小限に抑えと共に、バンク管理ロジックを簡素化します。

- バンク管理 : Virtex-5 の DDR2 コントローラは、バンクを開いたままにすることでバンクの開閉に伴うオーバヘッドを削減する LRU (Least Recently Used : 最も長時間使用されてない) バンク管理アルゴリズムを採用しています。LRU アルゴリズムとは、バンクをアクセスの終了時に開いたままの状態にし、新しいバンクを開く必要がある際にコントローラが最も長時間使用されていないバンクを閉じるように動作します。

Virtex-5 では、一度に最高 4 つのバンクを開いておくことが可能です。

Memory Interface Generator (MIG) ツールを使用すると、カスタム メモリ コントローラを生成することができます。MIG は Core Generator ソフトウェアを用いてアクセスし、HDL ソース (Verilog または VHDL) デザイン ファイルと、それに付随するコンストレントおよびビルド スクリプトを出力します。

最新版 (MIG 1.6) では、Virtex-5 デバイスに対して DDR2 SDRAM レジスター DIMM および QDR II SRAM コンポーネント インターフェイスもサポートしています。DDR2 コントローラは、最高 333MHz (667 Mbps) のバス クロック スピードでの動作をサポートします。QDR II は最高 300MHz (600Mbps) のバス クロック スピードでの動作をサポートします。

MIG によって生成された Virtex-5 デザインでは、デザインの物理レイヤ インターフェイス部分をコントローラ部分から簡単に切り離すことができます。これらを切り離すことで、設計者は独自のコントローラを採用しながら、メモリ初期化と高性能ソース同期キャリブレーション ロジックを保持することができるのです。

Virtex-5 デバイス ファミリは、Virtex-4 FPGA をベースに改良されており、メモリ インターフェイスのデザインを簡素化すると共に、ますます高速化するバスをサポートするため、さらに追加の機能を備えています。

MIG をダウンロードする方法と、Virtex-5 メモリ コントローラ リファレンス デザインのインプリメンテーションおよびデザインに関する詳細は、<http://japan.xilinx.com/memory/>をご覧ください。

Virtex-5 メモリ コントローラはリファレンス デザインとしても利用することが可能で、上述の Web サイトよりダウンロードが可能です。

- XAPP858(DDR2 SDRAM)
- XAPP853(QDR II SRAM)
- XAPP852(RLDRAM II)
- XAPP851(DDR SDRAM)



# Implementing Memory Controllers Using the Memory Interface Generator Tool

# メモリ インターフェイス ジェネレータ (MIG) ツールによる メモリ コントローラ の実装

ザイリンクス FPGA の  
メモリ コントローラの設計を容易にする  
メモリ インターフェイス ジェネレータ ツール

Nagesh Gupta  
Founder & CEO  
Tary Inc.  
nagesh@taryinc.com

メモリ インターフェイス ジェネレータ (MIG) ツールは、ザイリンクスの FPGA 向けメモリ コントローラを容易にデザインする包括的なツールです。メモリは、ザイリンクスが使用されるほとんどのアプリケーションで使用されます。MIG ツールの目的は、メモリ インターフェイスのデザインを簡素化することで、FPGA ユーザーがメモリ以外のシステム デザインに専念できるようにすることです。

MIG ツールは、Virtex™-II と Virtex-II Pro FPGA 向けのメモリ コントローラ ピン選択ユーティリティとして、2002 年に発表されました。以来、著しい進化を遂げ、現在では Virtex-4、Virtex-5、Spartan™-3、Spartan-3E FPGA を含むザイリンクスのあらゆる FPGA デバイスをサポートしています。

MIG ツールは、ユーザーの入力に基づいて Verilog または VHDL フォーマットで HDL を動的に生成します。また、「.ucf」ピン制約や、スライスおよびロジックの配置制約、ユーザーによる最小限の変更で高性能デザインを作成するために必要なその他制約を生成します。

MIG の出力は非暗号化フォーマットでフルに利用できるため、デザインに変更を加えることが可能です。

## Time-to-Market に対する利点

DDR2 に代表される高速メモリは、デザインが複雑です。そこで、MIG ツールに用意されているターゲット リファレンス デザインを使うことで、一般的に 6 ヶ月以上の期間を節約できます。

検証済みのリファレンス デザインを使うことで、他のデザイン アクティビティに専念できることから、全体的な Time-to-Market の短



縮につながります。

## MIG コントローラのアーキテクチャ

MIG ツールは、メモリ コントローラをフルにインプリメントするために必要なものを

すべて生成します。MIG コントローラは、次からなる論理レイヤにインプリメントされます。

- 物理レイヤ部 (PHY) は、読み出しデータを取り込み、そのデータを近くのクロック ドメインに転送して格納します。また、PHY は書き込みデータやコマンド／制

- 御信号を送信します。
- コントローラ部はユーザーの要求に応じて必要なコマンドを生成します。また、メモリを読み出し、書き込み、リフレッシュするためのステート マシンを提供します。
- ユーザー インターフェイス部は、アプリケーションとの間でデータやコマンドを取り扱うことができます。

表 1 Virtex-4 DDR2 SDRAM デザインに対するハードウェアおよびシミュレーション テストのまとめ

| ハードウェア検証のコンフィギュレーション |   |
|----------------------|---|
| HDL                  | Verilog および VHDL  |
| 合成ツール                | XST および Synplicity  |
| ボードおよびFPGA           | ML461 (XC4VLX25-FF668-10 搭載) および ML462 (XC4VLX25-FF668-11 搭載) |
| バースト長                | 4 および 8   |
| CAS レイテンシ            | 3 および 4   |
| アディティブレイテンシ          | 0, 1, 2   |
| ODT (オーム)            | 0, 75, 150  |
| バス共有数 (DRAM)         | 1   |
| バス共有数 (DIMM)         | 1, 2, 3, 4  |
| 検証済み DRAM            | MT47H32M16BT-37E  |
| 検証済み DIMM            | MT18HTF6472F-53E (Registered DIMM)                            |
| 検証済み DRAM のデータ幅      | 16  |
| 検証済み DIMM データ幅       | 72 および 144  |
| ECC                  | 72 および 144  |
| 周波数の範囲               | 16 ビット コンポーネントで 100MHz ~ 280MHz                               |
|                      | 72 ビット DIMM (ECC付きの場合～なしの場合) で 100MHz ~ 250MHz                |
|                      | 144 ビット DIMM (ECC付きの場合～なしの場合) で 100MHz ~ 250MHz               |
| シミュレーションのコンフィギュレーション |   |
| HDL                  | Verilog および VHDL  |
| バースト長                | 4 および 8   |
| CAS レイテンシ            | 3 および 4   |
| アディティブレイテンシ          | 0, 1, 2   |
| ODT (オーム)            | 0, 75, 150  |
| バス共有数                | 1, 2, 3, 4 (コンポーネントおよび DIMM)                                  |
| 検証済み DRAM            | MIG ツールでサポートされるものすべて (X4, X8, X16)                            |
| 検証済み DIMM            | MIG ツールでサポートされるものすべて (Registered, unbuffered, SODIMM)         |
| 検証済み DRAM のデータ幅      | 8, 16, 24, 32, 40, 48, 56, 64, 72, 128, 144                   |
| 検証済み DIMM データ幅       | 64, 72, 128, 144  |
| ECC                  | 40, 72, 144   |
| 周波数                  | 200MHz および 267MHz (コンポーネントおよび DIMM)                           |
| 初期化                  | Micron および JEDEC の仕様に依存                                       |
| マルチコントローラ            | 1 ~ 8   |

このようなレイヤ型アプローチにより、デザイン内の必要な部分だけを変更することが可能です。Virtex-5 デバイスは、以前のデザインと比較してレイヤがさらに簡素化されています。たとえば、MIG ツールが生成するコントローラを入れ換えて、独自のコントローラを使いたい場合があります。Virtex-5 のデザインでは、この作業を簡単に行うことができます。

## ハードウェア検証

MIG ツールが生成するデザインは、高品質になるよう徹底的な検証が行われます。Tarayは現場から多くのことを学びながら、この品質チェックをますます厳しくしています。

Teray は、FPGA ファミリごとに、ハードウェアで少なくとも 1 セットのデザインを検証します。通常、ハードウェア検証は ML461 や ML561 ボードなど、ザイリンクスのメモリリファレンス ボードで実行されます。

ハードウェア検証は、あるメモリ部分に対して特定の周波数で読み出し／書き込みデータが一致しているかなど、ポイント テストから実施されます。その後、周波数スイープを実行し、デザインが所要周波数レンジの 10% で動作することを確認します。また、カラム アドレス ストローブ (CAS) のレイテンシ、バースト長、データ幅といったあらゆるパラメータや、サポートされているすべての合成ツールでの動作を検証します。

## シミュレーション

Tarayは、Mentor Graphics 社の ModelSim を用いて MIG デザインのシミュレーションを行います。膨大な組み合わせをシミュレーションし、MIG ツールにリストされ

ているすべてのメモリが少なくとも 1 つのテスト ケースで検証されることを確かめます。表 1 は、Virtex-4 の DDR2 SDRAM デザインに対する各種シミュレーション テスト ケースをまとめたものです。テスト ケースを生成するためのパラメータは下記のとおりです。

- あらゆるデータ幅
- サポートされているあらゆるメモリ コンポーネント／DIMM
- メモリ タイプに応じて、CAS レイテンシ、バースト長、アディティブレイテンシに対する異なる値
- シミュレートされた Verilog および VHDL RTL ファイル
- テストベンチ付きとテストベンチなしの RTL
- DCM 付きと DCM なしの RTL
- 各種動作周波数のメモリ モデル

## 主な特徴

MIG ツールはザイリンクスの ISE™ ソフトウェアの一部であり、CORE Generator™ ツールを通して呼び出します。図 1 は、MIG GUI のスクリーン ショットです。MIG ツール v1.6 の主な特徴は次のとおりです。

- Virtex-5 FPGA :
- DDR2 SDRAM、Verilog
- QDR II SRAM、Verilog
- Virtex-4 FPGA (および次のデザイン)に対するサポート
- DDR2 SDRAM、Verilog、VHDL、ダイレクト クロッキング
- DDR SDRAM、Verilog、VHDL、ダイレクト クロッキング
- QDR II SRAM、DDR II SRAM、Verilog、VHDL、ダイレクト クロッキング
- RLDRAM II、Verilog、VHDL、ダイレクト クロッキング
- DDR2 SDRAM、Verilog、VHDL、SERDES クロッキング
- Virtex-4 のすべてのデザインで XST と Synplicity をサポート

- Spartan-3 FPGA :
- DDR SDRAM、Verilog、VHDL
- DDR2 SDRAM、Verilog、VHDL

- Spartan-3E FPGA :
- DDR SDRAM、Verilog、VHDL
- Spartan-3 と Spartan-3E のすべてのデザインで XST や Synplicity、Precision Synthesis をサポート

- 多種多様なメモリ コンポーネントと DIMM をサポート
- ピンの選択は、選択されたメモリ部分とユーザー入力に基づいて実行
- メモリを搭載するザイリンクスのリファレンス ボードに対して RTL およびビット ファイルを生成
- ベーシックな I/O デザイン ルール チェック (DRC) エンジンが、信号が正しく割り当てられていることを確認
- 変更後の MIG 「.ucf」 ファイルを検証し、MIG のピンアウト ルールが有効であることを確認

します。

- RTL (Verilog または VHDL) デザイン ファイル
- 合成スクリプト
- ビルドやマップ、配置配線用の ISE スクリプト
- ピン ロケーションや RLOC、その他の制約用の「.ucf」 ファイル

デザインの RTL 生成後は、デザインの合成、マップ、配置するためバッチ ファイルの実行を行うことが可能です。MIG ツールは、テストベンチ付きとテストベンチなしの 2 つのデザインを生成します。MIG スクリプトは、合成可能なテストベンチのあるバージョンで動作します。また、既に使用中のアプリケーションをテストベンチなしのバージョンに統合することも可能です。

## 結論

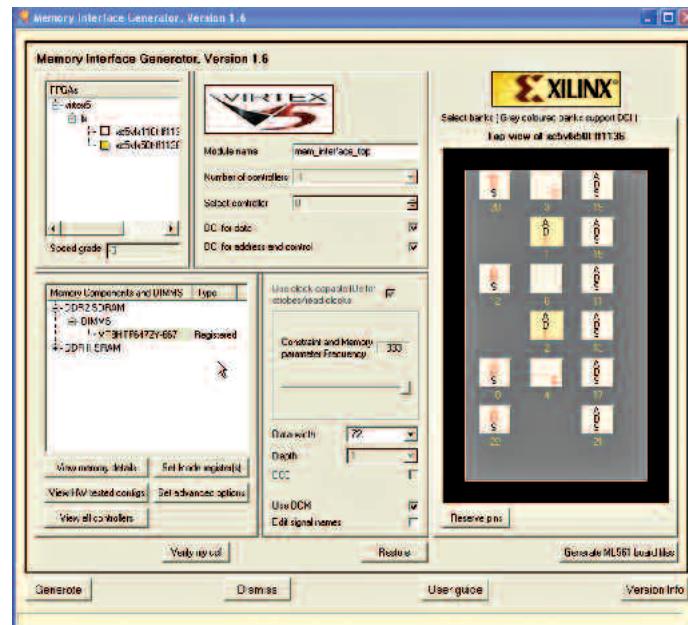
MIG ツールはデザインの負担を大幅に軽減し、Time-to-Market を改善します。このツールは既に多くのユーザーに使用され、数々の実績をあげてきました。

MIG や詳細情報については、<http://japan.xilinx.com/memory/> をご覧ください。

## MIG ツールの出力を使う

MIG ツールは、メモリ インターフェイスを作成するために必要なすべてのものを生成

図 1 MIG ツール 1.6 の GUI





# Micron Memory Interface

# Micron の メモリ インターフェイス

ネットワーキングとコミュニケーション ソリューションに最適な  
低レイテンシ メモリ インターフェイスを提供する

Chris Johnson

Networking and Communications

Strategic Applications Engineer

Micron

[cjohnson@micron.com](mailto:cjohnson@micron.com)

高速ネットワーキング システムのバンド幅に対する要求が高まったことから、DRAM は SRAM 並みのスピードとレイテンシで動作する必要が生じています。Micron の低レイテンシ DRAM (RLDRAM) II メモリは、SRAM メモリにはない高い集積度でこのニーズに応えます。RLDRAM II メモリとザイリンクスの Virtex™-5 デバイスの組み合わせにより、ネットワーキングおよびパケット バッファ アプリケーションにおける現在そして将来のプラットフォームに必要な、高集積、高速、低レイテンシの卓越したソリューションを提供します。

## RLDRAM II メモリの特長

RLDRAM II メモリは、高速動作に最適化された 8 バンクのアーキテクチャと、バンド幅を拡大するためのダブル データ レート (DDR) I/O を採用しています。RLDRAM II メモリ デバイスは、8 バンク アーキテクチャにより、ランダム アクセスによる競合の確率を減らすことで高いバンド幅を達成できます。RLDRAM II メモリ アーキテクチャでもバンク管理が重要なことには変わりありませんが、533MHz 動作時に 2 個がバーストするという最悪の事態が発生した場合でも、1 つのバンクは常に使用が可能です。

RLDRAM II メモリ アーキテクチャに追加された主な特長の 1 つに、ロウ サイクル レイテンシの時間短縮があります。ロウ サイクル レイテンシ (tRC) とは、最近アクセスしたバンクへ再びアクセスする時に待たな

ければならない時間のことです。表 1 は、RLDRAM II メモリ、DDR2、および DDR の +RC を直接比較したものです（それぞれのデバイスの集積度は 576Mb、512 Mb、512Mb です）。

表 1 列サイクル時間 DRAM 比較

| レインシ            | RLDRAM II<br>メモリ | DDR2 | DDR1 | ユニット |
|-----------------|------------------|------|------|------|
| t <sub>RC</sub> | 15               | 55   | 55   | ns   |

#### I/O オプション

RLDRAM II メモリは、セパレート I/O (SIO) とコモン I/O (CIO) の両方のオプションを提供しています。SIO デバイスは、バスのターンアラウンド サイクルやコンテンツを取り除くため、読み込みポートと書き込みポートを個々に備えています。CIO デバイスは、バスをターンアラウンドさせるために追加の 1 サイクルが必要な共有の読み込み／書き込みポートを備えています。RLDRAM II メモリの CIO アーキテクチャは、データストリーミング用に最適化されており、短期的にバスは、長期的なバランスとは関係なく 100% 読み出しか 100% 書き込みのいずれかで動作することになります。

図 1 は、読み込み／書き込み比を変えた場合にパフォーマンスがどう変化するかを示しています。RLDRAM II メモリで達成可能な低レイテンシと 8 バンクアーキテクチャによって、メモリアレイからより高速なランダムアクセスが可能となり、バスの使用率を持続的に高めることができます。

#### SRAM スタイルのインターフェイス

RLDRAM メモリに使われているコマンドバスプロトコルは、他の DRAM デバイスより若干シンプルです。RLDRAM II メモリは、DDR2 などのコンピュータベースのメモリ技術に使われている activate コマンドや precharge コマンドでなく、read コマンドと write コマンドを持つ SRAM スタイルのインターフェイスを採用しています。このようにコマンドを削減したこと

で、コマンドバスが解放され、短いバースト長の間にデッドサイクルを減らすことができます。

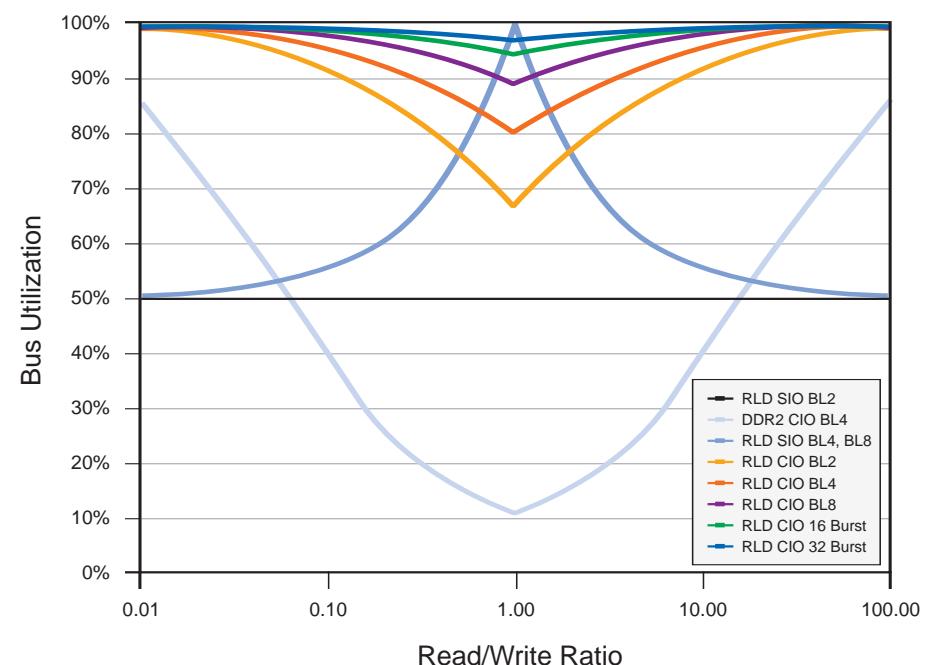
#### RLDRAM II メモリ用の追加の機能

RLDRAM II メモリは、現行の DRAM 技術とはリフレッシュ要件の点からも異なります。通常の DRAM デバイスは、すべてのバンク内の列をリフレッシュすることから、refresh コマンドの後にバス上にデッドクロックサイクルを必要とします。それ

5 デバイスを使うシステムの全体的なバンド幅を増やします。

DDR2 などのコンピュータベースのメモリ技術は、プロセッサから DRAM にデータを転送する際に発生するソフトエラーの修正を、エラー訂正コード (ECC) モジュールに依存してきました。複数の部品が搭載された DIMM では、ソフトエラーを排除するためエラー訂正用として、データラインをメモリチャネルに追加することになります。RLDRAM II メモリは、デバイスに ECC DQ ピンを追加した初の DRAM

図 1 各種 DRMA 技術を使用した場合のピークバンド幅の比較



には、DQ バス上に一般に 66ns の休止時間が必要になります。

RLDRAM II メモリデバイスは、他の DRAM 技術に求められるリフレッシュ回復時間を隠すため、バンクベースのリフレッシュ方式を採用しています。RLDRAM メモリに対するリフレッシュプロセスは、リフレッシュするバンクのバンクアドレスを必要としますが、リフレッシュプロセス中のバスアクティビティは実行可能で、他の DRAM 技術に見られるデッドタイムを排除します。バンク依存型のリフレッシュは、バスの使用率を高める効果があり、Virtex-

ベースの技術です。RLDRAM II メモリは、x9、x18、x36 の構成で、単一デバイスでの ECC を提供します。こうすることで、不要な部分の追加をなくし、ボードレイアウトの削減が可能になるのです。

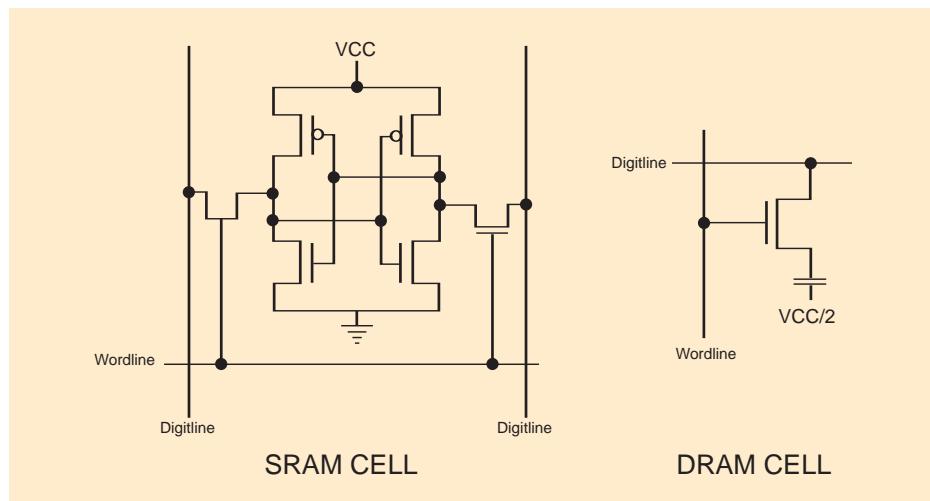
コンポーネントの数が膨大なシステムでは生産性を考慮する必要がありますが、汎用の DRAM デバイスを使うアプリケーションは持続性テストを必要としないため、DRAM 業界はあまり注目していませんでした。また、モジュールベースの業界は、使用するコンポーネントの数が少ないため、JTAG サポートのためのピンの追加を好みない傾向



があります。また、コンポーネント数の少ない小規模システムでは、製造エラーを修理するより捨てる方が安上がりです。

RDRAM メモリがターゲットとする市場は、これとはまったく異なります。RDRAM メモリをベースとするシステムは、一般にポイントツー ポイント アプリケーションで使用され、メモリ デバイスは通常メイン ボード上の他の無数のコンポーネントと同様に直接半田付けされています。これらすべてのコンポーネントを配置することは、製造上の課題ですが、RDRAM II メモリでは、JTAG コンティニュイティ テクノロジを採用することで、ネットワーク通信業界で使われている大規模なシステム ベー

図 2 SRAM セルと DRAM セルの比較



スのボードにおける製造上の諸問題を解消しています。

今日のアプリケーションに求められる高い集積度は、SRAM システムにとって大きな課題となっていました。SRAM メモリ デバイスのメモリ セルは、DRAM のメモリ セルと比べて約 5 倍の大きさです。図 2 は、これら 2 種類のメモリ技術を比較したものです。DRAM メモリ セルの方がずっと小さく、はるかに高密度なメモリ サブシステムを可能にしつつ、SRAM と同等のレイテンシ速度を提供することが可能になりました。

2007 年第 1 四半期、Micron は量産型の 288Mb RDRAM メモリ デバイスと

互換性のある 576Mb RDRAM II メモリ デバイスを発表する予定です。この 576Mb デバイスは、ピン対ピンの互換性がある複数のコンフィギュレーションで提供されますが、より高密度にも対応できるよう、追加のアドレス ピンをもつ予定です。RDRAM II メモリは、今日最も高密度で低レイテンシな DRAM ベースのソリューションの 1 つなのです。

### 追加の I/O インターフェイス オプション

RDRAM II メモリの機能およびオプションとして、I/O インターフェイスは、1.5V

し、製造プロセス中に起こる変動を排除します。デバイスの動作中でもデータ転送に割り込むことなく継続的にアップデートが行われ、温度と電圧にかかわらず RDRAM メモリ システムの一貫した動作を保証します。

また、Micron の RDRAM II メモリは、オンダイ終端（ODT）を装備しており、外部終端抵抗を使用することなく高速で安定した動作を可能にします。ODT は終端抵抗をダイ上に配置し、オンボード終端を一部排除することで、高速デザイン向けのシンプルさと柔軟性を提供します。

とはいえ、高周波数の動作では、良好なシグナル インテグリティや最良の電圧マージン、タイミング マージンを得るために、信号ドライバ、レシーバ、PC 基板ネットワーク、終端を解析することが重要です。終端が適切でないと、システムが過度な信号減衰で損なわれ、電圧マージンやタイミング マージンの減少につながるからです。これが原因でデザインの限界につながり、デバッグがきわめて難しいランダム ソフト エラーを引き起こす恐れがあります。Micron の RDRAM II メモリは、高速メモリ デザイン向けにシンプルで効率と柔軟性に優れた終端オプションを提供しています。

### 結論

RDRAM II メモリは、幅広い高速アプリケーション向けに柔軟性とシンプルさを提供するため、性能の向上に不可欠な機能をいくつか組み合わせています。高速アプリケーションに対するスピードとレイテンシの要求は高まり続けており、市場ニーズを満たすにはさらに革新的なソリューションが求められています。RDRAM II メモリは、現在の市場ニーズは満たしますが、さらなるパフォーマンスを求める声が途絶えることはありません。Micron は、RDRAM III メモリなど、将来の低レイテンシ デバイスでのニーズに応えていきます。

Micron は、今日と明日の市場ニーズを満たすソリューションを開発、提供し続けています。今後もザイリンクスと協力しながら、次世代のネットワーキング、ビデオ、画像処理システムの短期間での設計を支援していきます。



# Designing Virtex-5 DDR2 Memory Interfaces for Signal Integrity

# シグナル インテグリティ のための Virtex-5 DDR2 メモリ インターフェイス の設計

Virtex-5 DDR2 メモリ インターフェイスの  
設計を成功させるためのガイドライン

David Banas  
Sr. Staff Applications Engineer  
Xilinx, Inc.  
[david.banas@xilinx.com](mailto:david.banas@xilinx.com)

ザイリンクスでは、Virtex™-5 DDR2 メモリ インターフェイスを初めてデザインする技術者のために、推奨する回路トポロジの提供ならびに外部終端抵抗の代わりにオンチップ 終端を可能にするデジタル制御インピーダンス (DCI) の使い方やトレードオフのとり方などをまとめたガイドラインを提供します。本稿では、過去の実際のデザインから得られた実用的なデザイン ガイドラインと、IBIS シミュレーションの結果を紹介します。

## メモリ インターフェイスのための 回路トポロジ

図 1 と 図 2 は、それぞれ DDR2 アドレス／コントロール ラインとデータ ラインを実現するためのトポロジです。ここでは、双方向データ ライン上で、FPGA の DCI を利用するため、メモリ チップをドライバに、Virtex-5 デバイスをレシーバとして DCI を使用した例を示しています。図 1 の一番上の回路図は推奨モデルで、他の回路図は一般的なデザインでよく試されるバリエーションです。

図 3 と 図 4 はそれぞれ図 1 と 図 2 のトポロジに対応する代表的なレシーバ アイダイアグラムです。参考のため、レシーバの入力スイッチングしきい値を水平の青い破線で示しております。図 1 と 図 2 の「プローブ」矢



印の色は、それぞれ図 3 と図 4 の関連トレースの色に対応しています。ここでは、アイ ダイアグラムを生成するため、Mentor Graphics 社の HyperLynx ソフトウェアを使用して次のパラメータ設定を行いました。

- ・ビット順 7 (シーケンス長 127) の擬似ランダム バイナリ シーケンス (PRBS)
- ・ビット間隔 = 1.5ns (667Mbps)
- ・1 回のシーケンス繰り返し

図 1 代表的なアドレス／コントロール回路トポロジ

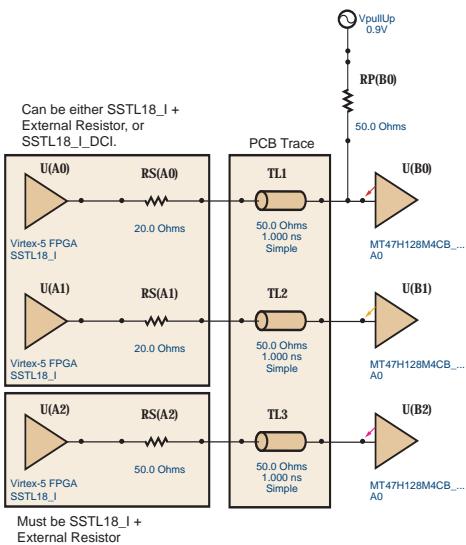
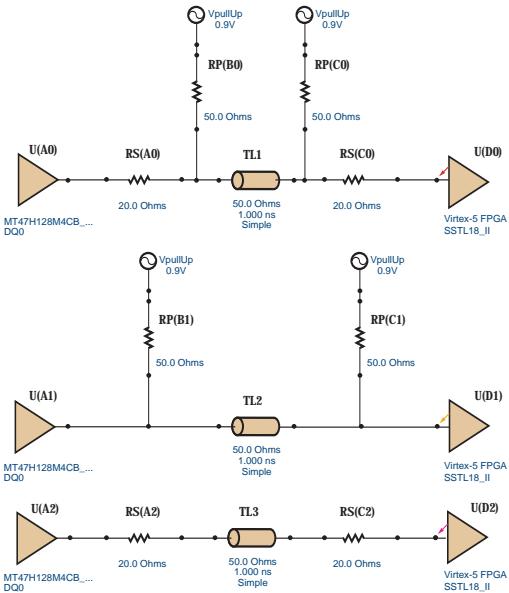


図 2 代表的なデータ回路トポロジ



- ・最初の 50 ビットをスキップ
- ・追加ジッタ ゼロ

図 3 の波形を見ると、3 つのトポロジのうち、推奨モデルのアイパターンが最もクリーンなことがわかります。

図 1 での中央の回路図は、「SSTL18\_I\_DCI ドライバを使えば外部終端コンポーネントが不要になる」と誤解している DCI 初心者の典型的な誤りを示しています。DCI ユー

ザーの中には、SSTL (スタブ直列終端口ジック) ドライバ ファミリーの「DCI」版はその出力インピーダンスを DCI キャリブレーション抵抗と一致するよう調節することで、伝送ラインに対してインピーダンス マッチングがとれるドライバとして使用できると誤解されるケースがあります。

しかし、実際はそうではありません。たとえば、SSTL18\_I\_DCI 出力ドライバは SSTL 18 の仕様どおり、約 20Ω の固定出

図 3 アドレス／コントロールに対する代表的なアイ パターン

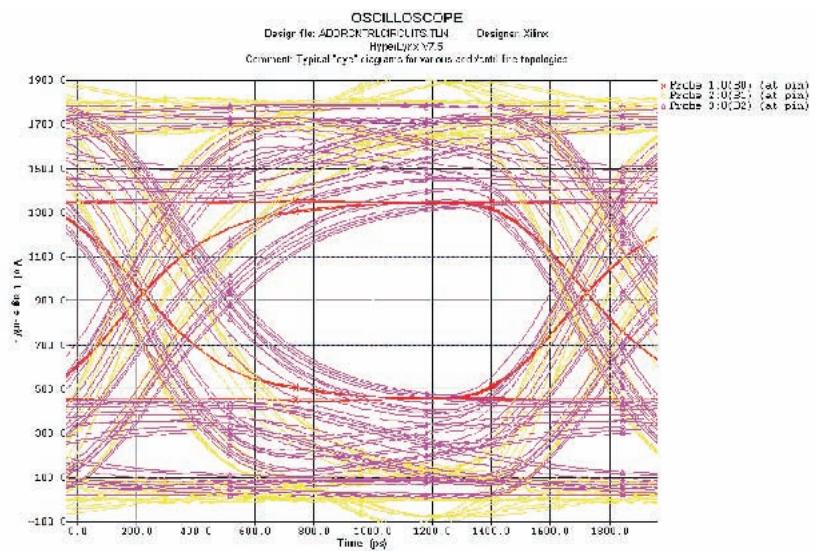
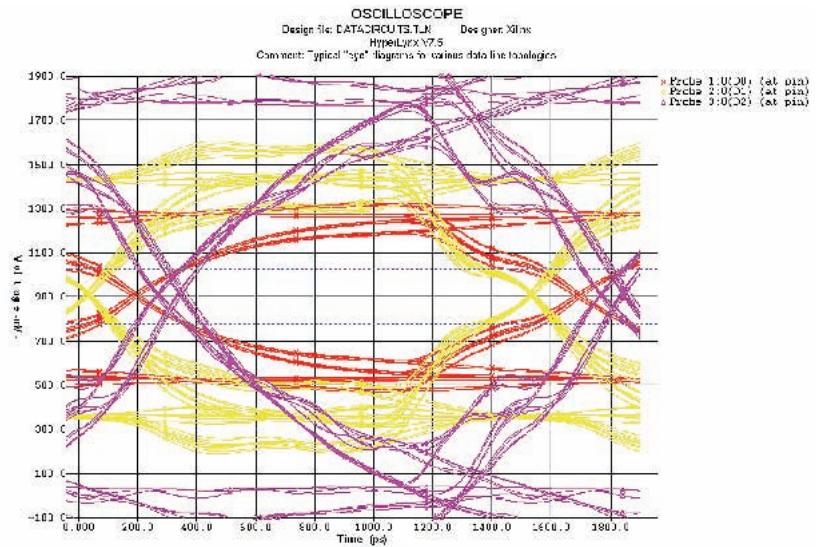


図 4 データに対する代表的なアイ パターン





カインピーダンスを持っています。この場合のアイパターの波形は、図 3 の黄色のトレースを見れば分かるように悲惨な結果となります。アイパターが劇的に縮小されているばかりか、レシーバの入力側にオーバーシュート／アンダーシュートの発生も見られます。

図 1 の一番下の回路図に示したように、直列終端を  $50\Omega$  に高めた場合、オーバーシュート／アンダーシュートは除去されますが、アイパターを元の幅に戻すことはできません。したがって、すべてのアドレス／コントロール ラインの末端に並列終端を使う必要があります。

適切な終端電圧ソースがない場合、 $V_{CCO}$  電源とグランドの間に、それぞれ目的とするインピーダンスの 2 倍の値を持つ 2 つの抵抗を直列接続することで、テブナン等価の終端を形成します。この場合、2 つの抵抗を接続するネットにその末端を接続するだけ ラインを終端させることができます。ただし この方法は、2 つの抵抗により  $V_{CCO}$  電源に定負荷がかかるため、回路の消費電力が増えることに注意してください。

また、図 4 のデータ ラインのアイパターは、ラインの両端から並列終端を取り除くと、許容できないオーバーシュート／アンダーシュートを招くことを示しています。また、直列終端を取り除いた場合は、アイパターが改善されてほんの少し広くなり、オーバーシュート／アンダーシュートを招くことなくノイズに対する余裕が多くなったように見えます。こういった例から、推奨使用モデルや経験則、一般的なガイドラインに盲目的に従うだけでは、デザインの実際のシミュレーションにはかなわないことがわかります。

直列終端抵抗の取り外しに関する技術変更指示書 (ECO) を承認する前に、Virtex-5 デバイスからメモリ チップにデータを駆動するようラインの方向を逆にし、アイパターを見てシグナル インテグリティ (SI) が良好かどうか確認してください。

## なぜ DCI を使うのか？

外部終端ではなく DCI を使うことは、下記に示すようなメリットが数多くあります。

- レシーバの入力側での SI 改善
- PCB のサイズ縮小
- BOM の部品点数削減

DCI を使うことでレシーバ入力側の SI が改善されるのは、外部終端抵抗を使うより 終端が入力バッファ側に近く配置されるためです。

また、PCB サイズの縮小や BOM の部品点数の削減は、外部終端コンポーネントが不要になるためです。

しかし、DCI を使う際には次の点に注意が必要です。

- プロセス／電圧／温度によるインピーダンスの変動
- 消費電力の増大

DCI を使う場合、終端インピーダンスは CMOS トランジスタにより構成されています。したがって、そのインピーダンスの値は FPGA の製造プロセス、電源電圧、動作温度 (PVT) の変動により変化します。PVT の考えられる限りの組み合わせでシステムが正しく動作するよう、終端インピーダンスの最高値と最低値を用いて、システム レベルの SI シミュレーションを 2 回実施する必要があります。

伝送ラインの末端に並列終端として DCI を使用した場合、外部抵抗を適切な終端電圧ソースのものと使うより消費電力が増加するケースがあります。この場合、ラインの特性インピーダンスに等しい値の抵抗を用いてそのラインの末端を電圧ソースに接続すると、電源は負荷がかかることはありません。

逆に、ラインの終端に DCI を使うと、2 つのバス トランジスタがそれぞれレシーバの入力を  $V_{CCO}$  とグランドに接続します。各トランジスタは伝送ラインの特性インピーダンスの 2 倍の有効抵抗を持つよう調節され、 $V_{CCO}/2$  に対してテブナン等価の終端インピーダンス  $Z_0$  を生成します。

この終端方法は、電源に  $4Z_0$  の追加負荷をかけ、結果的にシステム全体の消費電力を増やすという副作用をもたらします。いずれの場合も終端方法はテブナン相当である必要があるため、システム アーキテクチャの

デザイン仕様が  $V_{CCO}/2$  電圧供給を規定していない場合、DCI を使っても電源ペナリティは発生しません。

表 1 に、ソース直列、外部並列 ( $V_{CCO}/2$  を利用できる場合)、または内部並列 (DCI) の 3 通りの終端方法に対する 1 本の伝送ラインのワーストケースにおける出力消費電力を示します。

表 1 消費電力と終端タイプ

| 終端タイプ | 消費電力  |
|-------|-------|
| ソース直列 | 41 mW |
| 外部並列  | 49 mW |
| 内部並列  | 57 mW |

(出力電力の計算については、“High-Speed Digital Design: A Handbook of Black Magic” by Howard Johnson and Martin Graham を参照してください)。

## 結論

本稿では、DDR2 メモリ インターフェイスの回路トポロジに対するザイリンクスの推奨使用モデルから逸脱した場合、レシーバのアイパターにどのような影響があるかを解説しました。DDR2 メモリ インターフェイスをデザインする際、HyperLynx などの IBIS シミュレーションを用いてシステム レベルでシミュレーションすることの必要性を十分理解いただけたと思います。また、DDR2 デザインで、外部終端抵抗の代わりに DCI を使うことのメリット、デメリットについても紹介しました。

今後、メモリ インターフェイスがさらに高速化し、I/O の電圧レベルが低減していく中、より複雑なメモリ インターフェイスの標準が登場したときには、そのデザインに本稿で紹介した一般原則を是非適用してください。

詳細は、<http://www.jedec.com/> をご覧ください。



# Using Virtex-5 FPGAs in COTS Board-Level Products

# COTS ボード製品の開発における Virtex-5 FPGA の活用

機能と性能が大幅に向上した Virtex-5 ファミリ を利用して市販製品のデザインをいかに最適化するか



Craig Davies

Firmware Engineer

VMEIRO Ltd. (イギリス ハイウェイコム)

[cdavies@vmetro.com](mailto:cdavies@vmetro.com)

Jeff Bateman

Senior Systems Engineer

VMEIRO Inc. (米国ニューヨーク州イサカ)

[jbateman@vmetro.com](mailto:jbateman@vmetro.com)

ーションそれぞれの市場に向けたスケーラブルな FPGA になっています。Virtex-5 は、COTS (市販品 : commercial off-the-shelf) の開発者にとって、低コストで低消費電力、高パフォーマンスに最適化されたプラットフォームです。

ザイリンクスは、Virtex-4 ファミリを開発する際、ASMBL アーキテクチャの柔軟性を活かして初のマルチプラットフォーム FPGA ファミリを構築しました。Virtex-5 にもこれと同じアプローチを採用しました。最初に発表された製品は、高性能ロジック用として最適化された Virtex-5 LX プラットフォームです。

以前から FPGA を使い続けていたユーザーは、新世代の FPGA にさらなる機能性を期待していますが、Virtex-5 ファミリはその期待に消費電力を低減させながら応

えています。Virtex-4 LX デバイスと比較して、Virtex-5 LX FPGA には次のような特長があります。

- 最大 330,000 個のロジック セルを持ち、ロジック容量を 65% 増加
- ブロック RAM を 70% 増加
- DSP スライスを 100% 増加
- SelectIO™ ピンを 25% 増加

このような特長を持つ Virtex-5 LX ファミリを使用して、最先端のリアルタイム DSP システムに求められる非常に高いデータレートやプロセッッシングの複雑さに十分対応できるパワフルな製品を開発できます。本稿では、COTS の設計者に高い費用対効果で多くの機能を提供する Virtex-5 アーキテクチャのコンポーネントを紹介します。



## COTS FPGA の基礎知識

COTS ボードを利用すると、ハードウェアや IP をゼロからデザインする必要がないため、ユーザーは専門的なアルゴリズムをインプリメントすることに専念できます。ユーザー プログラマブルな FPGA を採用した COTS 製品は、シンプルでカスタマイズ可能なデジタル I/O や RADAR、ビデオ、シグナル インテリジェンス (SigInt) にいたるまで、多種多様なアプリケーションで活用できます。

FPGA は一般に、実際のデータ ソースまたはデスティネーションへのハードウェア接続や、ホスト プロセッサへの標準化されたインターフェイスを必要とします。また、COTS 製品は通常、PMC、VME、VXS、CompactPCI といった業界標準のフォーム ファクタに従うことで、エンド ユーザーがさまざまなベンダの製品を統合できるようにする必要があります。

Virtex-5 FPGA は、パラレル アーキテクチャと高速 I/O を装備することから、今日のアプリケーションに求められるギガバイト／秒のレートでデータのストリーミングと処理を行うことができます。Virtex-5 FPGA は、最新のデバイスに用意されているリソースを用いて、オペレーションを高速化するコア「インナー ループ」を並列化できるアルゴリズムに大変適しています。多くの DSP アルゴリズムはこのアーキテクチャに適合します。逆に、CPU は、最速のものでもギガバイト／秒でデータを処理するのは容易ではありませんが、意思決定やユーザー インタラクションのタスクには適しています。

このように、FPGA ベースの DSP システムは一長一短であるため、図 1 に示すハイブリッド アプローチを採用するのが一般的です。このアプローチでは、広いバンド幅の RADAR やビデオ ソースは、ギガサンプル／秒のレートでデジタル化されて FPGA に送り込まれます。FPGA は、不要なデータを排除するため膨大な演算を行い、対象とする分野だけに専念します。前処理（プリプロセッシング）されたデータはより扱いやすいレートで汎用 CPU に送り込まれ、そこで後処理（ポストプロセッシング）の

制御と表示が行われます。

COTS FPGA ボードの主な要件は次のとおりです。

- カスタマ プログラマブルなアプリケーション ロジックを収容するだけの十分に余裕のある大容量で、リコンフィギュラブルな FPGA
- 通常の空気冷却と床敷のコンダクション冷却のオプション
- ホスト プロセッサとの間で効率的に転送するための高速インターフェイス
- 各種インターフェイスへの柔軟かつ高速な I/O
- I/O バッファリングと、アルゴリズム 演算中の一時格納用として FPGA に直接インターフェイスされているローカル メモリ
- エンド ユーザーの開発サイクル時間を高速化する広範な I/O および信号処理 IP コア

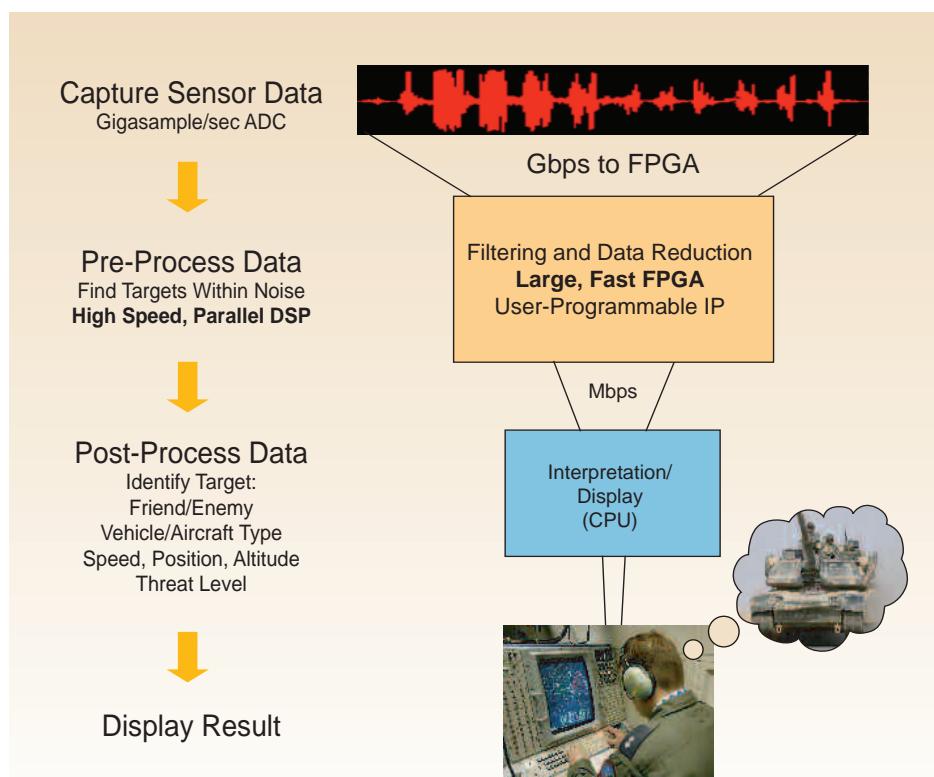
- コスト優先派と究極のパフォーマンス優先派の両方のユーザーに応える柔軟な FPGA 開発ツール
- FPGA 内でロジック解析を行うことができるデバッグ インターフェイス
- 包括的なボード サポート フームウェアとソフトウェア

Virtex-5 FPGQ ファミリは、ハイエンド FPGA DSP の分野で既に実績があり、幅広いソースの包括的なツールや IP をサポートすることから、COTS ボード ベンダにとって最良の選択肢といえるでしょう。

## ソフト コンポーネントの最適化

Virtex-5 アーキテクチャの追加機能のうち特に注目に値するのは、従来の 4 入力 ラックアップ テーブル (LUT) を新しい 6 入力 LUT に置き換え、より広範なファンクションを効率良くマッピングできるように

図 1 プロセッシング チェーン





したことです。6 入力 LUT は 2 つの 5 入力 LUT としてコンフィギュレーションできるため、6 入力のファンクションを必要としない場合、デザイン ソフトウェア ツールはロジック マッピングの効率を大幅に高めることができます。

最近では、ほとんどの FPGA デバイスは、ソフト ファブリック コンポーネント（論理式を実装するためにコンフィギュレーションするコンポーネント）を LUT ベースにしています。以前は 4 入力 LUT が一般的に使われていました。というのも、4 入力 LUT は優れたバイナリ ベースであり、ロジック ファンクションを最適化する作業が比較的簡単だったからです。特定の論理式を、4 つの入力の積和を含めるよう最適化できます。今日の多くのアプリケーション、特に DSP のアプリケーションにとって、システム レベルのアルゴリズムはいっそう複雑化しているにもかかわらず、最適化の手間は大幅に軽減されています。

コンフィギャブル ロジック ブロックのストレージ集積度の改善により、デュアル SRL16 のオプションを保ちながらも、ソフト レジスタ LUT (SRL) の長さは 16 ビットから 32 ビット (SRL32) に拡張されました。分散 RAM は、以前の 16 ビットから、現在は 64 ビットのオプションを提供しています。また、配線ホップが短縮され、2 入力 LUT/2 フリップフロップから 4 入力 LUT/4 フリップフロップへとライスあたりのロジックが増えたことから、最高 45% の高速化が可能になりました。

## FIR の効率改善

分散ロジックにインプリメントされている有限インパルス応答 (FIR) フィルタをみていきましょう。一般に、FIR フィルタとしては分散演算フィルタが使用されます。これは、動作周波数がタップ ベクタの長さに束縛されないためです。フィルタの全体的応答を改善するにはタップ ベクタを伸張できることが不可欠であるため、これは非常に望ましい特徴です。しかし、この種のフィルタはその特性上直列であり、ほとんどのアプリケーションはサンプリング周波数に関して間引

き処理されたサンプリング レートで有効出力を必要とします。したがって、完全な並列アーキテクチャが必要となります。

並列分散演算 FIR フィルタ (DAFIR) は、クロック ツー クロック ベースで多くの部分積を実行する際、たとえサンプリング レートを間引き処理する場合でも、他の FIR インプリメンテーションと比較してはるかに多くのロジックを使います。分散演算アーキテクチャでは、一連の時間遅延した入力  $x(n)$  と係数  $a(m)$  の積和を取ることで対応する出力積  $y(n)$  が作成されます。ここでは、1 と N の間の整数 m がフィルタ長です。

説明を簡単にするため、各タップ、つまりフィルタ係数は 2 ビット幅で、入力ベクタは 6 ビットだとします。フィルタの長さは合計 96 タップとなります。部分積法を用いてこの積を計算する場合、4 入力 LUT を使うと  $6 \times 2$  の部分積が必要です。各 LUT は  $2 \times 2$  の乗算を実行するため、3 つの 4 入力 LUT を使うことになります。6 入力 LUT を使うと、2 つの LUT ですみます。96 タップについては、合計 288 の LUT が必要になるところを、96 の LUT を節約できたわけです。部分積の作成だけでもこれだけ多くの LUT を節約できるのです。

LUT と SRL は、入力遅延パイプ内のシフト レジスタや、出力の和と正規化を行うスケーリング アキュムレータにも使われます。この例の入力幅とタップ幅をより適用しやすい 16 ビット精度に拡大すると、部分積の乗算ツリーがさらに深くなり、もっと多くの LUT が必要になります。4 入力 LUT でなく 6 入力 LUT を使うことで、LUT ロジックを 33% 以上削減できます。

## よりワイドな LUT で効率とスピードを改善

6 入力 LUT は、マルチプレクサをインプリメントするために使われる場合、スイッチド ファブリックの開発者にとってもメリットがあります。6 入力 LUT とは、論理式の全体的な深さを減らすということでもあります。マルチプレクサをインプリメントする際は、同じマルチプレクサであれば 4 入力 LUT でなく 6 入力 LUT を用いてインプリ

メントする方がスピードを効果的に高められるのです。

アプリケーションによっては、旧世代の Virtex デバイス ファミリよりロジックの使用率を最大 1.6 倍改善できます。

## 演算能力の飛躍的な向上

Virtex-5 FPGA では、ソフト ロジック コンポーネントに劣らずハード ロジック専用の乗算器も最適化されました。Virtex-II と Virtex-4 ファミリの  $18 \times 18$  ビット乗算器は、Virtex-5 ファミリでは  $25 \times 18$  ビット乗算器にアップグレードされています。これは、ビーム フォーミング アレイなどの高度な演算をインプリメントするアプリケーション開発者にとって大きなメリットです。

従来、高精度を必要とする大規模な乗算アレイは、大きな乗算器ツリー構造を必要していました。出力は大規模乗算の中間段階でキャリーされることから、段階を進むごとに最大許容出力値は増えています。このビット幅の増大に対処するには、切り捨て、または収束の丸め込みといったインテリジェントな手法、あるいは、一般的ではありませんが、乗算をより小さな段階に分割してから和を求めて、最終的な積を再構築する手法によって精度を低減させるのが一般的な解決策となっています。 $25 \times 18$  ビット乗算器を使えば、乗算の中間段階を通してより高い精度が保たれるため、全体的スピードを改善してパイプラインのレイテンシを最小限に抑えながら中間段階の切り捨てや丸め込みによる誤差の影響を減らします。

FFT 内に乗算の各段階で精度を低減させるため収束の丸め込みが採用されている場合を考えてください。radix-4 と radix-2 からなる radix 混在ベースを使って 8K FFT をインプリメントする場合は、6 つの radix-4 バタフライ段階と 1 つの radix-2 バタフライ段階になります。FFT では、その後の各段階で部分積を作成する演算を実行します。これらの出力は、時間ドメイン データが周波数ドメインに完全にトランسفォームされるまで、次の段階の乗算器に送り込まれます。しかし、その後の段階で出力を入力として受け入れるには、各段階で出力の精

度を低減させる方法が採用される必要があります。乗算の各段階が終わるたびに、精度を低減させるためスケーリングが用いられます。スケーリングの各段階では量子化の誤差が生じます。

しかし、各バタフライ段階の入力側により多くの精度がキャリーされるとどうなるでしょう。25 × 18 ビット乗算器を使うと、部分積を新しいサンプルデータに乗算する際にそれら部分積からより多くの精度をキャリーし、結果における丸め込みの誤差を減らすことができます。

## ソース同期メモリ アクセスの改善

ザイリンクスは、データやストローブを FPGA 以外のソースクロックに同期化が可能な IDELAY プリミティブを採用しましたが、これは、Virtex-4 FPGA を使っている設計者に大変歓迎されるでしょう。この機能により、Virtex-4 デバイス内のコントローラを通して、高速 DDR や DDR2 SDRAM、および QDR と QDR II SRAM メモリに高いデータレートでアクセスできるようになります。

高速で深いオンボードメモリを必要とするアプリケーションは、ますます増えています。たとえば、データ記録アプリケーションは、PCI/PCI-X バスを介して高速なデータ転送を維持するため大容量バッファをインプリメントする際、高速オンボードメモリがあると非常に便利です。また、ビデオプロセッシングアプリケーションは、最新のカメラ機器により生成される極めて高解像度、高フレームレートの画像を保存するため、大容量かつ高速な外部メモリを必要とします。

IDELAY タップは、ロジックによって常にモニタリングを行い、ソースクロックへのランタイムの再同期化を実行できることから、IDELAY プリミティブの採用はベテランのアプリケーション開発者にとっても有用です。このテクニックは、ダイナミッククロックツードータセンタリングと呼ばれます。

Virtex-5 ファミリでは、プリミティブを拡張して ODELAY を追加し、入力だけでなく出力信号にも遅延制御を行えるように

図 2 VMETRO PMC-FPGA05

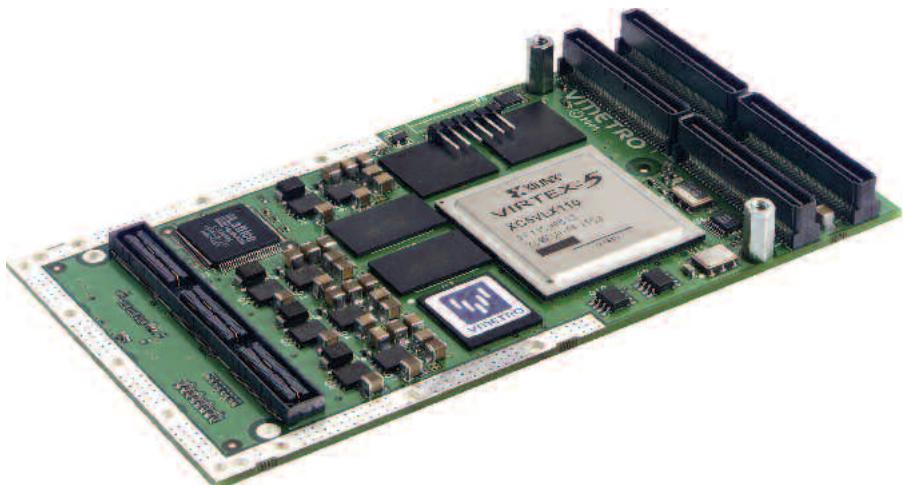


図 3 標準の PCI オプション



なりました。IDELAY プリミティブの主な役割は、ソースクロックエッジの内部 FPGA バージョンが入力データにセンタリングされるよう、クロックに対して入力データを遅延させることです。ODELAY は、トレース長の違いに合わせて出力データ回線ごとに遅延を変更します。

## 高速 I/O 通信の改善

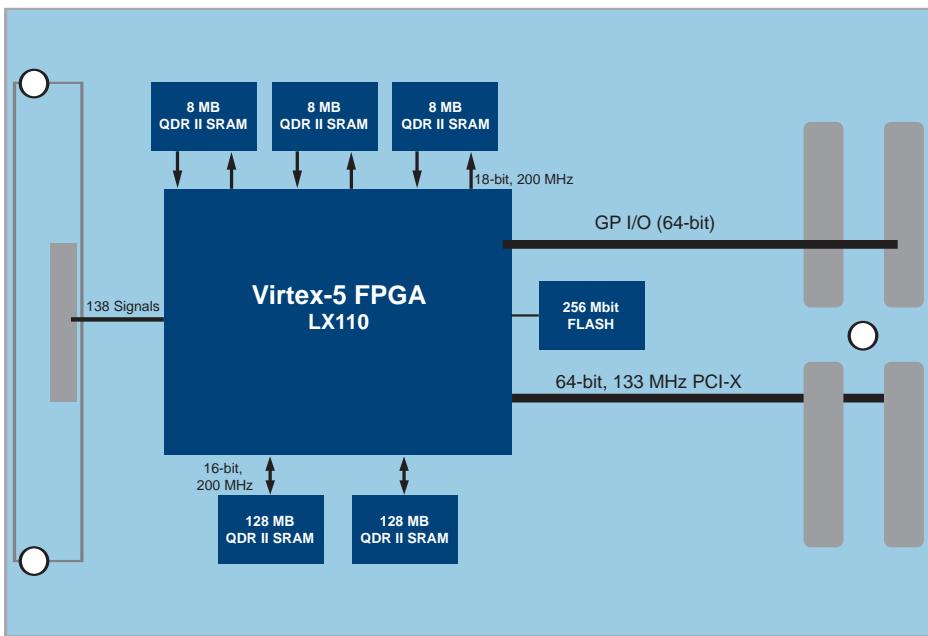
COTS 市場がますます高速シリアルインターフェイスに移行するなか、クロックやデータのリカバリ方法がいっそう重要なになってきました。汎用の高速シリアル

リンクをインプリメントする場合、特に 1Gbps 超のデータレートをターゲットにする際に伝送エラーやデータ消失が起こります。

旧世代の Virtex デバイスを使用していた開発者にとって、マルチギガビットトランシーバ (MGT) を使用せずに入力ストリームをデシリアル化するクロックデータリカバリ (CDR) インプリメンテーションは、選択肢が限られていました。旧世代のファミリでクロック生成に使われていた遅延ロックループ (DLL) は、一次ループアキテクチャやデジタルインプリメンテーションにより非常に安定した特性を持つ反面、入



図 4 PMC-FPGA05 のブロック ダイアグラム



カジッタをフィルタリングしたり、それぞれ決められた範囲を超えて位相アライメントを扱うことはできません。

Virtex-5 ファミリに採用されているフェイズ ロック ループ (PLL) ブロックは、ジッタの削減をあらかじめ組み込んでおり、高データレートの持続性を大幅に改善します。FPGA の I/O 境界で入力データを正しくサンプリングして格納するには、入力カジッタをフィルタリングしてソース クロックの安定した内部バージョンを作成することが極めて重要です。PLL ブロックを使い、通常の SelectIO ピンを用いて SERDES コンポーネントをインプリメントすると、1 Gbps 以上でも十分実用に耐えられます。

Virtex-5 デバイスは、シングルエンドでピンあたり 800Mbps、差動で 1.25Gbps のパフォーマンスを発揮する SelectIO を併用することで、現在のインターフェイスによって生成される高速データレートを入力、処理、出力できます。たとえば、Virtex-5 はギガサンプル／秒の範囲で動作する ADC および DAC と直接インターフェイスすることも十分可能です。

将来的には、FPGA と外部デバイス、ホストシステム間を新しい高速シリアル ファブリック インターフェイスでつなぐのが当

然になっていることでしょう。

### 65nm 銅配線 CMOS

65nm 銅配線 CMOS プロセスへの移行は、COTS の開発者に多大なメリットがあります。プロセスのサイズが縮小されることで、世代が進むにつれて集積度やパフォーマンスはさらに高まります。これは Virtex-5 LX プラットフォームにも当てはまり、Virtex-4 LX プラットフォームと比較して CLB の数は 65% 増加し、ブロック RAM は 70%、DSP スライスは 100%、Select IO ピンは 25% 増加しました。

パッケージ全体としてロジックが高集積化したこと、消費電力は格段に低減されました。Virtex-4 FPGA は 1.2V のコア電圧で動作しますが、Virtex-5 FPGA はコア電圧 1.0V と、電力効率が改善されています。また、6 入力 LUT や 25 X 18 ビット乗算器などのソフト／ハード コンポーネントを最適化することで、電力をさらに節約できます。

マルチチャネル デジタル フィルタが膨大な CLB スペースを費やすソフトウェア無線 (SDR) のアプリケーションなど、大規模なデザインをインプリメントする場合、多数

のスイッチング動作によりダイナミック消費電力が非常に大きくなります。これらデザインをインプリメントするには相当量の信号配線が必要になることが、その理由の 1 つです。Virtex-5 ファミリの新しいコンポーネントでは、既存のデザインを少数のプリミティブでインプリメントが可能なため、全体的なスイッチング動作が少なくてすみます。さらに、Virtex-5 アーキテクチャは対角方向に対称な配線を採用しており、より効率的にデザインをインプリメントできます。

COTS 開発者からは、既存のデザインでメザニン カードを開発する際、消費電力の仕様を満たせないという不満の声がよく聞かれます。Virtex-5 デバイスでは、メザニン カードは以前ほど電力を必要とせず、エンジニアユーザーにとっても安心して使うことができます。つまり、消費電力が低く、冷却が簡単で、そのぶん信頼性が高まるというわけです。

COTS 製品は、一般に消費電力が大きな課題となる環境で使われます。たとえば、周辺温度が高いと冷却装置の効果が制限されてしまうことから、最初から放熱を減らすことが重要な課題となります。また、無人航空機 (UAV) などのアプリケーションは限られた電力しか利用できないため、電力をいかに有効利用するかが問われます。

### VMETRO PMC-FPGA05

先進の 65nm 技術を採用している Virtex-5 FPGA をインプリメントしている COTS 製品の好例として、汎用のハイエンドな FPGA PCI メザニン カード (PMC)、VMETRO PMCFPGA05 があります。図 2 と図 3 はこの製品の写真、また図 4 はブロック ダイアグラムです。

PMCFPGA05 の中央に Virtex-5 FPGA が位置し、統合型のデザインになっています。Virtex-5 デバイスは、ごくわずかなリソースだけを使用して直接ファンクションを扱うことが可能（図 5）なため、外部のブリッジとコントローラを必要としません。このため、PMCFPGA05 にはデジタル レシバや FFT、その他の DSP ファンクションといった IP を組み込むための十分なスペ



ースを確保できます。

FPGA 内にフラッシュ インターフェイスや PCI-X インターフェイスをインプリメントするには、デザイン上のいくつかの課題を克服する必要があります。これらのインターフェイスが既存で用意されておらず、特に IP が複雑な場合、FPGA をどのようにコンフィギュレーションしてデバッグするのがよいでしょう。そのようなケースに役立つのが、FPGA 内にロジック アナライザを組み込み、JTAG を通して FPGA にユーザーインターフェイスを接続する ChipScope™ Pro Analyzer (バージョン 8.2) です。これは FPGA にデバッグ用 ポータルを提供するもので、HDL エントリを通して挿入できます。

いったん搭載されると、ChipScope Pro ILA (統合ロジック アナライザ) のポート割り当てを FPGA Editor で変更できます。したがって、ILA に変更を加える際、デバッグ時に ISE™ フロー全体を再度実行する必要はありません (図 6)。デザイン フローのマップ段階で変更が行えるため、デバッグ サイクル中にビットストリームを生成してから効率を改善するまでの時間が短縮されます。ChipScope Pro Analyzer は FPGA のリソースの限られた量しか使用しませんが、これは主にアナライザのサンプルメモリの深さによって決まります。アナライザのメモリ幅とトリガ ファンクションは、ChipScope Pro インサータ ツールを通してパラメータ化でき、不要なリソースの無駄を省きます。

ChipScope Pro Analyzer は、VMETRO PMC-FPGA05 のようなデザインをデバッグする際に大変有用です。特に PCI-X インターフェイスにはかなりの苦労が伴います。簡単に言うと、PCI バスの電源を入れて FPGA に IP をコンフィギュレーションし、FPGA の PCI コントローラを検出するため PCI バスを再初期化するという流れになります。この低水準な開発作業では、バス初期化のサイクル数を減らすために、ChipScope Pro Analyzer のようなツールが必要になります。ChipScope Pro ツールがない場合は、デバッグ時に精巧なバスアナライザを使う必要があり、それでも

FPGA 内部のファンクションにはアクセスできません。それが、ChipScope Pro Analyzer では、PCI-X インターフェイスをデバッグするのに必要な反復の数を減らすことで、設計チームの開発期間を大幅に節約します。

ChipScope Pro ツールは、VMETRO のボード開発に有益なだけでなく、IP や外部インターフェイスを統合するすべてのユーザーにとっても役立ちます。VMETRO は、アナログ I/O や RS485、LVDS、FPDP、そしてカメラ リンクを含む幅広い I/O モジュールと一緒に使える高集積並列インターフェイスを用いて PMC-FPGA05 をデザインしました。ChipScope Pro Analyzer を使用すると、このようなプロジェクトを管理しやすくなります。

また、PMC-FPGA05 は、アプリケーション開発者にとって、高バンド幅のデータ転送に耐えられ、しかも旧世代と比べて数分の 1 の消費電力で先進の DSP およびプロセッシング アルゴリズムをインプリメントできるプラットフォームなのです。

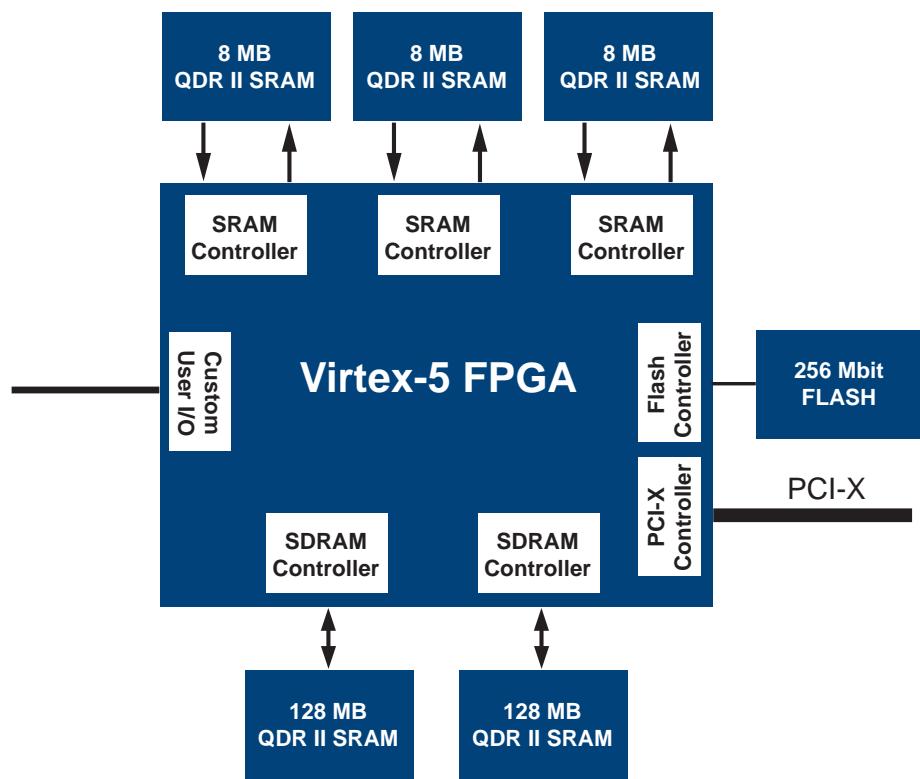
## FPGA リソース

Virtex シリーズの IP のラインナップは、他のいかなる FPGA ファミリより優れています。ザイリンクス アライアンス プログラムを通して、ザイリンクスから直接入手したり、またサードパーティの IP サプライヤから入手したりできます。http://japan.xilinx.co.jp/から世界中の IP ベンダ網にアクセスでき、最大 5 世代の Virtex ファミリで豊富な経験を積んできたサプライヤから IP コアを選択できます。これは、厳しいスケジュールでプロジェクトを開発する際に非常に便利で、Virtex-5 ファミリを採用する際の優先度の高い理由の 1 つになるでしょう。

## FPGA のファームウェア開発プロセス

ザイリンクスの ISE ツール チェーンは、使いやすい GUI 開発環境に加え、VHDL/Verilog 合成ツール (XST) を備えていることから、多くのエンドユーザーは ISE ソフトウェアを購入するだけで費用対効果の高

図 5 PMC-FPGA05 のコントローラ IP コンポーネント





い開発ソリューションを使えることになります。非常に複雑なアルゴリズムをインプリメントする場合は、サードパーティ ベンダのハイエンドな合成ツールを使うといいでしまう。これらの合成ツールは、ISE ソフトウェアと直接統合が可能で、プロジェクト管理が複雑化することはありません。

特に複雑なプロジェクトの場合、シミュレーションだけではデザイン内のすべての問題点を判別できないことがあります。インプリメンテーションが期待どおりに動作しない場合、実際にハードウェアに接続して状況を確かめるしかありません。しかし、数千個のピンを搭載する高集積のパッケージでは、従来のロジック アナライザを接続するための現実的な方法はありません。

VMETRO では、長年にわたりザイリンクスの FPGA 向けファームウェアを開発してきましたが、合成／配置配線の主要ツールには ISE ソフトウェアを、シミュレーション用には Model Technology 社の ModelSim PE、回路内のデバッグ用としては Chip Scope Pro ツールを使い、ボード ハードウェ

アとのインターフェイスに必要な IP を開発しました。この中には、ユーザーがアドレス信号とデータ信号を接続するだけで利用が可能な SRAM および SDRAM メモリ デバイス用のインターフェイス、およびカスタマイズ可能なレジスタとストリーミング データ用のシンプルな FIFO ベースの DMA 転送をサポートする高性能なバス マスタリング PCI-X インターフェイス コアがあります。

Virtex-5 ファミリが非常に優れているもう 1 つの理由は、教育やサポートに力を入れていることです。VHDL の入門コースから DSP ロジックのデザイン コース、さらには高速シリアル インターフェイスをテストするための最新機器を取り揃えた研究開発施設にいたるまで、ザイリンクスは FPGA の展開に成功するうえで必要な多彩なリソースを用意しています。

Virtex-5 デバイスは発表されたばかりの新しいデバイスで、現在、VMETRO は世界初の Virtex-5 COTS 製品をお届けするべく、この Virtex-5 FPGA 搭載の PMC-FPGA05 を開発しているところです。今後も引き続き課題

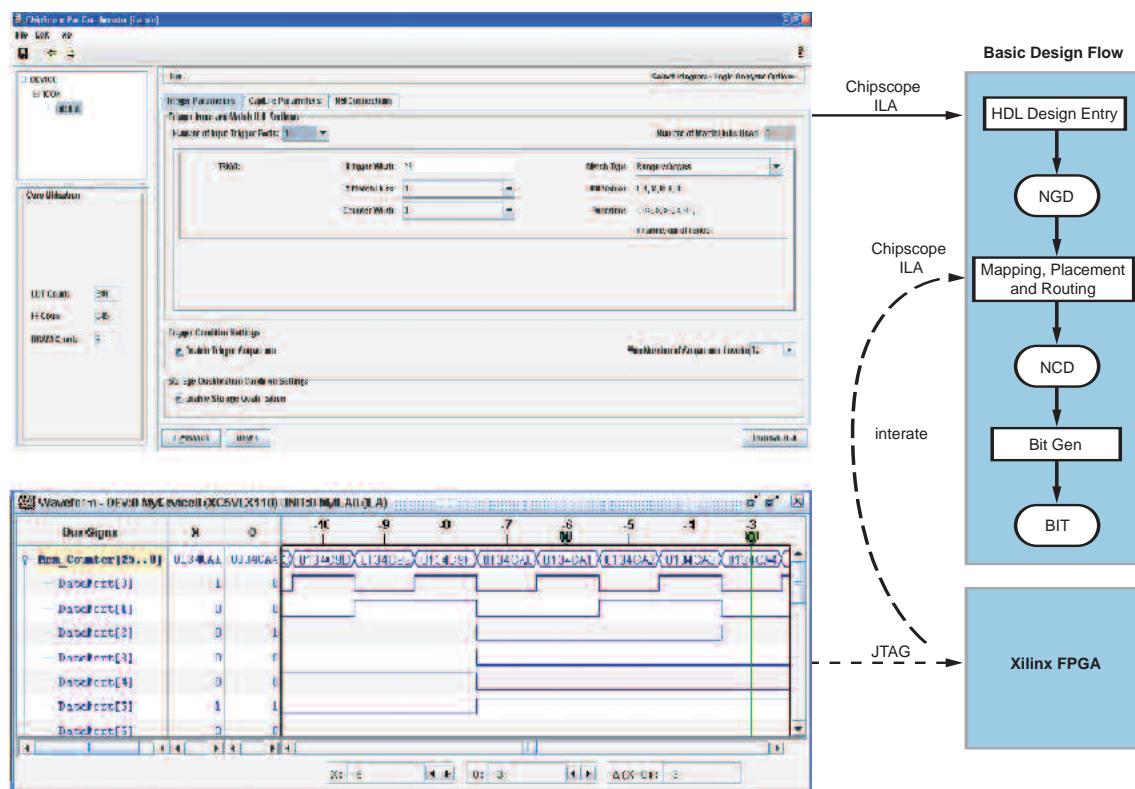
やソリューション 開発を通して得られた教訓などを共有できればと考えています。

## 結論

COTS 市場における需要の増大に応えるには、そのアプリケーションに適したツールを用いてプラットフォームを適応させながらインプリメントする必要があります。つまり、高度なアルゴリズムを開発するには、高速シリアル通信、高速アクセス メモリ、最適化された豊富なロジック スペースをすべて満たす必要があるのです。また、効率的な開発ツールやデバッグ ツール、IP リソース、そして高速 DSP の開発を進めることも同じくらい重要です。

COTS 開発者がユーザーのニーズを満たすには、ロジック集積度を最大限に高め、消費電力を最低限に抑えると共に、最高のパフォーマンスを引き出すことが要求されます。ASMBL アーキテクチャと 65nm プロセスを採用した Virtex-5 FPGA なら、これらのニーズに応えられます。

図 6 ChipScope デバッギング サイクル



# Xilinx Virtex-5 LX110 FPGA搭載ボード



PCIキャリアボードに搭載可能  
(写真はフロントパネル用I/Oが付いておりません)



PMCモジュールタイプ(Camera link I/O付)  
VME・C-PCIボードの高速I/O・前段処理に

## フロントパネルに取付可能な専用I/O

### アナログI/O

FPGAを使った高精度な変調・復調が可能  
■ADC:2ch 14bit 105MHz  
■Lバンドレシーバ:入力帯域0.5~2GHz  
■DAC:2ch 14bit 210MHz



### Camera link I/O

画像データの超高速リアルタイム処理に  
■2ch Mini Camera Link (Max 85MHz)  
■ベース・ミディアム・フルの3モード対応  
■専用ファームウェア・ソースコード用意



### 高速パラレルI/O

【2タイプ】  
■FPDP:400MB/s高速転送  
■LVDS3:SCSI-3形状 32ペア64ライン



### RS422シリアルI/O

■入出力最大33chペア RS-422/RS-485  
※他の高速光シリアルI/Oも対応可能です。

## PMC-FPGA05 (DEV-FPGA05)

■Virtex-5 LX110を複数の高速メモリと共に搭載し、多彩な超高速信号処理が実現出来ます。

■フロントにAD / DAなどの様々な高速I/Oを選択可能  
(I/O詳細は下記)

IPコアは高速FFT、レーダレシーバー、各種フィルター、QR分解、固定小数点演算などが使用可能。レーダーセンサ・画像処理・電子光学・ソフトウェア無線に最適

■FPGA: Virtex-5 LX110 x1

■メモリ: 2x 64-128MB SDRAM  
3x 4.5-18MB SRAM 32MB FLASH

■フロントパネルI/O: 下記から選択可能

■PCIバス: PCI-X 64bit / 133MHz

■VHDL・APIライブラリ、ソースコード  
各種デバッグ用ユーティリティ用意

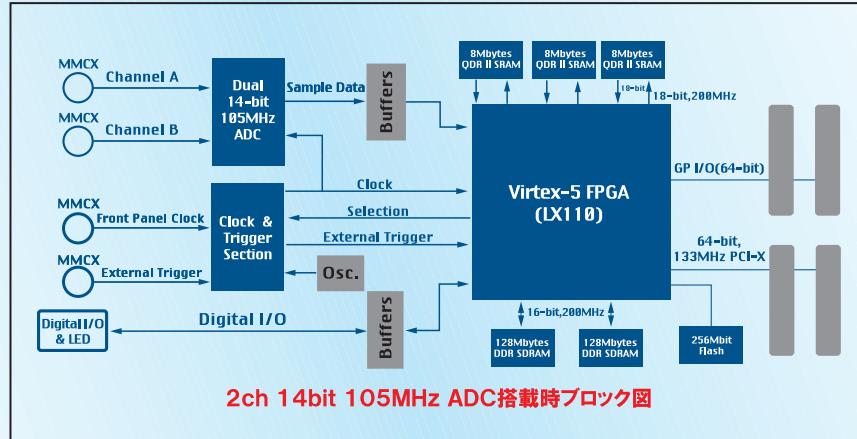
■OS: Windows / VxWorks / Linux

### ソフトウェア開発者様に朗報 !!!

MATLAB/Simulinkを使ったアルゴリズムの開発・検証やVHDLコードの自動生成等に連動した専用アダプテーションキットにも対応予定



最先端の65nmテクノロジにより、前世代のFPGAと比較して30%の高速化と65%の機能向上を達成しながら、消費電力は35%低減した上で45%のチップサイズを縮小。高速 FIFOも構成可能。550MHz DSP8Eスライスにより従来の50%のリソースで単精度浮動小数点演算が実行できます。



(お問い合わせは)

[sales@mish.co.jp](mailto:sales@mish.co.jp)



<http://www.mish.co.jp/>

MISH  
INTERNATIONAL

株式会社ミッシュインターナショナル

TEL 042-538-7650 FAX 042-534-1610

〒190-0004 東京都立川市柏町4-56-1



# Enabling Multi-Port 1 Gbps and 10 Gbps TCP/iSCSI Protocol Offload Solutions

# マルチポート 1Gbps/10Gbps ベースでの TCP/iSCSI プロトコル オフロード ソリューションの実現

Virtex-5 LXT プラットフォームで、省フットプリント、システムレベルでのマルチポート 1Gbps/10Gbps の TOE ソリューションを実現

Sriram R Chelluri  
Senior Manager, Storage and Servers  
Xilinx, Inc.  
[sriram.chelluri@xilinx.com](mailto:sriram.chelluri@xilinx.com)

データセンタのネットワーク基盤が 10Gbps に移行するなか、データ通信をイーサネットベースのソリューションに移することで、パフォーマンスとレイテンシを犠牲にすることなくコストを抑制できます。PCI Express® やマルチギガビットイーサネット (GbE) のサポートなど、ハードウェアベースのホストインターフェイスは、コンピュータやデータ処理の市場で低コストかつ高性能な製品をデザインする画期的な手段です。ザイリンクスの Virtex™-5 FPGA ファミリーは、より高機能、低消費電力のシステムオンチップ (SoC) ソリューション デザインを提供します。

Virtex-5 アーキテクチャは、TCP および iSCSI オフロードエンジン向けに SoC デザインのインプリメンテーションを容易にする次の機能を備えています。

- 内蔵 PCI Express ブロック – 1~8 レーンをサポートし、最大 32Gbps の

パフォーマンスを提供できる標準準拠の統合型 PCI Express エンドポイント

- 内蔵 ギガビットイーサネット MAC (GEMAC) – 4つのハードコア GE MAC によりマルチポートのギガビットソリューションを可能にし、SoC デザインのシリコンスペースを低減します。
- 真の 6 入力 LUT テクノロジ - スライスの使用率の改善と配線レイテンシの削減を通して高いパフォーマンスを実現します。
- 36KB デュアルポート ブロック RAM – エラー検出回路を備える高集積メモリにより、信頼性の高い演算ロジック構造をサポートすると共に、より多くのオンチップ TCP セッションをサポートし、オンチップ TCP セッションを増やすことが可能で同時送受信動作を実現します。
- DSP48E スライス – イメージ処理やマルチメディア アプリケーション用の強力な並列演算を可能にします。

Virtex ファミリーはプログラマブル プラットフォームであるため、規格の移り変わりや市場ニーズに応じてデザインを適応させ

ていくことができます。Virtex-5 ファミリーのリソースを活用することで、製品ライフサイクルの長いサーバーやストレージ、マルチプロトコルスイッチ、無線基地局用に、費用対効果に優れた TCP および iSCSI オフロードソリューションをデザインすることができます。

## TCP オフロードエンジン (TOE) の概要

現在の TCP オフロードソリューションは、TCP/IP の処理を完全なソフトウェアスタック、もしくは ASIC ベースの特殊なネットワークインターフェイスカード (NIC) に依存しています。100% ソフトウェアのソリューションは低バンド幅のアプリケーションには許容できますが、高性能アプリケーションは CPU のリソースを使い尽くし、クリティカル アプリケーションにとってシステム上のボトルネックとなります。

ASIC ベースのソリューションは、主に高性能 10Gbps の市場で成功を目指す新興企業から提供されています。これらのソリューションはまだ高価なうえ、将来の財務状況が未知数のベンダに運命を委ねることになります。



かねません。

ザイリンクスとサードパーティの IP パートナーは、完全に標準準拠の TCP/iSCSI オフロードソリューションを提供しており、そのままインプリメントすることが可能で、また機能性やサイズ、スピード、ターゲットアプリケーションに応じてカスタマイズすることもできます。

## FPGA ベースの TCP/iSCSI エンジン

標準準拠の内蔵 GEMAC、PCI Express コア、大容量ブロック RAM を搭載する Virtex-5 LXT デバイスは、プログラマブルなプラットフォームチップで、ネットワークやホストのインターフェイス側のシリアルコネクティビティに苦労することなく、TCP と iSCSI プロトコルを処理できます。プロトコルオフロードデザインの課題としては次が挙げられます。

- サポートする TCP コネクションの数
- TCP のリアセンブリと順序変更
- P のフラグメンテーションとリアセンブリ
- レイテンシ
- オンチップとオフチップの TCP セッション管理

これらの課題は、Virtex-5 デバイス固有の機能と IP コアを用いて軽減できます。内蔵されている GEMAC と PCI Express インターフェイスにより、最小限の FPGA リソースでダイレクトメモリアクセスソリューションをインプリメントし、一時メモリを使用することなくメモリ転送レイテンシを削減して TCP リアセンブリを行うことができます。また、Virtex-5 FPGA は 36KB のデュアルポート ブロック RAM を装備し、旧世代より 2 倍の TCP コネクションをサポートします。ザイリンクスの LogiCORE™ 高速メモリコントローラにより、外部 DDR2 メモリを使用して TCP セッションの管理をスケーリングすることができます。次に、FPGA ベースのネットワークインターフェイスソリューションでどういったリソースを節約できるかを説明します。

## 1Gbps と 10Gbps の NIC ソリューション

IPストレージやブレードサーバー用の統合型マルチポート 1Gbps および 10Gbps TCP オフロード NIC により、ネットワーク基盤をストレージトラフィックに活用できます。図 1 は、FPGA ベースの代表的な NIC デザインです。

使用する IP コアによっては、このデザインをインプリメントするために最大 20,000 スライスが必要になるケースがあります。Virtex-5 LXT プラットフォームはリソースの使用率を半減させるため、パフォーマンスを犠牲にすることなく低コストソリューションを開発できます。ハードウェアの効率に加え、GbE と PCI Express に対して高速 I/O インターフェイスをインプリメントする必要がないため、開発費の削減にもつながります。図 2 は、Virtex-5 ファミリに内蔵されているリソースを用いて TCP オフロード NIC のデザインを手直したところを示しています。

## 結論

ザイリンクスの FPGA にサードパーティベンダの標準準拠の TCP および iSCSI オフロード IP コアをインプリメントすることで、総開発費をはるかに低く抑えながらドロップインもしくはカスタム SoC をデザインすることができます。ハード化された GEMAC や PCI Express エンドポイント ブロック、大容

量ブロック RAM、そして 6 入力 LUT を搭載する Virtex-5 LXT プラットフォームにより、サーバーやストレージ、マルチプロトコルスイッチ、無線基地局の市場向けに複雑なソリューションをより少ない FPGA リソースでインプリメントできるのです。

Virtex-5 LXT FPGA の詳細は、<http://japan.xilinx.com/virtex5/> をご覧ください。プロトコルオフロードソリューションの詳細は、<http://japan.xilinx.com/esp/storage/> をご覧ください。また、他のアプリケーションでザイリンクスの FPGA を活用する方法については、<http://japan.xilinx.com/esp/> をご覧ください。

図 1 旧世代の FPGA で TCP オフロードソリューションをデザイン

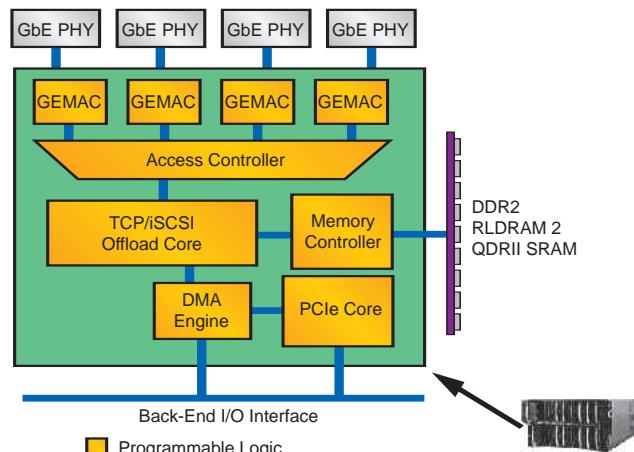
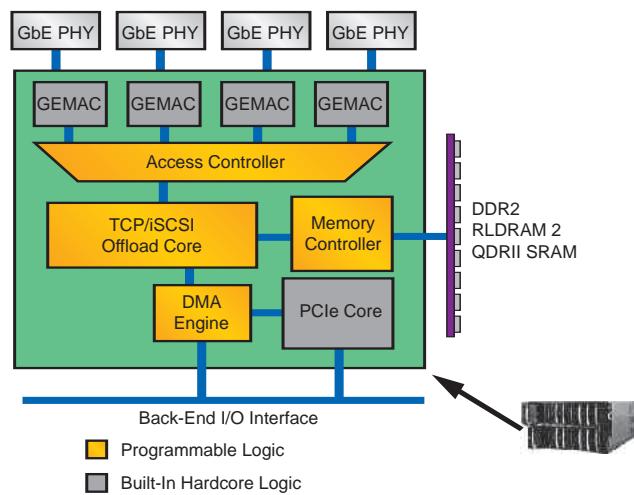
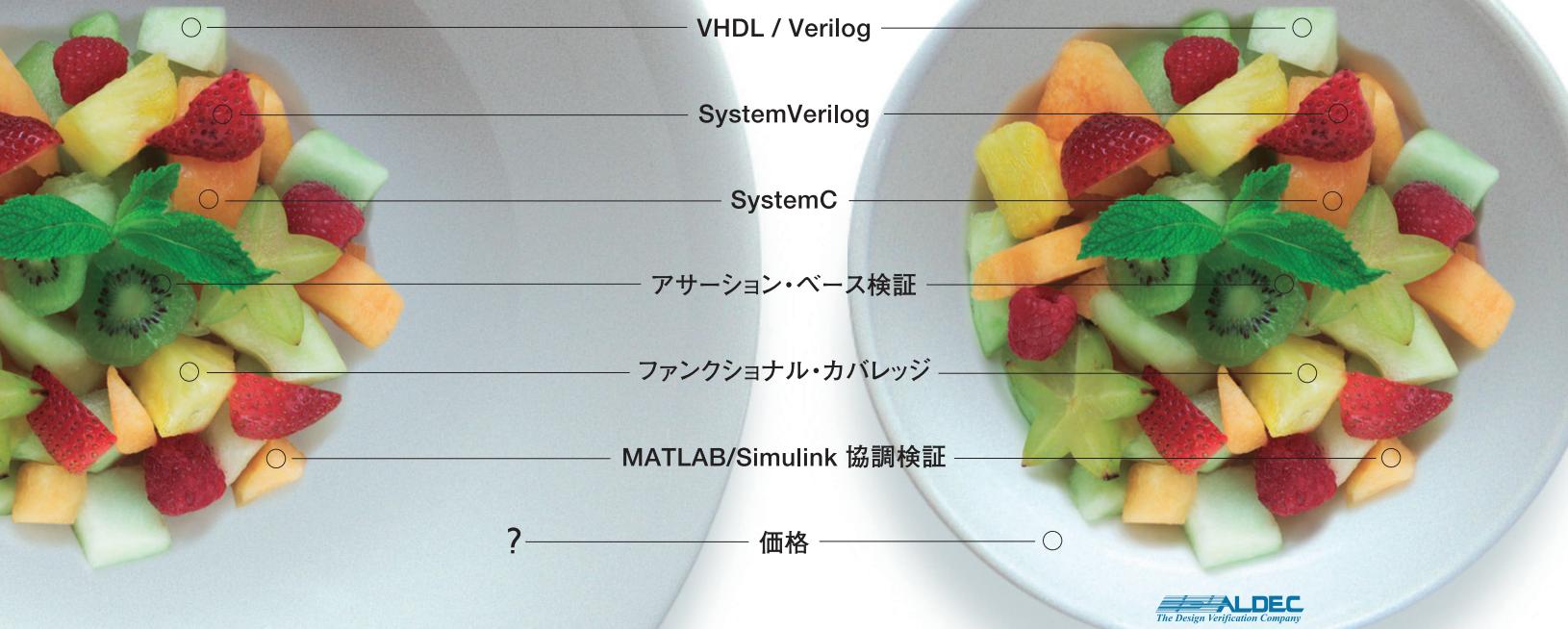


図 2 Virtex-5 LXT FPGA で TCP オフロードソリューションをデザイン



# 次世代メニュー

得るものが同じなら、コストは小さい方がいいとソリトンは考えます。



**ALDEC**  
The Design Verification Company

Other

グラフィカルデザインエントリ機能を搭載した  
Windows 対応高速HDLシミュレータ

**Active-HDL**  
アクティブ エッヂディーエル

マルチプラットフォーム対応  
高速HDLシミュレータ

**Riviera**  
リビエラ

SystemVerilog、アサーション・ベース検証など  
次世代EDA対応の設計・シミュレーションツール。

言語フリー、I/Fフリー、さらに高い投資効果、価値ある製品を  
お届けするのは、ソリトンです。

\*Active-HDL、RivieraはAldec社の商標です。\*その他の製品及び名称は各社の登録商標、商標です。



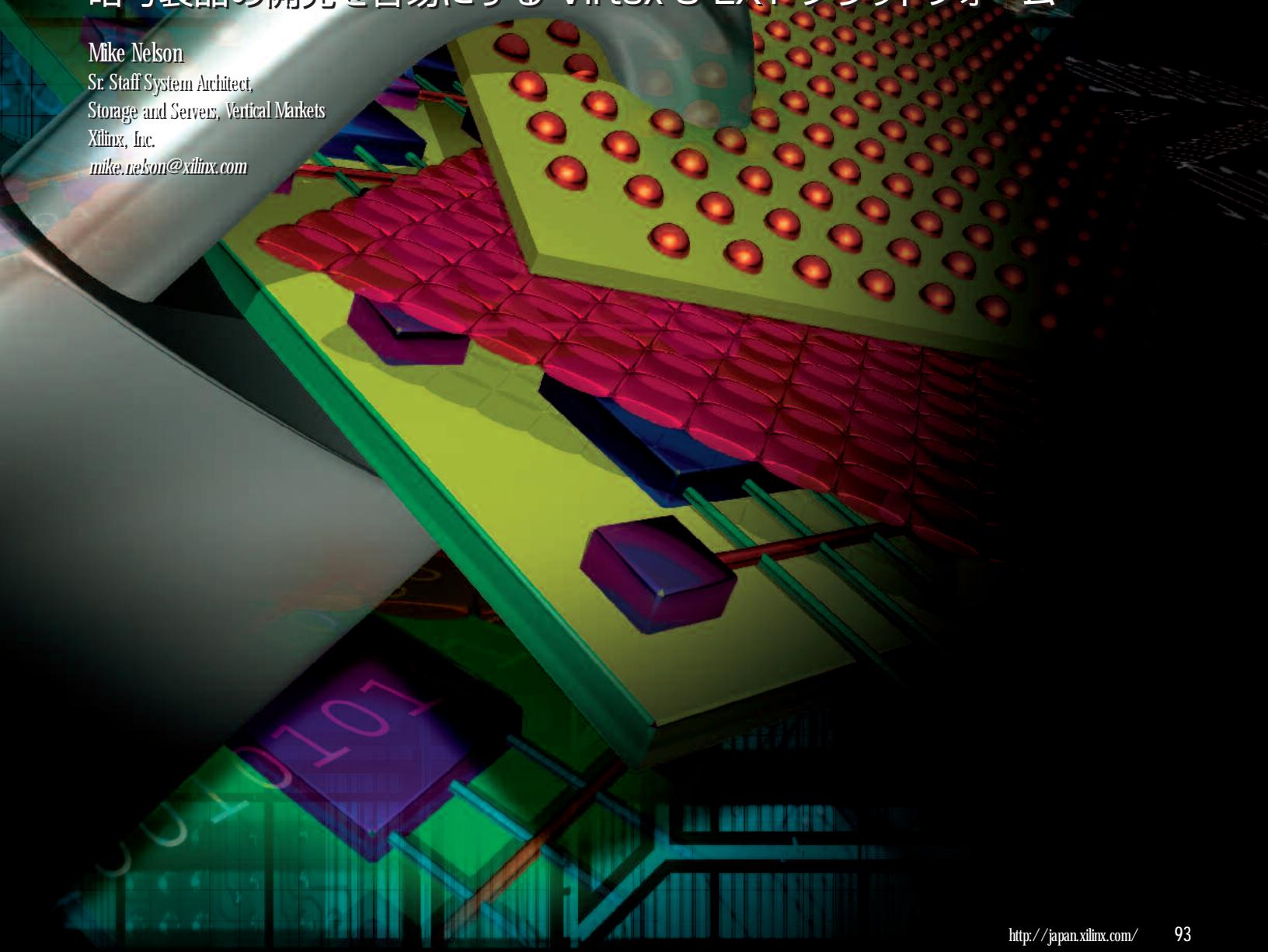
VERTICAL MARKET SOLUTIONS

# Implementing Encryption Algorithms with the Virtex-5 LXT Platform

# Virtex-5 LXT プラットフォームでの暗号化 アルゴリズムの実装

暗号製品の開発を容易にする Virtex-5 LXT プラットフォーム

Mike Nelson  
Sr. Staff System Architect,  
Storage and Servers, Vertical Markets  
Xilinx, Inc.  
[mike.nelson@xilinx.com](mailto:mike.nelson@xilinx.com)





暗号化は膨大な数値演算を伴うファンクションであり、ハイ パフォーマンスなインプリメンテーションを行うには、システム デザインが極めて大きな課題になります。ザイリンクスの Virtex™-5 LXT プラットフォームは、10Gbps を越える最先端の暗号化アルゴリズムをインプリメントできるようパフォーマンスを最適化した理想的な機能を備えており、この課題を克服するのに役立ちます。

世界有数のプログラマブル ファブリックである Virtex™-5 LXT プラットフォームは、卓越したロジック パフォーマンスを提供します。内蔵 GTP シリアルトランシーバ、ハード PCI Express™ エンドポイント ブ

ロック、および非常に柔軟な SelectIO™ テクノロジにより、極めて広い I/O バンド幅を実現します。また、65nm のデバイス ファミリによる高い集積度が、あらゆるデザインニーズに対応します。

Virtex-5 アーキテクチャは、高バンド幅の暗号化アプリケーションに必要な非常にハイ パフォーマンスなロジックを実現する次の先進機能を装備しています。

- 真の 6 入力 LUT ベース ファブリックにより、ロジック レベルを抑えながら回路をより高集積なストラクチャにマッピングし、デバイスの使用率やパフォーマンスの向上を実現します。

- 配線アーキテクチャを改善し、低レイテンシーでのロジック接続性を向上したことにより、合成ツールの柔軟性が高まり、デバイスの使用率やパフォーマンスが改善されます。
- ECC を内蔵した 36Kb デュアルポート ブロック RAM により、FIFO および演算ロジック構造を作成する極めて高パフォーマンスなオンチップ メモリリソースを利用することが可能です。

これら一連のリソースを組み合わせることにより、IPsec AES-CBC/AES-XCBC MAC-96、802.1ae MACSec、LRW-AES、AES-GCM、SHA-256/384/512、その他多くの暗号化アルゴリズムを極めて費用対効果の高い 10Gbps 以上のインプリメンテーションとして実現します。さらに、Virtex-5 ファミリはプログラマブル ロジック プラットフォームであるため、これらアルゴリズムそのものが改良されたりなど、今後の暗号化の世界の進化に対応して、デザインを進化させていくことが可能です。

## I/O バンド幅と柔軟性

膨大な数値演算を行うコア ロジックは、高バンド幅の I/O を必要とします。しかし、その I/O の特性はシステム アーキテクチャによって変わります。図 1 は、暗号化処理をインプリメントするための 2 通りの一般的なアーキテクチャを示しています。

ルックアサイド コプロセッサングは、x86 ベースのシステム アプライアンスに広く使われている魅力的なオプションです。このモデルは、アプリケーション フレームワークをインプリメントするために汎用 x86 プラットフォームの優れた価値を活かし、最適化されたアクセラレータを選択的に「ルックアサイド」を行い、ターゲット アプリケーションに対して高いパフォーマンスを達成します。FPGA は以前からこの役割に適していましたが、極めて高いパフォーマンスを達成するようスケーリングを行うことに課題が残っていました。

PCI と PCI-X ソリューションは少量の

図 1 ルックアサイドとインライン暗号化処理

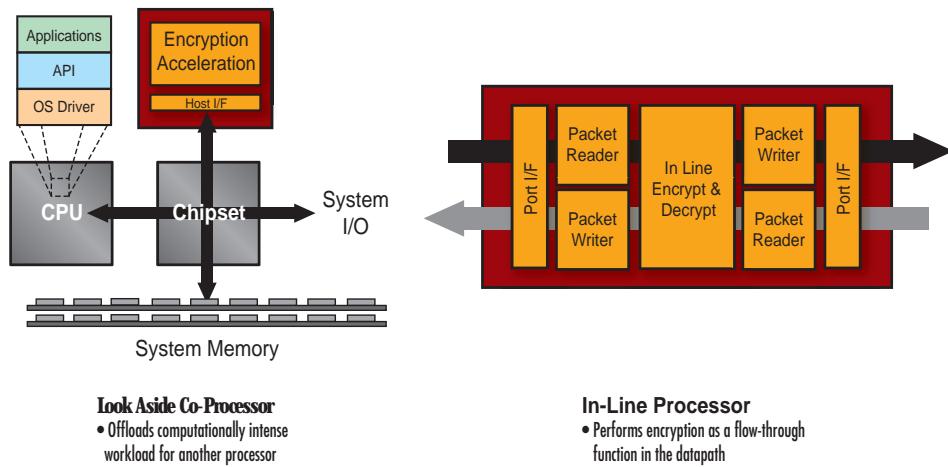
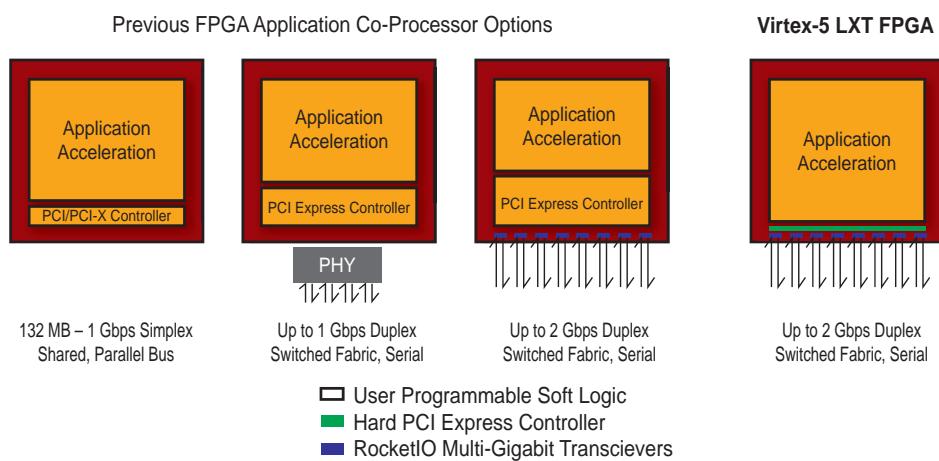


図 2 FPGA コプロセッサ オプションに対する I/O バンド幅とソフト ロジックの進化





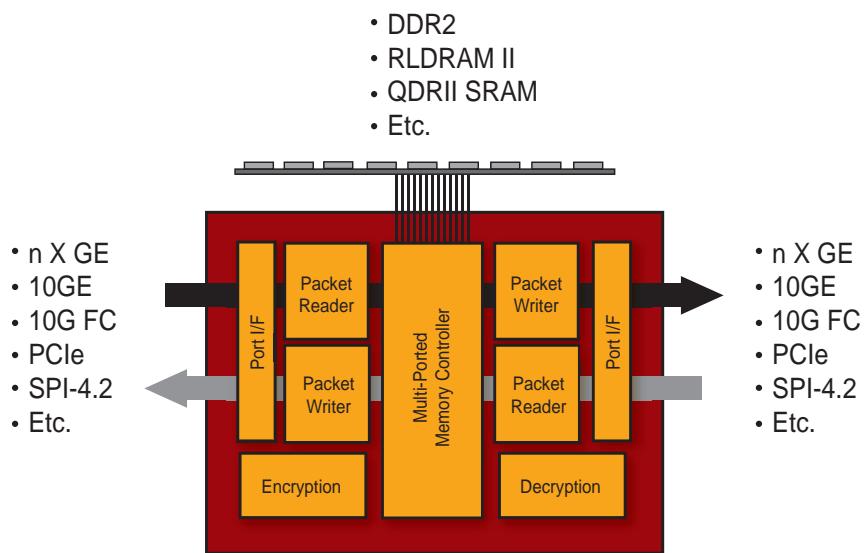
ソフトロジックで済むものの、パフォーマンスが限られているうえ、バンド幅を共有する必要があります。PCI Express は非常にハイパフォーマンスなノンブロックスイッチドファブリックをインプリメントすることが可能ですが、コントローラをインプリメントするには、一般に多くのソフトロジックリソースを必要とし、また電気的接続に外部PHYを必要とする場合もあります。

Virtex-5 LXT プラットフォーム FPGA は、すべてのデバイスにエンベデッド RocketIO™ GTP トランシーバと内蔵された PCI Express エンドポイントブロックを組み合わせることでこれらの制約に対処します。LXT プラットフォームを使用することで、極めてハイパフォーマンスなコプロセッサ I/O を簡単かつ効率的にインプリメントできるのです（図 2）。

Virtex-5 LXT プラットフォーム FPGA は、図 3 に示すとおり、オンラインアプリケーションにも理想的です。オンライン暗号化アプリケーションに最も重要なのは、柔軟性です。これらのアプリケーションは、同一または異なる入力ポートと出力ポート、ポートアグリゲーション、あるいはローカルサブシステムメモリを必要とする場合があります。Virtex-5 LXT プラットフォームは次のように幅広い機能でこの課題を克服しています。

- ギガビットイーサネット（GbE）— Virtex-5 LXT プラットフォーム内の各デバイスは、ハード化された 4 つの独立した GbE MAC を備えているため、マルチポートのイーサネットオプションが非常に効率的な I/O オプションとなります。必要に応じて、フォーム、フィット、ファンクションが 100% 等価なソフト LogicCORE™ IP を用いて追加のポートを加えることも可能です。
- 10 ギガビットイーサネット — ザイリンクスのソフト LogicCORE ファンクションを 4 つの RocketIO MGT に接続して XAUI インターフェイスを作成したり、SelectIO ピンに接続して XGMII インターフェイスを作成したりで

図 3 Virtex-5 LXT デバイスのオンライン暗号化プラットフォームの柔軟性



きます。

- 10Gbps ファイバチャネル（FC）— XAUI ライクなファイバチャネル規格は、10.2Gbps のファイバチャネルを実現するため、3.1875Gbps で並列動作する 4 つの RocketIO MGT を使います。
- PCI Express — 業界標準の PCI Express をベースとするさまざまなポートコントローラにインターフェイスできます。
- SPI-4.2 — ソフト LogicCORE IP は、業界標準の SPI-4.2 をサポートし、ハイパフォーマンスな SelectIO テクノロジを介してチップツーチップのコネクティビティを実現します。
- メモリ — Virtex-5 SelectIO テクノロジは、ポート I/O 規格に加え、DDR2, RLDRAM II, QDR II SRAM を含む広範なメモリインターフェイステクノロジをサポートします。これにより、オンラインプロセッシングエンジンで必要されるほとんどのローカルメモリサブシステムを実現します。

これらの機能により、使いたい統合型暗号化テクノロジを用いて必要なポートに接続するオンラインソリューションを作成することができます。

## 結論

Virtex-5 LXT プラットフォームは、RocketIO GTP トランシーバや PCI Express エンドポイント、トライモードイーサネット MAC ブロックを内蔵し、Virtex-5 FPGA アーキテクチャの機能を拡張しています。この結果、非常にハイパフォーマンスなルックアサイドとオンライン暗号化ファンクションをサポートする理想的なプラットフォームとなっています。

LXT プラットフォームのデバイスが有用なその他のアプリケーションとしては、ネットワーキング向けのハイパフォーマンスなパケット処理や深いコンテンツ検査、データベース向けの高速データマイニング、ISM（産業/科学/医療）アプリケーション向けのタイムクリティカルな数値演算処理、航空宇宙やビデオグラフィックアプリケーション向けのリアルタイムイメージ処理などが挙げられます。

Virtex-5 LXT プラットフォーム FPGA の詳細は、<http://japan.xilinx.com/virtex5/>をご覧ください。ザイリンクスの暗号化に関する詳細は [http://japan.xilinx.com/esp/security/data\\_security/index.htm](http://japan.xilinx.com/esp/security/data_security/index.htm) をご覧ください。また、ザイリンクスの FPGA が利用可能なアプリケーションに関する詳細は <http://japan.xilinx.com/esp/> をご覧ください。



# Introducing Virtex-5 EasyPath FPGAs

# Virtex-5

# EasyPath FPGA

世界最速 65nm FPGAによるコスト削減  
ソリューション

Gokul Krishnan, Ph.D

EasyPath Marketing

Xilinx, Inc.

[gokul.krishnan@xilinx.com](mailto:gokul.krishnan@xilinx.com)

Derek Johnson

APD Marketing

Xilinx, Inc.

[derek.johnson@xilinx.com](mailto:derek.johnson@xilinx.com)

多くの市場セグメントで競争が激化する中、企業は製品にいっそう複雑な機能を追加すると同時に、開発費を削減も求められています。さらに、変化の速い市場ニーズと Time-to-Market (市場投入までの期間) に対する厳しい要求にも応えていかなければなりません。

ザイリンクスの FPGA は、絶えざる技術革新によりますます複雑化する機能をロジック セルあたりのコストをいっそう低下させることで、このような課題へのソリューションを提供しています。最近発表された Virtex™-5 FPGA と Virtex-5 EasyPath™ FPGA は、かつてない高性能、低システム コスト、そして卓越したエンベデッド機能を提供する 65nm デバイスの最新製品です。

Virtex-5 EasyPath FPGA は、業界唯一の 65nm プロセスを採用した特定ユーザー用 FPGA のコスト削減ソリューションで、他のソリューションと比較して総所有コスト (TCO) を最小に抑えます。EasyPath FPGA はザイリンクスの標準 FPGA とまったく同じ製品ですが、特許を取得したテスト方法とユーザー固有のテスト パターンで検証を行います。そのため、EasyPath FPGA は標準 FPGA のフル プログラマビリティを必要としないデザインに対して FPGA の歩留まりを大幅に改善します。歩留まり改善の利点は、低コストという形でユーザーに提供されます。EasyPath テクノロジは、さまざまなプラットフォームをまたがる各種製品ファミリにて、幅広いゲートおよびメモリ数のレンジをカバーする 28 種類のデバイスで提供しています。

## 最小の TCO を提供する Virtex-5 EasyPath FPGA

Virtex-5 EasyPath FPGA デバイスは、65nm プロセスを用いて製造されており、デバイスそのものが元々コスト メリットに優れています（表 1 参照）。EasyPath FPGA には、単価の安さに加え、他にも次のようなコスト メリットを提供します。

- 低い初期開発費 (NRE)
- 再検証が不要
- 追加エンジニアリング リソースが不要

- リード タイムの短縮（12~16 週間）

Virtex-5 EasyPath FPGA を使用することで、標準 FPGA と比較して、量産に移行する際に価格を 30~75% 引き下げるることができます。EasyPath FPGA は標準 FPGA とまったく同じ製品であるため、変換作業をまったく必要としません。これには 2 つの重要な利点があります。1 つは、EasyPath FPGA では標準 FPGA のあらゆる機能がサポートされることから、コストを減らしてもリスクがほとんどないことです。2 つめは、EasyPath FPGA に移行する際、ボードやシステムを再検証する必要がないことです。これにより、貴重なエンジニアリングの時間とリソースを節約し、50 万ドル以上のコスト節約を実現します。

ストラクチャード ASIC の場合、ユーザーはベンダと何度もレビューを重ね、貴重なエンジニアリング リソースを何ヶ月にもわたって費やすことになりますが、EasyPath FPGA ではエンジニアリング リソースをほとんど必要としません。デザインを完成させて所定のファイルをザイリンクスに渡した後、8~12 週間で直接量産に入ることができます。デザインは既に標準 FPGA でプロトタイピングされているため、中間のプロトタイプは不要です。量産までのリードタイムは、ストラクチャード ASIC より少なくとも 3~4 ヶ月短縮されます。

動きの激しい業界であれば、市場動向の移り変わりを考慮しより適正な市場投入を行うようデザインの確定を 3~4 ヶ月延期するということも可能です。市販までの期間を短縮できるということは、その製品の市場シェアに大きな影響を与えます。International Business Strategies 社の調査によれば、Time-to-Market がわずか 3 ヶ月遅れただけで、市場シェアが 15% も減少することがあります。

## 共通点ではなく相違点

ここ数年、半導体業界では ASIC デザインの開発プロジェクト件数が年々減少の一途を辿っています。1 つの理由は、FPGA の方が単位あたり低コストでより高い機能性を実現できるようになったことです。他にも、マスクセット、デザイン、検証コストの増加が続いたことも理由です。International Business Strategies 社の最近の見積もりでは、新たに 90nm の ASIC デザインを開発するには 1,000 万ドル以上の費用がかかります。このコストの大部分を占めるのが、チップの複雑化に伴って長期化された検証プロセスです。65nm では、動作電圧とトランジスタ

ル酸化膜を採用することでリーク電力を大幅に低減しますが、ASIC デザインでは、消費電力を考慮して、クロックゲーティングや選択的トランジスタなどの手法を用いてリーク電流を抑える必要があります。このように、Virtex-5 EasyPath FPGA は 130nm と 90nm のシンプルさを維持していますが、65nm ASIC では特有の課題があり、それらを克服しないことにはデザイン成功の可能性が極めて低くなります。

## 結論

Virtex-5 ファミリは、半導体業界で最も費用対効果に優れた高性能な FPGA ファミリです。よりユーティリゼーションの高いロジック ファブリックや、より統合の進んだブロック メモリ、より高精度な DSP スライスといった先進の特長に加え、高度なインターフェイス機能およびエンベデッド プロセッキング ブロックを備えていることから、より小型の FPGA に実装したり、ボード上の外部ディスクリート デバイスを置き換えたりすることで、システムの総コストの削減につながります。65nm プロセスによるデバイス製造コストの削減に加え、いつそうのコスト削減を達成できるのです。

**EasyPath の TCO 削減における  
メリット**  
複合 IP をサポートし、  
FPGA の機能やパッケージを  
100% サポートしている  
唯一のコスト削減  
ソリューション

のサイズが非常に小さく、プロセスがほんの少し変動するだけでデザインの機能性に多大な影響を及ぼします。

したがって、従来ライブラリそのものに埋め込まれていると考えられていた DFM (Design for Manufacturability) のルールを、今後は物理デザインの段階で考慮する必要があります。さらに、インターフェクトの間隔が非常に狭いため、シグナル インテグリティがいっそう重要になり、隣接するメタル配線で同時に信号を伝送する場合には、寄生キャパシタンスを減らすよう細心の注意を払う必要があります。

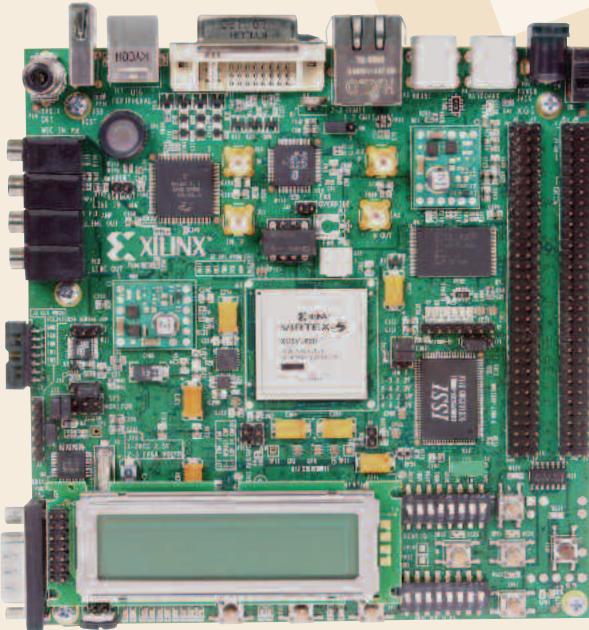
65nm デザインにはもう 1 つ、消費電力の問題があります。Virtex-5 FPGA はトリプ

表 1 EasyPath のTCO メリット

| コスト要素            | ストラクチャード ASIC | ザイリンクス FPGA |
|------------------|---------------|-------------|
| Time to Cost の削減 | 20~24 週間      | 可           |
| NRE コスト          | 10~40 万ドル     | 不可          |
| 再検証コスト           | 10~50 万ドル     | 可           |
| 設計コスト            | 25~30 万ドル     | 同           |
| 開発ツール コスト        | 10~20 万ドル     | 同           |
| デバイス単価           | 最小            | 低           |
| リスピニのコスト         | 高             | 低           |



# Virtex-5 ML501 評価および開発プラットフォーム



## [主要機能]

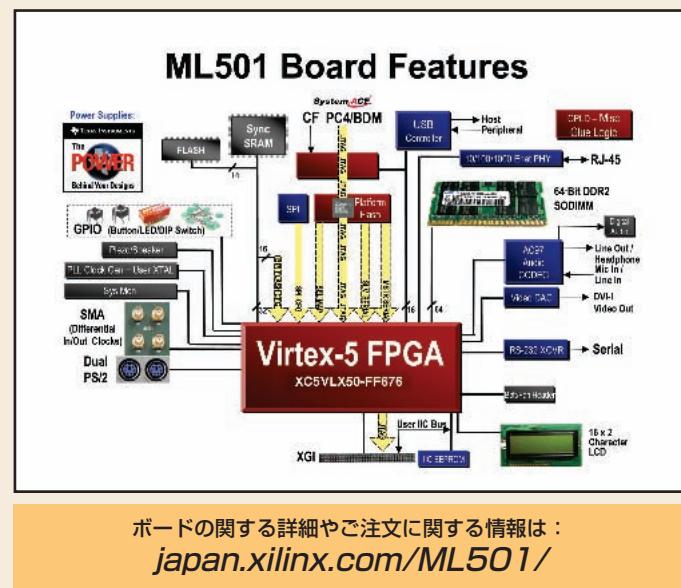
- 搭載デバイス : Virtex-5 LX (XC5VLX50-FF676)
- DDR2 SODIMM (256 MB)
- ZBT SRAM (1 MB)
- Linear フラッシュ (32 MB)
- System ACE™ CompactFlash (CF) テクノロジ
- プラットフォーム フラッシュ
- SPI フラッシュ
- JTAG プログラミング インターフェイス
- 外部クロック (2 個の差動ペア)
- USB (2 個) - ホストおよびペリフェラル
- PS/2 (2 個) - キーボード、マウス
- RJ-45 - 10/100 ネットワーキング
- RS-232 (雄) - シリアルポート
- オーディオ入力 (2 個) - ライン、マイク
- オーディオ出力 (2 個) - ライン、アンプ、SPDIF、Piezo スピーカ
- ビデオ (DVI/VGA) 出力
- シングルエンドおよび差動 I/O 拡張
- GPIO DIP スイッチ (8 個)
- GPIO LED (8 個)
- GPIO プッシュボタン (5 個)

## 全般的な低コスト開発に理想的なプラットフォーム

ザイリンクスの Virtex-5 ML501 評価プラットフォームは優れた機能をフルに提供し、低コストの評価／開発に最適なプラットフォームで、搭載されている Virtex-5 LX FPGA のリソースを容易にかつ実践的に活用が可能です。ML501 は、業界標準のインターフェイスやコネクタをサポートしており、さまざまなアプリケーションの開発プラットフォームとして活用できます。このML501 ボードは、ビデオやオーディオ、通信ポート、メモリ リソースの機能や柔軟性が、従来にない高いレベルで拡張されています。

**リファレンス デザイン :** 検証済みハードウェアデザインやスタンドアロン のソフトウェア アプリケーション同梱の Xilinx Platform Studio

**デモンストレーション :** CF カード搭載のクイックスタートのアプリケーション



ボードのに関する詳細やご注文に関する情報は：  
[japan.xilinx.com/ML501/](http://japan.xilinx.com/ML501/)



# Virtex-5 ML505 評価および開発プラットフォーム



低コストの組み込みシステムや  
RocketIO GTP トランシーバの開発に  
最適なプラットフォーム

ザイリンクスの Virtex™-5 ML505 評価 プラットフォームは、  
RocketIO™ テクノロジをベースに設計されており、豊富な機能を提供  
する低コストの評価／開発に最適なプラットフォームで、搭載されている  
Virtex-5 LX FPGA のリソースを容易にかつ実践的に活用が可能です。

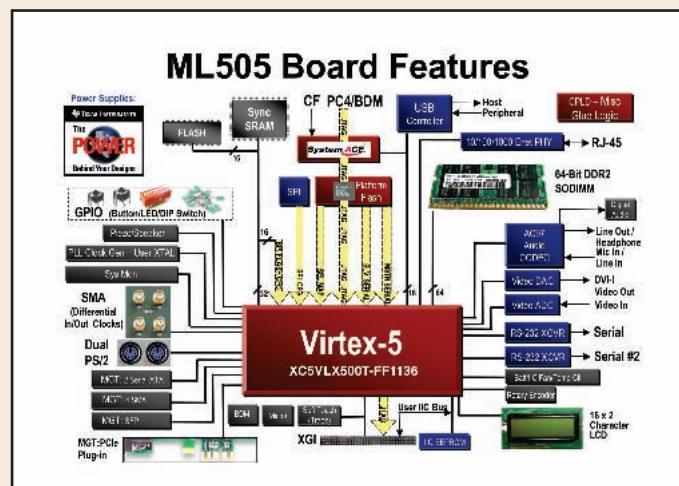
ML505 は、業界標準のインターフェイスやコネクタ、大容量メモリ、コン  
パニオン チップセットをサポートしており、組み込みシステムを含むさま  
ざまなアプリケーションの開発プラットフォームとして活用できます。

リファレンス デザイン：検証済みハードウェアデザインやスタンダードアロン  
のソフトウェア アプリケーション同梱の Xilinx  
Platform Studio

デモンストレーション：Quick-start applications on a CF card

## [主要機能]

- 搭載デバイス : Virtex-5 LXT (XC5VLX50TFFG1136)
- DDR2 SODIMM (256 MB)
- ZBT SRAM (1 MB)
- Linear フラッシュ (32 MB)
- System ACE™ CF (CompactFlash) テクノロジ
- プラットフォーム フラッシュ
- SPI フラッシュ
- JTAG プログラマブル インターフェイス
- 外部クロック (2 個の差動ペア)
- USB (2 個) - ホストおよびペリフェラル
- PS/2 (2 個) - キーボード、マウス
- RJ-45 - 10/100/1000 ネットワーキング
- RS-232 (雄) - シリアル ポート
- オーディオ入力 (2 個) - ライン、マイク
- オーディオ出力 (2 個) - ライン、アンプ、SPDIF、Piezo スピーカ
- ロータリ エンコーダ
- ビデオ入力
- ビデオ (DVI/VGA) 出力
- シングルエンドおよび差動 I/O 拡張
- GPIO DIP スイッチ (8 個)、LED (8 個)、プッシュボタン (5 個)
- GMII および SGMII イーサネット PHY インターフェイス
- PCI Express プラグイン カード フォーム ファクタ (x1 エンドポイント)
- GTP トランシーバ : SFP (1000Base-X)
- GTP トランシーバ : GTP トランシーバに接続されている 4 個の SMA
- GTP : SATA (2 個)
- GTP トランシーバ クロック 合成チップ
- セカンドシリアルポート用のヘッダ
- 大規模デバイス用のセカンド プラットフォーム フラッシュ PROM (32Mb)
- Mictor トレース ポート
- BDM デバッグ ポート
- ソフトタッチ ポート



ボードの関する詳細やご注文に関する情報は：  
[japan.xilinx.com/ML505/](http://japan.xilinx.com/ML505/)

# Virtex-5 ML550 ネットワーキング インターフェイス ツール キット



## Virtex-5 FPGA を活用した ネットワーキング、通信、サーバー、 コンピュータ システムのデザインが可能

今日の通信およびネットワーキング システムは、LVDS またはその他差動 I/O 標準ベースの高バンド幅インターフェイスを使用します。差動 I/O 標準では、システム パフォーマンスやシグナル インテグリティが向上しているため、システム デザインを簡易化します。

SPI-4.2 や SFI-4 などのソース同期 I/O をベースにしたプロトコルは、システム デザインの中核を担います。

これらテクノロジのアドバンテージを活かした設計を行うには、デバイスの相互動作や標準コンプライアンスのサポートが重要になります。ザイリンクスは、Virtex-5 のネットワーク インターフェイスをサポートするボードや、標準 IP コア、無償のリファレンスデザインを提供し、高速でのソース同期インターフェイスの実現を支援します。これにより、アプリケーションのデザインに注力することができます。

ML550 評価プラットフォームは、SPI-4.2 や SFI-4.を含む幅広い通信標準をサポートしています。図 1 は、ML550 上で動作する LVDS BERT デモのユーザー インターフェイスです。このユーザー インターフェイスは、ビット エラー レート テスター (BERT) を含んでおり、16 LVDS トランスマッタから受信するデータのインテグリティの計測結果を表示します。擬似ランダムに生成されるビット シーケンス を使ってデータのシミュレーションを行うことができます。ユーザー インターフェイスに表示されるエラー カウンタは、トランスマッショング中に発生するビット エラーをカウントします。BERT は、マルチ チャネルのデザインでは、どのチャネルでエラーが発生するかをトラックし、トラブルシューティングを視覚的に提供します。

## 〔主要機能〕

ML550 は鉛フリーの開発ボードで、主に次の機能を提供します。

- 搭載デバイス Virtex-5 LXT (XC5VLX50T-FFG1136)
  - 7 つのクロック ソース：
    - ・ Epson EG2121CA 2.5V、200-MHz および 250-MHz LVPECL オシレータ
    - ・ Epson EG2121CA 2.5V、133-MHz LVDS オシレータ
    - ・ SMA 差動クロック入力 2 組
    - ・ ICS8442 ベースのプログラマブル クロック回路(LVDS) 2 個 (31.25 MHz ~ 700 MHz)
  - ディスプレイのサポート：
    - ・ 3.3V LCD キャラクタ標準ディスプレイ向け 2 X 9 コネクタ I/F
    - ・ 64 X 128 LCD パネル  
(ディスプレイ テクノロジ Q64128E-FC-BC-3LP)
  - コネクタおよびインターフェイス：
    - ・ USB "B" ポート 1 個
    - ・ LVDS Samtec コネクタ 6 個  
(合計 53 入力チャネルおよび 53 出力チャネル)
  - メモリ：
    - ・ 8 ビット幅の 64 MB DDR SDRAM メモリ  
(Micron Semiconductor MT46V64M8BN-75)
    - ・ デバイス コンフィギュレーション：
    - ・ System ACE™ Compact Flash コンフィギュレーション コントローラにより、8 個の FPGA コンフィギュレーション イメージ ファイルの格納およびダウンロードが可能
  - その他：
    - ・ ±2.5% および ±5% のマージン テストが可能な消費電力レギュレーション
    - ・ LVDS ループバック ドータボードおよびリファレンス／デモ デザイン CD を含むキット

図 1 BERT ユーザー インターフェイス



本ボードや開発キットに関する詳細は、  
ザイリンクス販売代理店までお問い合わせください。



# ML555 — PCI Express 開発ツール キット



## コンフィギュレーションが可能で 事前検証済みの開発ソリューション

ザイリンクス ML555 は、鉛フリーの PCI Express/PCI-X/PCI 開発ボードで、パラレルおよびシリアル PCI インターフェイス デザインが設計可能な事前検証済みのソリューションです。

既に設計された開発環境を使うことにより、デザイン サイクルを大幅に短縮することができます。検証済みのブロック を利用し、PCI Express や PCI の開発に時間を消費することなくアプリケーション開発に注力することができます。

ML555 開発ボードは、8 レーンの PCI Express および 64 ビット PCI-X エッジ コネクタ両方を搭載する鉛フリーの PCI Express アドインカードで、PCI Express や PCI-X/PCI アプリケーションを開発できます。 Virtex™-5 ML555 PCI Express ツール キットには次が含まれます。

- Virtex-5 ML555 鉛フリー PCI Express 開発ボード (XC5VLX50T-FFG1136 FPGA 搭載)
- 256 MB (32M X 64 ビット) Micron シングル ランク DDR2 SODIMM (MT4HTF3264HY-667)
- 各種資料やリファレンス デザイン搭載の CD-ROM

ML555 開発ボード (写真) は、Virtex-5 FPGA に組み込まれている 12 RocketIO™ GTP シリアル トランシーバによって、高速シリアルを実現します。

### [主要機能]

#### 搭載デバイス :

- Virtex-5 LXT FPGA (XC5VLX50T-FFG1136)、Platform Flash (XCF32P-FSG48C)、CoolRunner-II CPLD (XC2C32)

#### クロック ソース :

- オンボード クロック ソース 3 個 (33 MHz, 125 MHz, and 200 MHz)、差動 SMA クロック入力 2 個、DDR2 メモリ インターフェイスをサポートするプログラマブル ICS8442 クロック シンセサイザ 2 個 (31.25 MHz ~ 700 MHz)、10/100/1000 Mb イーサネット プロトコル、SATA、Fibre Channel、Aurora、その他シリアル GTP ポート レート

#### メモリ :

- 256 MB (32M x 64 ビット) Micron シングル ランク DDR2 SODIMM
- XCF32P-FSG48C Platform Flash

#### コネクタおよびインターフェイス :

- オフボード GTP トランシーバ コネクティビティ向け SMA ポート 1 組 (次を含む)
  - HW-AFX-SMA-SFP - SMA を SFP フォーム ファクタへコンバート
  - HW-AFX-SMA-SATA - SMA を SATA インターフェイスへコンバート
  - HW-AFX-SMA-RJ45 - SMA を RJ45 インターフェイスへコンバート
  - HW-AFX-SMA-HSSDC2 - SMA を HSSDC2 インターフェイスへコンバート
- 64 ビット PCI または PCI-X コネクタに接続可能な PCI-X/PCI 3.3V システム ボード
- 組み込みの Ethernet MAC (またはソフト IP コア) によるイーサネットのサポート、ザイリンクス HW-BERG-EPHY ドータボード (別売) に対応している Xilinx Generic Interface (XGI) ヘッダ、10/100/1000 Mb イーサネットおよび MII、GMII、RGMII コネクティビティ
- Samtec コネクタ 2 個 (それぞれ 24 LVDS のシグナル ペアを提供)：
  - サードパーティ製 A/D および D/A Mezzanine ボードをサポート
  - ザイリンクス ML550 ソース同期開発ボード Samtec コネクタにピン コンパチブル
- USB 2.0 ポート 1 個

#### デバイス コンフィギュレーション :

- 2 個のザイリンクス XCF32P-FSG48C Platform Flash コンフィギュレーション PROM デバイス上に最大 4 つの FPGA デザイン イメージをサポート
- XC2C32 CoolRunner-II CPLD で、スタティックまたはダイナミック デバイス リコンフィギュレーションをサポート
- オンボード Platform Flash またはザイリンクス PC-IV JTAG ケーブル、ザイリンクス Platform Cable USB を通したデバイス コンフィギュレーション

#### ソフトコア評価コピー:

- 現在出荷中の次の Virtex-5 デバイス:

- PCI-X/PCI V6.1
- PCI V4.1
- PCI Express Wrapper サポート - x1、x2、x4、x8 エンドポイント コネクティビティ

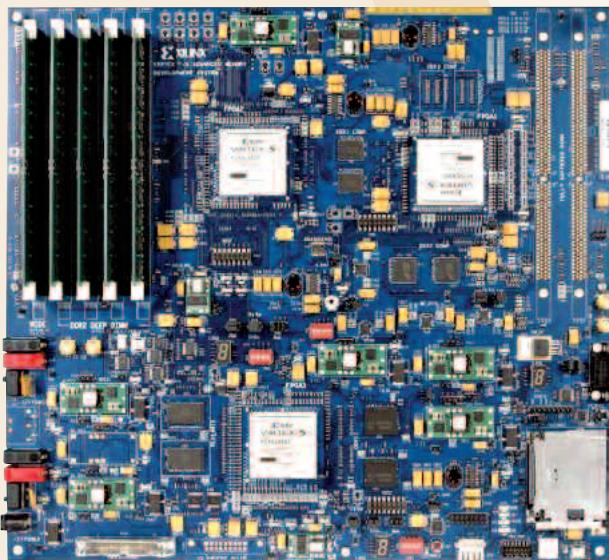
#### その他 :

- プッシュボタンおよび LED 3 個

PCI Express Wrapper および PCI、PCI-X コアに関する詳細は:  
[japan.xilinx.com/ipcenter/](http://japan.xilinx.com/ipcenter/)



# ML561 — アドバンスド メモリ開発システム



## [主要機能]

- メモリ インターフェイス : DDR2 SDRAM、DDR SDRAM、QDR II SRAM、RLDRAM II (表 1)
- Virtex-5 LXT (XC5VLX50T-FF1136) 3 個
- FPGA コンフィギュレーションのマルチ インターフェイス
- デバッグ ポート : RS-232、USB、LED、DIP
- 各種資料搭載の CD-ROM
- MIG ツールを使ってデザインされたハードウェア検証済みのリファレンス デザイン

| パラメータ    | DDR2 SDRAM                              | DDR SDRAM | QDR II SRAM      | RLDRAM II |
|----------|---|-----------|------------------|-----------|
| データレート   | 667Mbps                                 | 400Mbps   | 1.2Gbps          | 600 Mbps  |
| クロック レート | 333MHz                                  | 200MHz    | 300MHz           | 300MHz    |
| データ幅     | 32 ビット<br>コンポーネント、<br>144 ビット<br>(DIMM) | 32 ビット    | (72 + 72)<br>ビット | 36 ビット    |
| I/O 標準   | SSTL18                                  | SSTL2     | HSTL             | HSTL      |

## 短期間でパフォーマンス要件を達成

高性能メモリ デバイスへのインターフェイスを構築するには、複雑な物理レイヤ インターフェイスや制御ロジックをインプリメントしながら高速な同期データの取得を行うなどの課題を克服する必要があります。ザイリンクス Virtex™-5 FPGA は、次のような最先端のシリコン機能を提供し、このような課題を解決します。

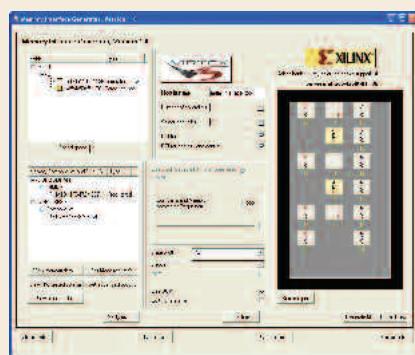
- ChipSync™ ソース同期テクノロジ : Clock-to-Data のアライメントが可能な 75ps の解像度を提供し、信頼性の高いデータ取得を実現
- XCITE デジタル コントロール インピーダンス (DCI) : PCB デザインの簡易化や、スタブの影響を最小化したり、オンチップ インピーダンスをダイナミックにアジャストしながら、ダイ上のシグナル ライトを停止することでシグナル インテグリティの向上を実現
- 第二世代のスパース シエブロン パッケージング技術 : ボード レイヤの占有面積を削減し、ボード上で必要とされる外部デカッピングのキャパシタの数を最小化することでボード デザインを簡素化

ザイリンクスは、ハードウェア検証済みのリファレンスデザインやアプリケーション ノート、使いやすいデザイン ツール、最先端の開発システムなどのエキスパート ガイダンスを提供することで、設計期間の短縮を支援します。このように、ユニークなシリコン機能や包括的なサポート支援により、大容量メモリ インターフェイスの構築や検証が素早くそして容易に実現します。

ML561 アドバンスド メモリ開発システムは、Virtex-5 FPGA を使った高性能メモリ インターフェイスを設計および検証するための優れたプラットフォームです。また、メニュー ベースの無償 ツールである

Memory Interface Generator (MIG) を使って、カスタマイズのリファレンス デザインの設計が可能になります (図 1)。MIG では、ピン配置ファイルや HDL ファイルのモジュラを生成することができます。

図 1 Memory Interface Generator



リファレンス デザインやアプリケーション ノート、Memory Interface Generator、その他メモリ インターフェイス 設計に関するリソースは、<http://japan.xilinx.com/virtex5/> よりダウンロードが可能です。ML561 に関する詳細は、ザイリンクス販売代理店までお問合せください。

※SDRAM搭載



<原寸大>

HUMAN DATA

# クレジットカードサイズボード Virtex-4 FF668ボード、新発売。

## FPGA/CPLD評価ボード

Virtex-4 FF668 ブレッドボード

**XCM-201**



XC4VLXの668ピンBGAチップを搭載したブレッドボード。

¥135,000(税込141,750)~

※SDRAM搭載



※SDRAM搭載

Virtex-4 FBGA668 ブレッドボード

**XCM-009**

高性能FPGAであるVirtex-4を搭載したブレッドボード。



¥79,000(税込82,950)~

Spartan-3ブレッドボード

**XCM-008**

XC3S50-4TQ144CまたはXC3S200-4TQ144CまたはXC3S400-4TQ144Cを搭載。

¥14,000(税込14,700)~



CoolRunner XPLA3ブレッドボード

**XCM-007**

XCR3128XL-10TQ144CまたはXCR3256XL-12TQ144Cを搭載。

¥12,600(税込13,230)~



Spartan-3ブレッドボード

**XCM-005**

XC3S1000-4FG456CまたはXC3S1500-4FG456CまたはXC3S2000-4FG456Cを搭載。

¥64,000(税込67,200)~



Spartan-II ブレッドボード

**XCM-004**

Spartan-II (208pin)を搭載したブレッドボード。

¥23,000(税込24,150)~

セミカードサイズの小型モジュール登場。  
ハーフカードサイズの  
セミカードサイズボード  
ハーフカードサイズの  
セミカードサイズの  
小型モジュール登場。



Spartan-3ブレッドボード  
**XCM-101**

XC3S200-4PQ208CまたはXC3S400-4PQ208Cを搭載。

¥21,000(税込22,050)~

Spartan-3ブレッドボード  
**XCM-102**

XC3S1000-4FG456CまたはXC3S1500-4FG456CまたはXC3S2000-4FG456Cを搭載。

¥51,000(税込53,550)~

Virtex-II Proブレッドボード  
**XCM-104**

PowerPC/ハードプロセッサ内蔵 FPGA XC2VP7-5FG456C搭載。

¥59,500(税込62,475)~

Virtex-II Proブレッドボード  
**XCM-105**

XC4VLXの668ピンBGAチップ搭載。

¥91,000(税込95,550)~



Virtex-II Proブレッドボード

**XCM-003**

Virtex-II Proを搭載したブレッドボード。

¥65,000(税込68,250)



XC95144-15PQ160CまたはXC95216-15PQ160Cを搭載。

¥14,000(税込14,700)~



Spartan-3ブレッドボード

**XCM-001**

XC3S200-4PQ208CまたはXC3S400-4PQ208Cを搭載。

¥19,000(税込19,950)~

※RoHS指令対応品

ダウンロードケーブル

ダウンロードケーブル



**XC3**

FPGAのコンフィグレーションまたはCPLDのISP用のダウンロードケーブル

¥11,500(税込12,075)~

## 学習用ボード



FPGAトレーナ

**EDX-001**

USBケーブルでコンフィグレーション可能な学習専用ボード。プラスチックケース、ACアダプタ対応。

¥48,000(税込50,400)



XILINX対応FPGAトレーナ

**EDX-002**

USBケーブルのみで動作、コンフィグレーション可能な学習専用ボード。

¥14,800(税込15,540)



Spartan-II学習用ボード

**XSP-006**

Spartan-II学習用ボード。パラレルダウンロードケーブル回路内蔵。

¥45,000(税込47,250)~



CPLD学習用ボード組立キット

**XSP-019KIT**

CPLD学習用ボード組み立てキット。パラレルダウンロードケーブル回路内蔵。

¥8,800(税込9,240)

そのほか各種評価ボードの情報は、<http://hdl.co.jp>へ



★ご注文は直販またはXILINX社代理店まで

有限会社 ヒューマンデータ

〒567-0034 大阪府茨木市中穂積1丁目2-10 ジブラルタ生命茨木ビル  
TEL.072-620-2002 FAX.072-620-2003

<http://www.hdl.co.jp>

E-mail : s2@hdl.co.jp

- EDX-002はUSBから電源をとり、USBからコンフィグレーションすることができます。
- 手軽にVHDLやVerilogの学習を行うことができます。
- EDX-001はプラスチックケースに実装し、学校などのご利用に最適です。

※仕様等の詳しい製品情報はホームページでご覧いただけます。



# ザイリンクス ウェブセミナー

ニーズに合わせたプログラムを各種取り揃えて好評配信中!!

## FPGAを導入したい!

FPGAをこれから始める方用にFPGA/CPLDの全体概要を解説した基礎編と、ザイリンクス設計ツールの使用方法の基礎編です。判りやすいと評判です！

▶ 30分でわかる！ FPGA入門

▶ ISE™ 8.2i はじめの一歩

## ザイリンクス FPGAをもっとよく知りたい！

ザイリンクスの高性能 FPGA、Virtex™-5 ファミリのテクノロジを詳しく解説します。

▶ Virtex-5 ファミリの紹介と Virtex-5 LX 概要

▶ Virtex-5 LXT 65nm FPGAのご紹介

## さらに効率よく設計したい！

FPGA設計をより効率化し生産性を向上させるソフトウェアツールをご紹介します。PlanAhead™はより高速を目指す大規模 FPGA 設計に貢献し、セロックシカのソリューションは信号処理設計を容易にします。

▶ PlanAhead 8.1 階層デザインとその解析ツール

▶ ザイリンクスとセロックシカの XtremeDSP™ ソリューション

## ザイリンクス FPGAをもっと使いこなしたい！

Virtex-4 の各種技術的な特長に関して、詳しくご紹介します。

▶ Virtex-4 メモリインターフェイス アドバンテージ

▶ Virtex-4 ローパワー アドバンテージ

Virtex-5 の PCI Express コアの特徴をご紹介します。

▶ ザイリンクス PCI Express ソリューション

近日  
公開予定!!

## 量産で FPGAを使いたい！

Spartan™-3E や CoolRunner™-II CPLD が量産用デバイスに求められる 低コスト化や低消費電力化にどんな点で貢献できるかを解説します。

▶ CoolRunner-II CPLD を使用してシステムの消費電力を低減

▶ ローコスト Spartan-3E FPGA コンフィギュレーションオプション

## 組み込みシステムに挑戦したい！

FPGAによる組み込みシステムの開発手法について解説します。

▶ FPGAを用いたプロセッサ設計の特徴と手法

## PCB設計を賢く行いたい！

シグナルインテグリティの観点から高速 PCB を設計する際の勘所を解説します。

▶ Virtex-4 シグナルインテグリティ

セミナ内容の詳細／ご視聴は今すぐこちらから >>> <http://japan.xilinx.com/webseminar/>



# ザイリンクス イベント カレンダー

## 3~6月

ザイリンクスは、年間を通じて多数のトレードショーやイベントに参加しています。これらのイベントは、ザイリンクスのシリコンやソフトウェアの専門家がお客様からの質問にお答えしたり、最新製品やザイリンクスのカスタマのサクセストーリーを紹介する機会です。

### ザイリンクス出展イベント

5月 16日(水)~ 18日(金)

#### 第10回 組込みシステム開発技術展 (ESEC)

ザイリンクスとPALTEKにて協同出展いたします。

- ◇主 催: リード エグジビション ジャパン株式会社
- ◇会 場: 東京ビッグサイト
- ◇U R L: <http://www.esec.jp/>

6月 6日(水)~ 7日(木)

#### Embedded Technology WEST 2007

ザイリンクスとアヴネットジャパンにて協同出展いたします。

- ◇主 催: (社)組込みシステム技術協会 (JASA)
- ◇会 場: マイドームおおさか
- ◇U R L: <http://www.jasa.or.jp/etwest/>

### ザイリンクス販売代理店イベント

#### Xfest

- ◇主 催: アヴネットジャパン株式会社
- ◇会 場: 6月13日(火) 東京  
6月22日(金) 福岡  
6月29日(金) 大阪
- ◇U R L: <http://www.avnet.co.jp/products/events/index.asp>

※ザイリンクスおよびザイリンクス販売代理店のイベント情報に関する最新情報は、各社のWebサイトをご覧ください。

### ザイリンクス Embedded ワークショップ 2007

ザイリンクス販売代理店および組み込み関連パートナーとの協賛により、全国各地でエンベッドド ソリューションの各種ハンズオンセミナを実施いたします。

#### 初級者のための EDK ハンズオン トレーニング

- ◇主 催: PALTEK
- ◇会 場: 新横浜 3月 9日(金) 4月13日(金)  
5月25日(金) 6月 8日(金)  
6月26日(火)  
  
大 阪 3月15日(木) 4月 5日(木)  
5月22日(火) 6月14日(木)  
  
福 岡 3月 6日(火)
- ◇U R L: <http://www.paltek.co.jp/seminar/index.htm>

#### SUZAKU-S を使用した MicroBlaze 開発トレーニング

- ◇主 催: PALTEK
- ◇会 場: 新横浜 3月14日(水)
- ◇U R L: <http://www.paltek.co.jp/seminar/index.htm>

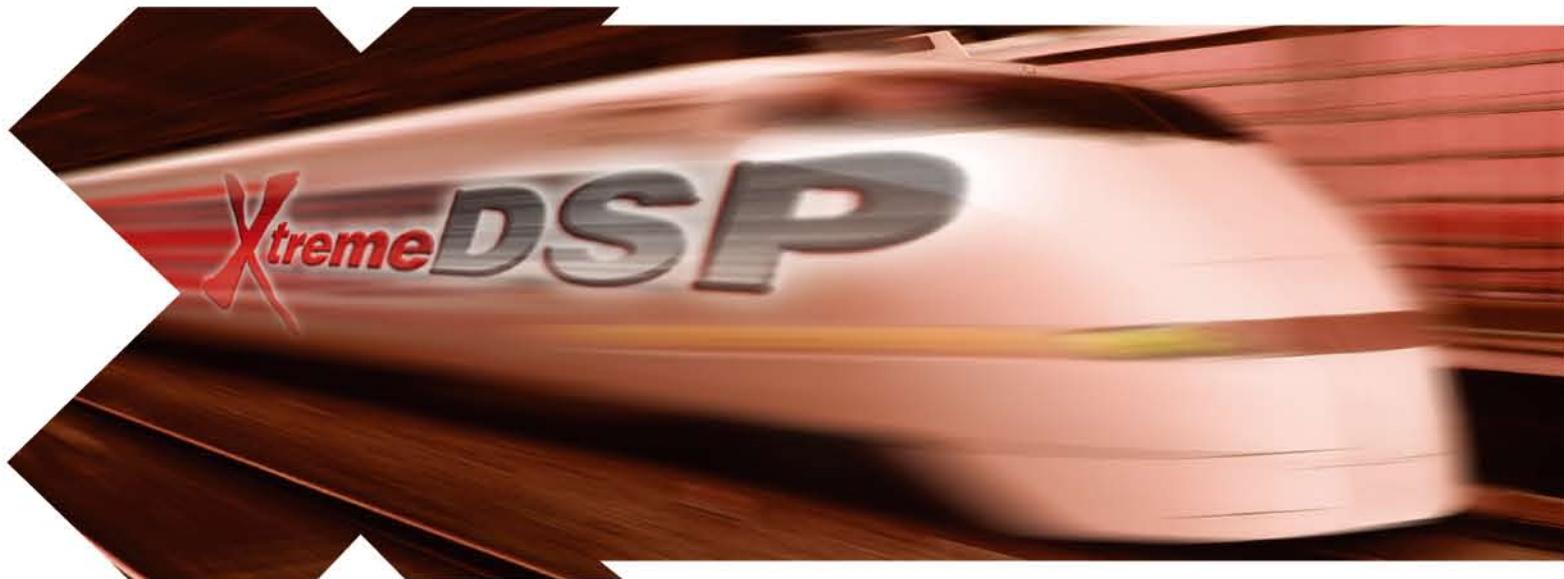
#### Linux on FPGA セミナー

- ◇主 催: アヴネットジャパン
- ◇会 場: 東京 3月13日(火)  
大 阪 4月13日(金)
- ◇U R L: <http://www.jp.avnet.com/>

#### SUZAKU-S を使用した MicroBlaze 開発フロー ワークショップ

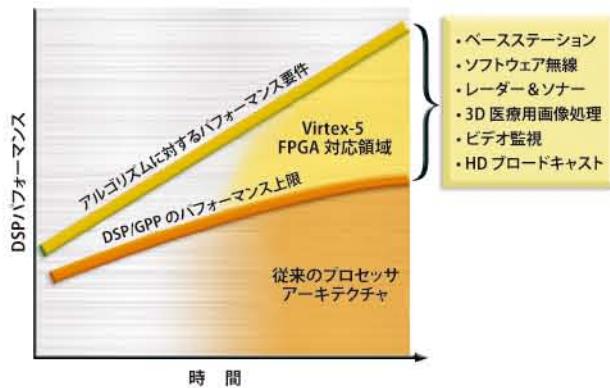
- ◇主 催: 東京エレクトロンデバイス
- ◇会 場: 東京 3月22日(木)  
4月20日(金)  
5月25日(金)  
6月22日(金)
- ◇U R L: <http://ppg.teldevice.co.jp/>

# 352 GMACs 究極の DSP パフォーマンス …



消費電力の低減とコスト削減を実現しながら  
最高の DSP パフォーマンスを提供

Virtex-5 SXT XtremeDSP™ FPGA は、デジタル化における最適なパフォーマンスを提供し、世界を真のデジタル コンバージェンスやトリプルプレイ、“Everything-Over-IP” の時代へ導きます。この新しい時代には、高速デジタル信号処理が求められますが、新製品 Virtex-5 SXT デバイスは、かつてないレベルの低コストおよび低消費電力での最適なソリューションを提供します。



## DSP パフォーマンス = GMAC + バンド幅 (メモリ + I/O)

65nm FPGA である Virtex-5 SXT プラットフォームは、DSP デジタル信号処理に特化した唯一のソリューションで、シリアル コネクティビティ IP コアも内蔵しています。ザイリンクス XtremeDSP の最新製品としてポートフォリオに追加された SXT は、最大 640 個の DSP スライスを搭載し、352 GMAC のパフォーマンスを実現します。最大 10.3Mbit のオンチップ メモリを搭載しており、58 テラビット／秒のバンド幅でデータや係数を格納できます。また、低消費電力のトランシーバは、SRIO、CPRI/OBSAI、HD/SDI などのプロトコルをサポートします。

Virtex-5 SXT を使用したデジタル信号処理の設計は、C/C++ や MATLAB™、Simulink™、Verilog/VHDL などの言語や設計環境に対応したザイリンクスのデザインツールがご利用いただけます。デザインツールの評価版は、ウェブ サイトより無償で入手することができます。



japan.xilinx.com/virtex5

究極のシステム・インテグレーション・プラットフォーム

現在出荷中！  
65nm の 3 つのプラットフォーム



ロジックの集積度や  
シリアル コネクティビティ、DSP に最適

ザイリンクス株式会社

製品のお問い合わせは下記の販売代理店へどうぞ

- アヴァネットジャパン(株) 東京 TEL (03) 5978-8201 関西 TEL (06) 6391-1874
- 新光商事(株) 東京 TEL (03) 6361-8087 大阪 TEL (06) 6303-3826
- 東京エレクトロンデバイス(株) 本社 TEL (045) 474-7089 大阪 TEL (06) 6399-1523
- (株) P A L T E K 本社 TEL (045) 477-2009 大阪 TEL (06) 6369-4070
- 菱洋エレクトロ(株) 東京 TEL (03) 3546-5011 大阪 TEL (06) 6301-1221

© 2007, Xilinx, Inc. All rights reserved. ザイリンクスの名前およびロゴ、その他本資料に記載のブランド名は米国およびその他のザイリンクス社の登録商標または商標です。その他すべての名前は、それぞれの所有者に帰属します。