

Xcell journal

THE AUTHORITATIVE JOURNAL FOR PROGRAMMABLE LOGIC USERS

ネットワークの エッジを ターゲット

Targeting the Edge of the Network

INSIDE

量産アプリケーション向けの
プログラマブル ロジック

FPGA アーキテクチャ
における消費電力

ここまでの
インクジェット プリンタ

Spartan-3A と
Spartan-3AN が実現する
低コスト セキュリティ
ソリューション

Spartan-3A FPGA を
使用した低価格 DDR2 の
インプリメント

 **XILINX**®

japan.xilinx.com/xcell/

Xcelljournal

発行人 Forrest Couch
forrest.couch@xilinx.com

編集 Charmaine Cooper Hussain

アートディレクター Scott Blair

デザイン/制作 Teie, Gehwicks & Associates

テクニカル
コーディネーター Kevin Kitagawa

日本語版統括 澤田 修
osamu.sawada@xilinx.com

制作進行 竹腰 美優紀
miyuki.takegoshi@xilinx.com

制作 オフオフ京都 (offoff-kyoto)

広告 有限会社エイ・シー・シー

印刷 ノブス株式会社



japan.xilinx.com/xcell/

Xcell Journal 60 号

2007 年 8 月 22 日発行

Xilinx, Inc.
2100 Logic Drive
San Jose, CA 95124-3400

ザイリンクス株式会社
〒141-0032
東京都品川区大崎 1-2-2
アートヴィレッジ大崎セントラルタワー 4階

© 2007 Xilinx, Inc. All Right Reserved.

XILINX や、Xcell のロゴ、その他本書に記載の商標は、米国およびその他の各国の Xilinx 社の登録商標です。PowerPC は、米国またはその他の国における IBM 社の商標です。ほかすべての名前は、各社の登録商標または商標です。

本書は、米国 Xilinx, Inc. が発行する英文季刊誌を、ザイリンクス株式会社が日本語に翻訳して発行したものです。

米国 Xilinx, Inc. および Xilinx, Inc. 株式会社は、本書に記載されたデータの使用に起因する第三者の特許権、他の権利、損害における一切の責任を負いません。

本書の一部または全部の無断転載、複写は、著作権法に基づき固く禁じます。

Printed in Japan

Xcell Journal が 栄誉ある LACP 2006 Inspire Award を受賞

同業者の方々から評価されることほど嬉しく、またマガジンの信頼性を高めてくれるものではありません。

この度、Xcell Journal 59 号は、米国の団体「League of American Communications Professionals」(LACP) が授与する 2006 Inspire Awards Newsletter & Magazine Competition の総合部門で銅賞を授賞しました。このコンテストは、広報活動に関する優れた意見交換の場である LACP のコミュニケーション専門家らによって審査されます。

LACP のマネージング ディレクタ、Christie Kennedy 氏は次のように語りました。「きわめて厳しい競争のなか、Xcell Journal が入賞したのは大変意義のあることです。2006 年の Inspire Awards には世界 7 カ国から 425 ものニュースレターやマガジンがエントリーしました」。

Xcell Journal は、第一印象や図版の美しさ、文章の読みやすさ、創造性、メッセージの明快さ、特長の多様性、対象読者の明確さ、内容の適切さ、情報の探しやすさなど、複数のカテゴリで審査されました。その結果、Xcell は 100 点満点中 92 点を獲得し、“Superb - among the very best judged (優秀 - 最高レベルの審査結果)” という評価を得ました。

「Xcell Journal が今年の LACP Inspire Awards を受賞できたことを大変誇りに思っています」と、ザイリンクスのワールドワイド マーケティング担当バイス プレジデント、Sandeep Vij は語りました。「Xcell Journal はザイリンクスの総合的なマーケティング戦略において重要な役割を果たしています。私たちは、Xcell Journal が今後も読者の方々に最大限の価値を提供できるよう、社内スタッフおよびパートナー各社と協力しながら、読者のニーズに即した有益な情報をお届けしていく所存です」。

Xcell の製作チームは、デジタルやオンライン、印刷媒体において業界標準となる革新的なカスタム出版を確立しています。Xcell Journal が世界中のプログラマブル ロジック ユーザーのための出版物として受賞できたのは、ひとえにザイリンクスのスタッフ、パートナー各社、そしてザイリンクス ユーザーが、長年にわたり多くの時間と労力をかけて寄稿してきた結果です。この場を借りて感謝の意を表したいと思います。



Forrest Couch

Forrest Couch
発行人

Xcell journal

VIEWPOINT

成長を続けるザイリンクス PLD 2

COVER STORY

量産アプリケーション向けのプログラマブル ロジック 3

FEATURES

Power Optimization

FPGA アーキテクチャにおける消費電力 4

Non-Volatility

ここまできたインクジェット プリンタ 10

Security

Spartan-3A と Spartan-3AN が実現する
低コスト セキュリティ ソリューション 14

Memory Interfaces

Spartan-3A FPGA を使用した低価格 DDR2 のインプリメント ... 18

DIGITAL SIGNAL PROCESSING

Virtex-5 SXT を活用する高パフォーマンス

デジタル信号処理 DSP ソリューション 22

公開! FPGA のデジタル信号処理 DSP パフォーマンス 26

FPGA を用いたビデオ監視システムの映像処理 28

技術の最適な組み合わせによる画像処理システムの開発 31

GENERAL

3Gbps eSATA/SATA ベース RAID 5 ソリューションの構築 34

FPGA プラットフォームでリアルタイムなビームフォーミングを実現 37

驚異の DSP パフォーマンスを提供する Spartan-DSP シリーズ 42

INFORMATION

ザイリンクス トレーニング スケジュール 8、16

ザイリンクス販売代理店 オリジナル トレーニング 24

ザイリンクス ウェブ セミナ 46

ザイリンクス イベント カレンダー 47

広告索引

株式会社コンピューテックス 9

シンプリシティ株式会社 13

株式会社ミッシュインターナショナル 17

アルデック・ジャパン株式会社 21

有限会社ヒューマンデータ 45

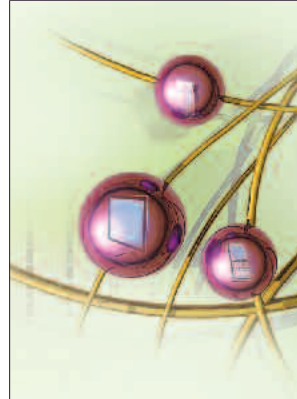
リニアテクノロジー株式会社 48 - 表 3

Xcell Journal 日本語版のご送付先住所等の変更は:
<http://japan.xilinx.com/xcell/henko/>

Xcell Journal 日本語版の新規定期購読のお申込みは:
<http://japan.xilinx.com/xcell/toroku/>

TABLE OF CONTENTS, 60号

COVER STORY

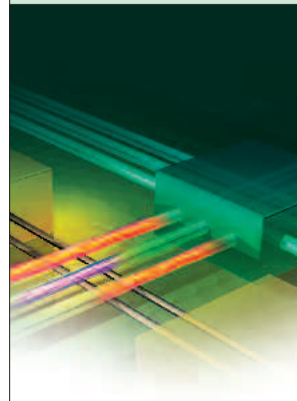


量産 アプリケーション 向けの プログラマブル ロジック

量産市場におけるデザイン セキュリティ、
差別化、柔軟性ニーズに応える
Spartan FPGA と
CoolRunner-II

3

POWER OPTIMIZATION

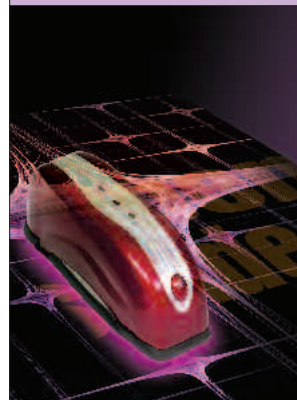


FPGA アーキテクチャ における消費電力

低消費電力 FPGA デザインの
現在と未来

4

NON-VOLATILITY

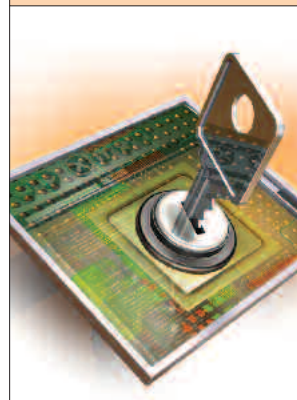


ここまできた インクジェット プリンタ

Spartan-3AN FPGA が可能にする
ユビキタス対応の画期的な
マーキングとプリント

10

SECURITY



Spartan-3A と Spartan-3AN が実現 する低コスト セキュリティ ソリューション

リバース エンジニアリング
オーバービルディング、クローニング
からデザインを守る Spartan-3
ファミリの新機能

14

Xilinx PLDs: On the Go and On the Road

成長を続けるザイリンクス PLD

2006 年度は量産分野での広範な採用により記録的成長を達成



Wim Roelandts
CEO and
Chairman of the Board
Xilinx, Inc.

2006 年、ザイリンクスは民生機器と自動車関連の市場において 40% もの成長率を記録し、驚異的な成功を収めました。これら競争の激しい市場で成功できたのは、ザイリンクスの Spartan™ FPGA、CoolRunner™ CPLD、Xilinx® Automotive (XA) の各製品ラインが、ユーザーの量産アプリケーションに広く採用された結果です。

私たちは、PLD 売上の80% 近くを通信業界に依存していた 1990 年代後半、市場の多角化に着手しました。最初に取り組んだのは民生機器市場で、1998 年に Spartan ジェネレーション FPGAを、1999 年に CoolRunner CPLD を投入しました。当時、量産アプリケーションに FPGA を採用するのはごく稀でした。この市場では一般に、ASSP や ASIC といった標準的な固定ファクションの半導体デバイスが採用されていました。コスト意識が高い民生機器市場では、ASSP や ASIC と比較して FPGA や CPLD はユニット コストが高すぎると考えられていました。

しかし、ザイリンクスはそうは考えませんでした。私たちはムーアの法則に従い、半導体の回路構造を微細化することにより、ユニット コストを劇的に削減しました。また、世界的な競争激化により新製品を市場に投入するまでの期間が短くなったことで、民生機器メーカーにとって Time-to-Market (市場投入までの期間) のコンセプトがますます重要になりました。この結果、製品開発者はビジネス上の理由から、製品発表後の短期間にで

きるだけ多くの利益と市場シェアを獲得することに主眼を置くようになりました。この Time-to-Market の面でも柔軟性を持つザイリンクスの FPGA と CPLD は、開発に多大の時間を要する ASIC と ASSP と比較して、はるかに有利でした。

プロセス技術の進化により PLD のコストが下がり続けるなか、ザイリンクスは民生用量産アプリケーション、とりわけデジタル ディスプレイとコンシューマ向けハンドセットの分野でいっそう競争力を高めています。2006 年最後の四半期には、大手取引先のハンドセットメーカー 1 社に 1 カ月だけで 100 万ユニット以上のデバイスを出荷しています。

2004 年には自動車関連市場へも参入し、多角化の幅を広げました。自動車関連業界の厳しい要求を満たすことを目的に開発した業界初の PLD ライン、Xilinx Automotive (XA) ファミリーを投入しました。以来、ザイリンクスは自動車関連市場に次々に新製品を送り込んでいます。2006 年にデビューしたある高級車には、インフォテインメントと運転支援機能を実装したザイリンクスの 18 個のデバイスが搭載されました。

今日、ザイリンクスの量産向けデバイスは売上全体の 35% を占めており、年成長率は 38% にもなります。

2007 年以降

ザイリンクスが先駆けとなって、半導体業界はバーティカル市場重視に転換し、ユーザーとの関係をシステム アーキテクチャ レベルで考えるようになりました。ザイリンクスでは、ユーザーがコスト管理、Time-to-Market、リーダーシップという目標を達成するための革新的かつ柔軟性に優れた魅力的なソリューションを提供することで、ユーザーの複雑な設

計課題の解決に寄与しています。

業界アナリストらは、PLD 業界は民生用電子機器と自動車関連の両市場でさらに成長すると予測しています。民生および自動車関連向けの電子機器業界で新たな需要が発生していることから、現在のアプリケーションだけでなく将来の未知のアプリケーションにも対応できる柔軟なアーキテクチャが求められています。米国の調査会社 iSuppli によると、民生用電子機器業界における PLD と ASIC の市場規模は、2010 年までに 53 億ドルを超えると予測されています。

民生用機器市場における PLD デザインの普及をさらに促すには、コストを追求するだけでなく、アプリケーション特有のソリューションを求めるユーザーのニーズにも応えていく必要があります。民生機器に対する要求が急速に変化するなか、私たちはいっそう完全なソリューションを提供する必要があります。ザイリンクスはこれまで、ユーザー固有のニーズに合った高付加価値のソリューションを提供するため、強力な機能を持つハードおよびソフト IP コアと市場に即した開発プラットフォームに加え、ドメインごとに最適化したプラットフォームをリリースしてきました。

ザイリンクスの PLD は、新興市場において、新しいタイプの多種多様なアプリケーションに適したデザインとして採用され続けています。すでに、デジタル ディスプレイ、携帯電話、PDA、自動車の後席エンターテインメント、衛星ナビゲーション システムなど、さまざまな民生用電子機器と自動車関連 アプリケーションに採用されています。2007 年には、民生機器と自動車関連市場で獲得した量産アプリケーション向けのデザインが生産体制に入ることから、2006 年と同様、この 2 つの市場セグメントはザイリンクスにさらなる成長をもたらすでしょう。

Programmable Logic in High-Volume Applications

量産アプリケーション向けの プログラマブル ロジック

量産市場におけるデザイン セキュリティ、差別化、
柔軟性ニーズに応える Spartan FPGA と CoolRunner-II

Kevin Kitagawa

Director, Worldwide Marketing - High-Volume Products
Xilinx, Inc.

kevin.kitagawa@xilinx.com

民生機器や自動車関連などの産業分野の OEM メーカーは、システム コストの低減や、より緊密なシステム統合、Time-to-Market の短縮はもちろんのこと、革新的で独創的な製品の開発を望んでおり、プログラマブル ロジックはこうした量産アプリケーションに対して重要な役割を果たしています。OEM メーカーは、顧客の多種多様にわたる要望に応え、コストとパフォーマンス、製品の特長をバランスさせた OEM 製品を消費者へ提供しています。従来、これらの市場では ASIC と ASSP が使われていましたが、ASIC は初期コストとリスクが高く、また ASSP は柔軟性に欠けるため、Time-to-Market と費用対効果の条件を同時に満たす製品を投入することは困難でした。

ザイリンクスは、Xilinx® Spartan™ シリーズの FPGA や CoolRunner™-II CPLD といったドメイン最適化のプラットフォームを提供し、OEM メーカーの多様な要望に応えてきました。これらの製品ファミリは、量産市場における多彩な顧客ニーズに合わせて作られています。たとえば、CoolRunner-II はバッテリーで駆動する消費電力重視のポータブルアプリケーション向けに、不揮発性の Spartan-3AN プラットフォームはシステムの統合やデザイン セキュリティ重視のアプリケーション向けにそれぞれ最適化されていま

す。プログラマブル ロジック デバイスの柔軟性と迅速な Time-to-Market という利点により、OEM メーカーはリスクを最小限に抑え、製品のタイムリーな市場投入を可能にします。

デザイン セキュリティ

企業は全体的な製品コストの削減を迫られ、量産品は労働コストを抑えて製造コストを低減させる方向へ向かっています。OEM 製品には製造コストを低く抑えられるメリットがある半面、委託先のメーカーがデザインを模倣したり発注量以上のユニットを生産したりする新たな問題が発生しています。このような不正に製造されたデバイスが市場に出回ると、OEM メーカーは収益機会を逃すだけでなく、修理や交換のために欠陥品が返却されてくると追加のコストが発生することになります。

このような状況下では、デザインのセキュリティは不可欠です。ザイリンクスの製品には、量産アプリケーションに最適な多彩なセキュリティ メソッドが組み込まれています。

製品の差別化と柔軟性

OEM 製品は、パフォーマンスの改善や柔軟性の向上、さまざまな問題を解決するために進化してきた標準規格に常に適応し続けています。しかしながら、規格の承認プロセスに関わるステークホルダーの増加に伴い、その認可に長い時間がかかることがあります。

OEM メーカーは、製品の仕様を考える際、Time-to-Market と機能セットを秤にかけ、どの規格を優先すべきか難しい判断を迫られます。

デバイスのフィールド アップグレードには、OEM メーカーがデバイスを市場に投入した後もそれらを柔軟にアップデートできるという利点があります。これにより、製品の寿命が大幅に延びるうえ、多額の投資が不要になります。OEM メーカーにとっては、新規格の登場で自社製品が市場で陳腐化する心配なく製品を発表できるわけです。

Spartan FPGA と CoolRunner-II CPLD を採用することで、OEM メーカーは規格の変化に素早く適応できます。新たな市場ニーズに応じて、プロトコルやバス、インターフェイスの数など、あらゆる決定を迅速に変更できるのです。

結論

移り変わりの激しい量産アプリケーションの分野では、設計エンジニアはこれまでにない難題に直面しています。そのため OEM メーカーは、豊富な機能を備え電力効率に優れているだけでなく、費用対効果と Time-to-Market の面でも優れた製品を提供しなくてはなりません。ドメインを最適化した Spartan シリーズの FPGA と CoolRunner-II CPLD の包括的な製品ポートフォリオから、目的のデザインに最適なプラットフォームを選択することが可能です。



The Power of FPGA Architectures

FPGA アーキテクチャ における消費電力

低消費電力 FPGA デザインの現在と未来

Tim Tian
Staff Research Engineer
Xilinx, Inc.
tim.tuan@xilinx.com

Steve Timberger
Distinguished Engineer
Xilinx, Inc.
steve.trimberger@xilinx.com

FPGA の消費電力が低減すると、信頼性の向上や冷却コストの削減、電源の簡易化、ポータブル システムにおけるバッテリーの長寿命化など、数多くの利点が得られます。さらに、パフォーマンスを犠牲にすることなくデザインの消費電力を低減するには、電力効率に優れた FPGA アーキテクチャと、アーキテクチャの特長を活かした設計手法が必要です。

本稿では、FPGA の消費電力や、現在利用できる低消費電力の機能、消費電力に影響を与えるユーザーのさまざまな選択肢を概説すると共に、電力効率に優れた未来の FPGA に向けて近年どういった研究が行われているかをご紹介します。

消費電力の種類

FPGA の消費電力には、ダイナミック消費電力とスタティック消費電力の 2 種類があります。ダイナミック消費電力は、信号がキ

ャパシタンス ノードを充電すると散逸します。これらキャパシタンス ノードは、ロジック ブロック、インターコネクト ファブリックの配線（ワイヤ）、外部パッケージ ピン、もしくはチップの出力によって駆動されるボードレベル トレースに存在します。FPGA の総ダイナミック消費電力は、すべてのキャパシタンス ノードを充電することで発生する消費電力の合計です。

一方、スタティック消費電力は、回路の活動とは関係なく、トランジスタのリーク電流もしくはバイアス電流として散逸します。総スタティック消費電力は、FPGA 内の各トランジスタのリーク電力とすべてのバイアス電流の合計です。ダイナミック消費電力は駆動されるキャパシタンスの量に依存するため、トランジスタのサイズが小さくなればダイナミック消費電力は改善されます。ところが、トランジスタが小型になるほどリーク電流は増えるため、スタティック消費電力は

かえって増加します。この結果、集積回路の総消費電力に占める割合はスタティック消費電力のほうが高くなりつつあります。

消費電力は、図 1 に示すように、電源電圧と温度によって左右されます。FPGA の電源電圧を減らすと、ダイナミック消費電力は二次関数的に減少し、リーク電力は指数的に減少します。また、温度が高くなるほどリーク電力は指数的に増加します。たとえば、85℃ から 100℃ に上昇した場合、リーク電力は 25% 増加します。

消費電力の内訳

電力が主にどこで消費されるかを理解するため、FPGA の総消費電力の内訳を見ていきましょう。FPGA の電力はデザイン、つまり部品ファミリやクロック周波数、トグルレート、リソース使用効率に依存します。ここでは、例として Xilinx® Spartan™-3

XC3S1000 FPGA を使い、クロック周波数 100MHz、トグル レート 12.5%、リソース使用効率に数多くの実デザインをベンチマークして決定した典型的な数値を使って説明します。

図 2 は、XC3S1000 FPGA のアクティブ電力とスタンバイ電力それぞれの内訳です。アクティブ電力とは、高温時におけるアクティブ デザインの電力（ダイナミック消費電力とスタティック消費電力）です。スタンバイ電力とは、名目温度におけるスタティック消費電力からなるアイドル デザインの電力です。当然、アクティブ電力とスタンバイ電力の両方で最大のコンポーネントは CLB ですが、他のブロックも大量の電力を消費します。I/O とクロック回路だけで総アクティブ電力の 3 分の 1 を占め、より高出力の I/O 規格を使う場合はさらに高くなります。

総スタンバイ電力の半分近くはコンフィギュレーション回路とクロック回路によって消費され、その主な原因はバイアス電流です。したがって、チップの総消費電力を削減するには、電力を消費する主な部品すべてに対応するため複数の対策を講じる必要があります。

低消費電力に向けたデザイン

FPGA のデザインには、消費電力に配慮した設計手法が多数使われています。FPGA 内のトランジスタの 3 分の 1 はコンフィギュレーション メモリ セルで占められることがあるため、ザイリンクスは Virtex™ ファミリーに低リークの“中厚酸化膜”トランジスタを採用することでメモリ セル内のリークを減らしています。また、スタティック消費電力を低減する目的から、チャンネル長が長く、しきい値が高いトランジスタを用いています。ダイナミック消費電力には、低キャパシタンス回路とカスタム ブロックで対応しています。DSP ブロック内の乗算器は、FPGA ファブリックで作られた乗算器の 20% 未満の消費電力で済みます。

FPGA に組み込まれている部品以外に、FPGA の消費電力に影響を及ぼすデザイン上の選択肢はたくさんあります。次に、いくつかの選択肢を見ていきましょう。

消費電力の見積もり

低消費電力のデザインを実現するうえで重要なステップの 1 つが、消費電力の見積もりです。FPGA の消費電力を知るための最も正確な方法はハードウェアによる測定ですが、あらかじめ見積もることで高消費電力モジュールを判別できるうえ、デザイン サイクルの初期に消費電力バジェットを確認できて便利です。

Xilinx Power Estimator (XPE) や Xilinx Power Analyzer (XPA) など、消費電力を見積もるためのツールがいくつかあります。XPE では、シンプルなユーザーインターフェイスを通して消費電力を簡単に見積もることができます。これはロジック

セルの数や、ブロック RAM の数、平均的なスイッチング アクティビティなどの高水準な統計に基づく見積もりです。XPA はスイッチング アクティビティのシミュレーションと、配置・配線後に生成される正確なユーティリゼーション統計に基づいて消費電力を詳細に見積もります。どちらのツールを使うかは、利用できる設計情報と見積もりに求める精度によって選択します。

図 1 に示すとおり、外的な要因の中にも、消費電力に指数的な影響を及ぼすものがあります。環境がごく少し変化するだけで消費電力の見積もりが大きく変わることがあるのです。消費電力見積もりツールを使って完全に正確な見積もりを得るのは困難ですが、高消費電力のブロックを突き止めて

図 1 消費電力と電圧／温度の相関関係

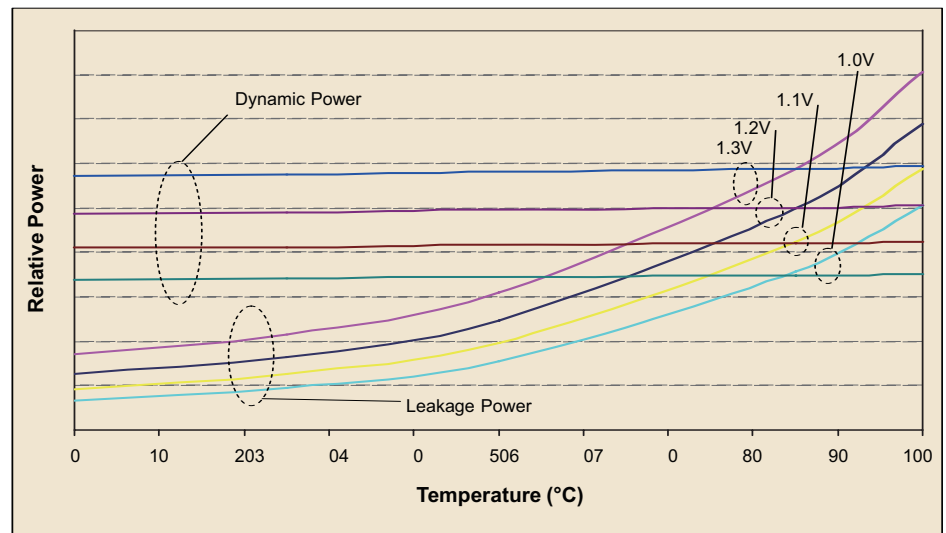
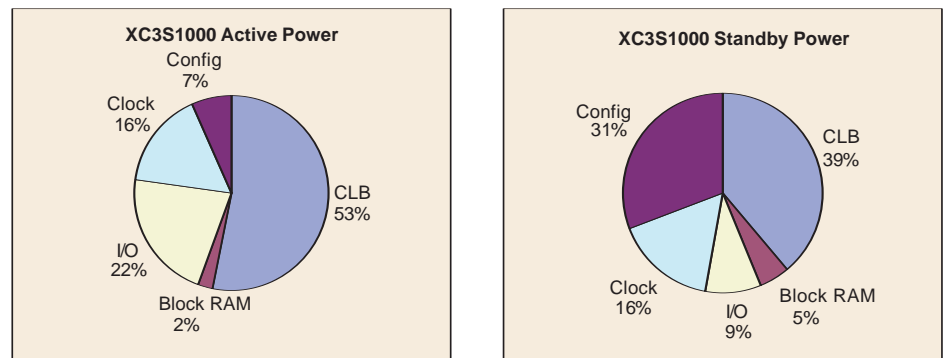


図 2 Spartan-3 XC3S1000 FPGA の典型的な消費電力の内訳



おくことで、消費電力を最適化するためのよい参考になります。

電圧と温度の制御

図 1 のとおり、電圧と温度が低くなるほどリーク電流は大幅に低減します。電源電圧が 5% 低くなるだけで消費電力が 10% 低減するのです。電源電圧は電源の構成を変えるだけで簡単に調整できます。現在の FPGA では電圧を幅広く調整することはできません。通常、電圧の推奨範囲は $\pm 5\%$ です。ジャンクション温度はヒートシンクやエアフローなどの冷却対策を講じることで低減できます。温度を 20°C 下げればリーク電力を 25% 以上低減できることもあります。温度を抑えればチップの信頼性は飛躍的に向上します。過去の調査では、 20°C 下がるとチップの寿命が 10 倍以上延びるケースもありました。

サスペンド モードとハイバーネート モード

Spartan-3A FPGA には 2 種類の低消費電力アイドル状態があります。サスペンドモードでは、リーク電力を低減すると共にバイアス電流を除去するため、VCCAUX 電源の回路をディスイネーブルにし、スタティク消費電力を 40% 以上減らします。チップコンフィギュレーションと回路の状態(ステート)はそのまま保持されます。サスペンドモードの終了は AWAKE ピンをアサートすることで再動作します。このプロセスの所要時間は 1ms 未満です。

Spartan-3A デバイスのハイバーネートモードでは、消費電力をゼロにするため、すべての電源レギュレータをオフにできます。再始動するには、その部品に電源を入れなおしてリコンフィギュレーションする必要があります。これには数十ミリ秒かかります。電源がオフの間、すべての I/O はハイインピーダンス状態です。ハイバーネートモード中に I/O をアクティブに駆動する必要がある場合、それに対応する I/O バンクが電源オンの状態ではなくてはならないため、少量のスタンバイ電力を消費することになります。

I/O 規格の選択肢

消費電力は I/O 規格によって大きく異なります。スピードやロジックユーティリゼーションを犠牲にする代わりに、低消費電力の I/O 規格を選択することで消費電力を大幅に低減できます。たとえば、LVDS は入力ペアあたり 3mA、出力ペアあたり 9mA と、多くの電力を消費します。したがって、消費電力の観点から、LVDS はシステムの仕様上どうしても必要な場合や、最高のパフォーマンスを求める場合にのみ使用すべきです。

LVDS より低消費電力で高パフォーマンスの選択肢として、HSTL や SSTL を使用することもできますが、これらも入力あたり 3mA を消費します。ザイリンクスでは可能な限り LVCMOS の入力を使うことを推奨しています。最後に、DCI 規格は大量の電力を消費します。RLDRAM などのメモリデバイスに接続する場合は、電力を節約するためメモリに ODT、FPGA に LVDCI を使うとよいでしょう。

エンベデッド ブロック

プログラマブルファブリックの代わりにエンベデッドブロックを使うことで、消費電力を大幅に抑えることができます。ザイリンクスの FPGA には、PowerPC™ ハードコアプロセッサ、DSP スライス、ChipSync™ テクノロジー、エンベデッド Ethernet MAC、FIFO、SRL16 といった多数のエンベデッドブロックがあります。エンベデッドブロックはカスタムデザインであるため、プログラマブルロジックより小型でスイッチングキャパシタンスが少なくてすみます。また、エンベデッドブロックは相当するプログラマブルロジックの構成と比べて、消費電力が 5 分の 1 から 12 分の 1 です。デザインが小型化され、より小型の部品に実装できるようになれば、エンベデッドブロックを使うことでスタティク消費電力の低減につながります。非常に単純なファンクションの場合、大型のエンベデッドブロックを使ったのではインプリメンテーションの効率をそれ以上改善できないことが考えられます。こ

の問題は、XPE を使用して両方のインプリメンテーションを確認することで容易に避けられます。

クロックジェネレータ

クロック生成時の電力を抑えることで消費電力を節約できます。周波数や位相の異なるクロックを生成するために、デジタルクロックマネージャが広く使われています。とはいえ、DCM は VCCAUX から相当量の電力を消費するため、できるだけ使用を控えたほうが賢明です。通常、1 個の DCM でも、CLK2X、CLKDV、CLKFX など複数の出力を使うことで複数のクロックを生成できます。同じファンクションに複数の DCM を使うより、このほうが消費電力の低減につながります。

ブロック RAM の構築

1 個の大容量 RAM を構築するため複数のブロック RAM を組み合わせることがあります。これは、やり方によって消費電力が大きく異なります。タイミングドリブな方法とは、すべての RAM に並列アクセスすることです。たとえば、 $2k \times 36$ RAM は、4 個の $2k \times 9$ RAM で構築されます。この大容量 RAM のアクセス時間は 1 個のブロック RAM と同じですが、アクセスあたりの消費電力は 4 個のブロック RAM に匹敵します。

消費電力を低減するには、この $2k \times 36b$ RAM を 4 個の $512 \times 36b$ RAM で構築するとよいでしょう。各アクセスは、アクセスする 4 個のブロック RAM の 1 つを選択するためプリデコードされます。プリデコードによりアクセス時間は増えますが、大容量 RAM のアクセスあたりの消費電力は 1 個のブロック RAM の消費電力とほぼ同じにまで抑えることができます。

低消費電力に向けた研究

近年、ザイリンクスは低消費電力の FPGA デザインを実現するためさまざまな手法を研究してきました。研究成果はまだ市販の

FPGA に実装されていませんが、未来の FPGA でどのような手法が取り込まれるかを紹介しましょう。

電圧スケーリング

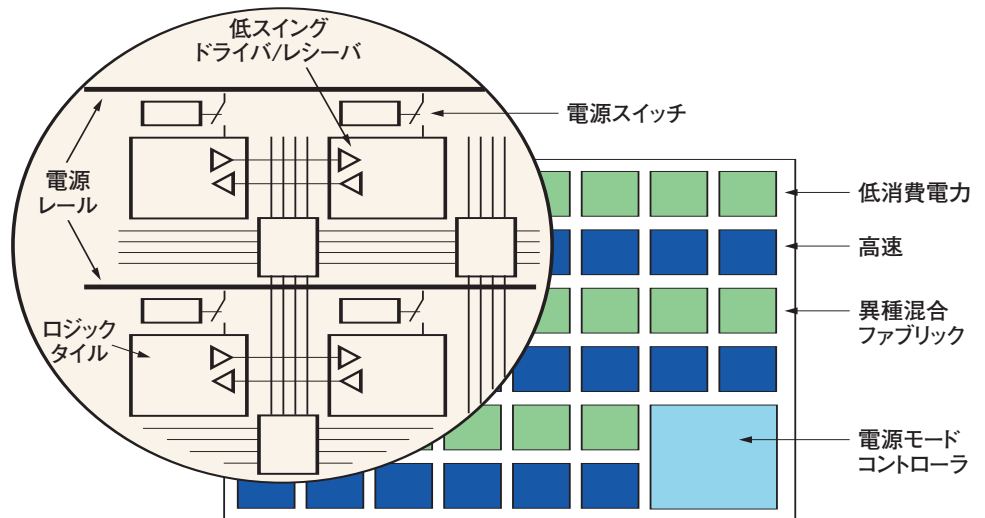
前述のとおり、電源電圧を減らすことは消費電力を低減するための最も効果的な方法の 1 つであり、それに伴うパフォーマンスの劣化は、最高のパフォーマンスを必要としない多くのデザインにとって許容範囲内です。しかし、現在の FPGA は狭い電圧範囲で動作し、電圧の影響を受けやすい一部の回路では限界があります。

ザイリンクスは、さらに低電圧で動作するよう CLB 回路を設計しなおし、パフォーマンスの限界と消費電力の低減の広範囲なトレードオフを可能にしました。たとえば、90nm プロセスでは、200mV 低減させればピーク パフォーマンスを 25% 犠牲にする代わりに消費電力を 40% 低減でき、400mV 低減させればピーク パフォーマンスを 55% 落とす代わりに消費電力を 70% も削減できるのです。

粒度の細かい電力スイッチング

プログラマブル ロジックのデザインに特有の問題として、いかなるデザインであっても、実装されたすべてのリソースが使われるわけではないことがあります。ところが、実際にはそれらリソースに常に電力が供給されており、リーク電力として総消費電力を増やす原因になっています。ブロックレベルの電力スイッチングを使えば、個々の未使用ブロックへの電力を遮断できます。各ブロックは電力スイッチを通して電源に結合されています。ブロックは、スイッチが閉じているときに機能し、スイッチが開いていると電源から切り離され、リーク電力は 50 分の 1~100 分の 1 に低減します。電力スイッチの粒度は、個々の CLB またはブロック RAM と同程度です。ザイリンクスのデザインでは、これら電力スイッチをコンフィギュレーション ビットストリームによってプログラミングできる他、ユーザーが直接、あるいはアクセス ポートを介して制御できます。実際

図 3 消費電力を低減するためのさまざまな対策を講じたコンセプト アーキテクチャ



のデザインをベンチマークしたところ、粒度の細かい電力スイッチングはリーク電力を 30% 低減することがわかりました。

ディープスリープ モード

携帯端末で重要な条件の 1 つが、デバイスを使っていないときに電力をほとんど、あるいはまったく消費しないことです。Spartan-3A FPGA では、ハイバーネート モードに入ることによってこれを実現できます。ただし、そのためには外部の制御装置が必要なうえ、起動が遅く、FPGA の状態を復元できなくなります。ザイリンクスのデザインでは、コンフィギュレーションと回路の状態格納エレメントに電力を供給したまま、すべての内蔵ブロックへの電源を遮断するために、前述した粒度の細かい電力スイッチをダイナミックに制御します。この結果、状態はディープスリープ モードとなり、リーク電力が名目値の 1~2% に低減するうえ、FPGA の状態も保たれます。また、このモードから数ミリ秒で起動することができます。

異種混合ファブリック

回路の最大クロック周波数は、タイミングクリティカル パスの遅延によって決まりま

す。クリティカル パス以外は、遅くてもチップの全体的パフォーマンスに影響を及ぼしません。大規模システムの場合、プロセッサ内のデータパスなど、スピードクリティカルなブロックが数種あり、それ以外のブロックはキャッシュなどのクリティカルでないブロックです。

今日の FPGA は、電力とスピードの点でどれも同じです。すべての CLB は電力、スピードとも同じ特性を持っています。クリティカルでないブロックを低消費電力のブロックにインプリメントすることで、低消費電力でもそのぶん遅いブロックを混合した異種アーキテクチャにすることで、電力を節約できます。これは、タイミングクリティカルなブロックを犠牲にしているわけではないため、全体的なチップ パフォーマンスにはまったく影響がありません。

異種混合アーキテクチャを構築するための 1 つの方法は、高電圧レール (VDDH) と低電圧レール (VDDL の 2 種類のコア電源レールを分散することです。FPGA の各部品はエンベデッド電源スイッチを使っていずれかを選択し、高速、または低消費電力のどちらかの特性を持つことになります。電圧の選択は、デザインの詳細なタイミングを得られた時点で完了となるため、VDDL から動作するのは非クリティカル ブロックだけとな

るはずです。

異種混合アーキテクチャを構築するためのもう 1 つの方法は、FPGA を高速および低消費電力用として作られた異なるリージョンに分割することです。リージョンはそれぞれ異なる電源電圧、異なるしきい値でインプリメントでき、またデザイン上の多数のトレードオフを通してインプリメントできます。パフォーマンスの劣化を避けるため、デザイン ツールは、デザインのタイミング クリティカルな部品を高速リージョンに、非クリティカルな部品を低消費電力のリージョンにマッピングする必要があります。

低スイング シグナリング

FPGA の容量が増えるほど、オンチップのプログラマブル インターコネクットにおける消費電力は増大します。この通信電力を低減するための効果的な方法は、配線上の電

圧スイングが電源電圧よりはるかに低い、低スイング シグナリングを使うことです。低スイング シグナリングは、今日、バスやオフチップ リンクなど、高キャパシタンスの配線で通信する場合によく使われます。低スイングのドライバとレシーバは CMOS バッファより複雑であるため、多くのシリコン エリアを費やします。しかし、オンチップ インターコネクットが総消費電力に占める割合が増えると、たとえデザインが複雑化しても低スイング シグナリングにするメリットのほろが大きいのです。もちろん、FPGA のユーザーが内部信号の異なる電圧に気づくことはありません。

図 3 に、これまで述べてきた概念を反映した FPGA アーキテクチャを示します。プログラマブル ファブリックは高速リージョンと低消費電力リージョンの異種混合です。オンチップの電源モード コントローラは、ディープスリープ、サスペンド、ハイパーネット

の各低消費電力モードを管理します。ファブリック内では、専用の電源スイッチを使って各ロジック タイルの電源をオフにできます。配線ファブリックを通る通信は、インターコネクットの消費電力を低減するため低スイングのドライバとレシーバを経由します。

結論

昨今の FPGA デザインに使われているさまざまな消費電力最適化以外にも、ユーザーが消費電力を大幅に減らすために行えることはたくさんあります。将来の FPGA では、消費電力を抑えて新たな FPGA アプリケーションを可能にする、さらに革新的なアーキテクチャ ソリューションが登場するでしょう。

本稿で解説したソリューションに加え、ザイリンクスはソフトウェアを使用したさまざまな電力最適化の研究開発を進めています。

ザイリンクス トレーニング スケジュール [9～10月]

11～12月のスケジュールは16ページをご覧ください。

ザイリンクスでは、大規模、高速 FPGA を対象にした FPGA 設計のための各種トレーニングを各地で開催しております。是非ご利用ください。

コース名	日 程		主 催	開 催 地
ISE デザイン	9 月	5 日 (水)	ザイリンクス	東京会場
	10 月	4 日 (木)	ザイリンクス	東京会場
FPGA 設計導入	9 月	6 日 (木)	ザイリンクス	東京会場
	10 月	5 日 (金)	ザイリンクス	東京会場
FPGA 設計実践	9 月	13 日 (木)～14 日 (金)	菱洋エレクトロ	大阪会場
	10 月	11 日 (木)～12 日 (金)	PALTEK	東京会場
		30 日 (火)～31 日 (水)	東京エレクトロデバイス	東京会場
アドバンスド FPGA 設計	9 月	13 日 (木)～14 日 (金)	新光商事	東京会場
	10 月	15 日 (月)～16 日 (火)	ザイリンクス	東京会場
Virtex-4 デザイン	9 月	25 日 (火)～26 日 (水)	ザイリンクス	東京会場
	10 月	23 日 (火)～24 日 (水)	菱洋エレクトロ	東京会場
Virtex-5 デザイン	9 月	27 日 (木)	ザイリンクス	東京会場
	10 月	30 日 (火)	ザイリンクス	東京会場
エンベデッド システム開発	9 月	25 日 (火)～26 日 (水)	PALTEK	東京会場
	10 月	11 日 (木)～12 日 (金)	アヴネット ジャパン	東京会場
		23 日 (火)～24 日 (水)	新光商事	東京会場
アドバンスド エンベデッド システム開発	9 月	27 日 (木)～28 日 (金)	東京エレクトロデバイス	東京会場
System Generator を使用した DSP デザイン	9 月	6 日 (木)～ 7 日 (金)	PALTEK	東京会場
	10 月	17 日 (木)～18 日 (木)	新光商事	東京会場
MGT シリアル I/O デザイン	9 月	20 日 (木)～21 日 (金)	東京エレクトロデバイス	東京会場
	10 月	25 日 (水)～26 日 (金)	PALTEK	東京会場

*すべてのトレーニングは、ザイリンクス認定インストラクターによるオフィシャル トレーニングです。

*日程および会場は、都合により変更となる場合もございます。最新情報はザイリンクス トレーニングWebサイトをご覧ください。

詳細とご登録はこちらから ▶▶ <http://japan.xilinx.com/support/education-home.htm>

Inkjet Power Unleashed

ここまでできた インクジェット プリンタ

Spartan-3AN FPGA が可能にする
ユビキタス対応の画期的なマーキングとプリント

Alex Breton
CEO and Founder
PrintDreams AB
alex.breton@printdreams.com



製品の製造やパッケージというプロセスは手間のかかる作業であり、綿密な計画と複数の作業工程を必要とします。通常、製品へのマーキングは、製品が製造ラインの横に据え付けられたプリントステーションを通るときに行われます。

また、製造後のマーキングは主にラベル貼りという形で行われ、その場合はロール状またはシート状のラベルをあらかじめ作っておく必要があります。製品やパッケージにはそのプリント済みのラベルを貼ります。

PrintDreams 社の RMPT (Random Movement Printing Technology) は、マーキングをより柔軟に、容易に、そして楽

しくするテクノロジーです。このプリントテクノロジーは Xilinx® の Spartan™-3 FPGA を採用しており、触れるだけで、まるでマジックのようにどこにでもプリントが可能です。マーキングしたいエリアをデバイスでなぞるだけで、あとはこのテクノロジーがすべてを行います。図 1 は、RMPT テクノロジーでマーキングした保存箱です。

秘密は、先進のセンサテクノロジーと、何をいつどこにプリントするかを決める制御アルゴリズムにあります。すべてのインクジェットノズルを、列単位で制御できるのです。また、上下・左右・曲線の移動が必要な場合は、すべてのノズルをそれぞれ独立して制御することも可能です。Spartan-3AN FPGA プラットフォームを使うことにより、PrintDreams 社は新しいパラメータを迅速にコンフィギュレーションできます。コンテンツのサイズが限られている場合、FPGA はその内蔵ブロック RAM から直接プリントするコンテンツにアクセスします。

RMPT プリンタは、バッテリーで動作する携帯端末です。スタティック消費電力を 99% 低減したユニークなデュアルモードの電源管理と卓越したパフォーマンスは、ユーザーからも高く評価されています。

無限のサイズとフォーマット

RMPT テクノロジーには、基本的にプリントサイズやフォーマットの制限がありません。ザイリンクスの FPGA はリコンフィギュラブルな特性に優れているため、新しいフォーマットへすばやく移行できます。FPGA を別々のコントローラとして動作させ、新たなエンティティを追加することでより大きなプリント面にも対応できます。

これと関連して、Spartan-3AN プラットフォームには、もう 1 つ便利な機能としてビルトインのマルチブート機能がありま

す。この機能を用いることで、同一のハードウェアデザイン上でさまざまなプリントヘッドノズルとプリントヘッドブロックのジオメトリに対応した異なるコンフィギュレーションを用いて動作させることができます。これにより、コストと新たなデザインを開発する手間が省けます。

図 1 PrintDreams 社の RMPT テクノロジーをストレージボックスに利用



RMPT を発明したとき、当社は「プリンタ装置の幅はプリントするメディアの幅より広い」という、プリンタ業界における暗黙のルールを打ち破りました。一夜にして、物理的限界はプリントヘッドのカートリッジサイズ、バッテリー、電子基盤のレベルまで下がったのです。従来のテクノロジーでは大きな筐体に常に十分

なスペースがありましたが、当社の新しい手法では PCB（プリントサーキットボード）のフットプリントのサイズがさらなる小型化のボトルネックになり始めています。Spartan-3AN プラットフォームのオンチップフラッシュは、我々にとってたいへん有意義で、これにより、フットプリントのサイズと外部コンポーネントのさらなる削減を実現しました。

ユーザーがこの装置を目にして最初に驚くのはそのサイズです。また、レターサイズ用紙をこれほどの小型装置にどのように挿入するのか疑問に思うようです。今や、用紙をプリンタに挿入するのではなく、プリンタを用紙（あるいはプリントするメディア）まで持っていける時代になったのです。早速これを採用したあるユーザーは、「Take the printer to the project」（プリンタをプロジェクトまで持っていこう）」とい

う、このテクノロジーを簡潔に言い表したスローガンを掲げたほどです。

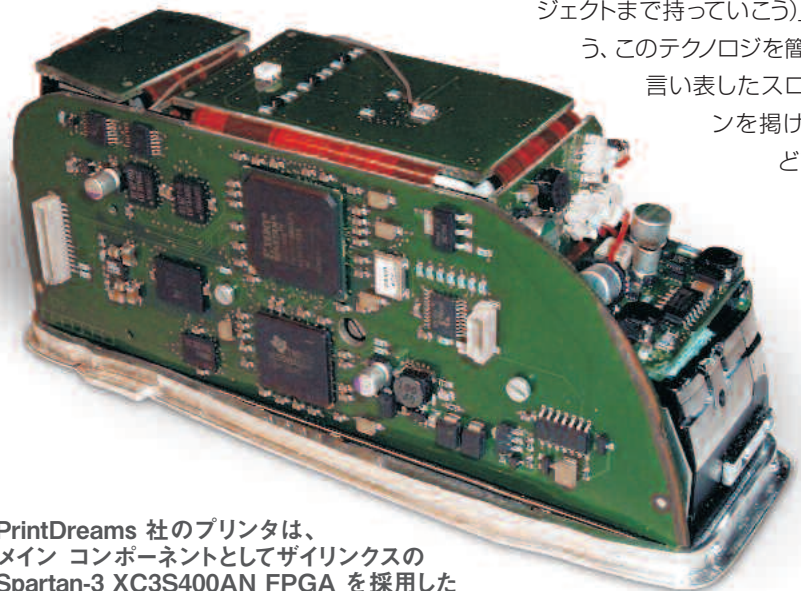


図 2 PrintDreams 社のプリンタは、メインコンポーネントとしてザイリンクスの Spartan-3 XC3S400AN FPGA を採用した小型の PCB のみを搭載

ユーザーがこの装置を目にして最初に驚くのはサイズです。次に、レターサイズの用紙をこれほど小型の装置にどうやって挿入するのか疑問に思うようです。今や用紙をプリンタに挿入するのではなく、プリンタを用紙（あるいはプリントするメディア）まで持っていける時代になったのです。

■ 廉価で環境に優しいテクノロジー

PrintDreams 社のテクノロジーは、現行のソリューションと比べても非常に競争力があります。それは、Spartan-3 FPGA の価格が廉価であること、また RMPT は基本的に複雑なメカニカル セットアップが不要なソリッド ステートであるためです。

デスクトップであれポータブルであれ、プリンタを分解すると、いかに多くの機械部品で構成されているかがわかります。プリンタによっては 200 以上の部品で構成されていることもあるほどです。このため、プリンタを設計、製造するプロセスは非常に複雑で、膨大な手間とコストがかかっています。すべての部品に特殊な工作作業が必要なうえ、長い組み立てラインでそれぞれ独自のステップが必要になるためです。業界では、プリンタの製造に毎年数百トンもの鉄とプラスチックを消費しています。

PrintDreams 社の場合、必要なのは 1 個の小さな PCB とプリントヘッドのみです。プリンタの重さは携帯電話と同程度で、リサイクルが非常に簡単です。ラベルを用意する必要はなく、対象とするメディアにマークやコードを付けたりプリントするのに最適です。RMPT が唯一適さないのは、一度に 5 ～ 10 ページ以上を印刷するような比較的大量のプリント ジョブです。また、極めて高品質な印刷にも適しません。PrintDreams 社はあくまでも小型、廉価、柔軟性という特長を追求していくつもりです。

■ 過剰な柔軟性？

RMPT はプリントする材質を選びません。対応するインクさえあれば、どのような材質にもプリントできます。一般的な材質と

してはダンボールや木材、繊維、プラスチックですが、需要に応じて金属やガラスにプリントするソリューションも提供が可能です。

RMPT をいち早く導入した業界としてクラフト（手芸／工芸）業界があり、Xyron Design Runner という製品に採用されました。スクラップ ブッカー（趣味の工芸として手作りのフォト アルバムを制作する人たち）が使う材料の量と種類には驚くばかりです。コルクから非常に目の粗い生地に至るまで、その多彩さには驚きました。

今後は玩具にも採用される予定ですが、RMPT の卓越した柔軟性が逆に不安の元にもなっています。子どもが床や壁にメジタル落書きをプリントしたり、自分や他人の体にプリントしたりする心配があります。実際、RMPT を使えば肌にも簡単にプリントできてしまうのです。

しかしながら、この柔軟性は他の分野では歓迎されています。一般的なインクジェットのパッケージだけでなく、レーザーヘッドなど他の装置も制御できるため、金属をはじめとする硬い材質により高度な恒久的マーキングを簡単に施すことができます。ザイリンクスの FPGA の柔軟性は、PrintDreams 社にとってもはや必要不可欠です。

■ テクノロジーの限界に挑戦

先進の RMPT を技術開発するうえで、最も重要な問題はリアルタイム性でした。電気通信やネットワークなど、多くの業界ではリアルタイムを定義する遅延をミリ秒単位で測定しています。しかし、PrintDreams 社はリアルタイムをマイクロ秒レベルで測定しているのです。

当社のシステムは、それぞれのプリントヘッド ノズルからプリントするかどうかを、毎秒

250 万回の速さで決定する必要があります。典型的な 600dpi のインクジェット プリントヘッドの場合、これは 300 ノズル以上に相当し、ハードウェアとソフトウェア両方のコンポーネントに膨大な負荷がかかります。

開発までの道のりは、まさにボトルネック解消のプロセスでした。以前は 300 回以上の計算を直列実行するため DSP を使用していましたが、現在は新しいタイプのプリントヘッドをリコンフィギュレーションする機能を残しながら、高いキャパシティと高度な並列化で動作するようシステムを拡張しました。もし ASIC を採用していたら、おそらく 1 種類のプリントヘッドアーキテクチャに縛られていたはずでした。

このような業界初のテクノロジーを開発した PrintDreams 社にとって、知的財産権 (IP) の保護が大きな関心事であることは言うまでもありません。当社のプリンタにザイリンクスのコンピューティングテクノロジーを選択したのは、クローニングやリバースエンジニアリングから保護する Spartan-3AN プラットフォームのセキュリティ機能がそうした不安を取り払ってくれたことも採用の一因です。

■ 結論

PrintDreams 社がザイリンクスの Spartan-3AN プラットフォームを選んだ理由は、手ごろな価格で優れた柔軟性やパフォーマンス、セキュリティ機能を提供しているためです。また、電源管理がさらに改善され、いっそう小型化されたことから、このプラットフォーム以外に候補は考えられませんでした。PrintDreams 社と RMPT テクノロジーの詳細は、www.printdreams.com をご覧ください。

Low-Cost Security Solutions with Spartan-3A and Spartan-3AN Platforms

Spartan-3AとSpartan-3AN が実現する低コスト セキュリティ ソリューション

リバース エンジニアリングや
オーバービルディング、クローニングから
デザインを守る Spartan-3 ファミリの新機能

Maureen Smerdon
Strategic Marketing Manager
Xilinx, Inc.
maureen.smerdon@xilinx.com

飛行機への搭乗から玄関ドアのロック、次世代の回路設計にいたるまで、セキュリティは今や重要な問題となりました。設計者が最も恐れるのは、デザインが盗まれて偽造品が市場に溢れることです。国際模倣対策連合 (International AntiCounterfeiting Coalition) によると、2003 年における米国全体の偽造品による被害額は 2,870 億ドルで、世界中で年間に売られる偽造品の総額、4,560 億ドルの 63% を占めるそうです。

本稿では、低コスト FPGA デザインを保護するため、ザイリンクスがどのようなセキュリティ対策を講じているかを解説します。

セキュリティ上の脅威トップ 3

電子機器のデザインで最も一般的な違法行為は、リバース エンジニアリングです。リバース エンジニアリングとは、デザインを盗んだ人物がオープン市場でより安く販売することを目的に、製品を違法に作り直すことです。リバース エンジニアリングにより、研究開発にまったく資金をかけずに、安いコストで、しかもはるかに短期間で製品化できてしまうのです。

今日、企業の製造委託が進んだことで、オーバービルディング (過剰生産) やクローニング (模造) と呼ばれる新たな違法行為が問題化しています。オーバービルディングとは、委託を受けたメーカーが OEM メーカーの発注量以上の数量を製造することです。その発注量以上の製品は、OEM メーカーの承認を得ずに市場に出回ることになります。

クローニングは、デザインや IP、製品のコピーを作り、同じ、もしくは別のラベルを付け、市場に出すことです。この場合も研究開発費はかかりません。オーバービルディングやクローニングによって作られる製品は、きわめて短時間で市場へ送り出され、流通します。

こうした違法行為により、どれだけの無形資産が失われるか分かりません。リバース エンジニアリング、オーバービルディング、クローニングのいずれも、OEM メーカーにとっては莫大な収益ロスです。そればかりか、返品という形で品質に付随するコストもかかります。これはブランド イメージに悪影響を及ぼすだけでなく、不具合を突き止めて消費者の問題を解決するための RMA (返品不良解析) やテクニカル サポートが増加し、OEM メーカーの最終損益に影響を及ぼす可能性さえあります。また、その製品が正規品か模造品かを最後まで判断でき

ないこともあるでしょう。このような損失は永久的で、回復不可能です。

DeviceDNA を用いたセキュリティ

従来、FPGA はリバース エンジニアリングとクローニングに対する防衛策として、ビットストリームの暗号化を用いてきました。一昔前まではそれで十分対応できましたが、今日のオーバービルディングを防ぐことはできません。

では、設計者はこれら 3 つの違法行為からどのようにデザインを保護すればいいのでしょうか? ザイリンクスは、デザインをクローニングやオーバービルディング、リバース エンジニアリングから保護するため、DeviceDNA を実装した Spartan™-3A と Spartan-3AN デバイス ファミリを発表しました。

デザイン レベルのセキュリティである DeviceDNA は、デザインと IP、エンベデッド コードを保護します。DeviceDNA は、各デバイスに固有の 57 ビットの ID です。この 57 ビット ID は FPGA の特定工



リアに内蔵されており、ザイリンクスのファクトリで設定され、出荷されます。ID は変更することができません。Spartan-3A および Spartan-3AN FPGA は、各デバイスの出荷時に固有の ID が組み込まれます。

この ID は、設計者がパーソナライズしたアルゴリズムと組み合わせることで FPGA に格納されます。アルゴリズムは、基本的に DeviceDNA を用いてどのように結果を作成するかを定義する算式です。結果は外部メモリやフラッシュ メモリなど、任意の場所に格納します。アルゴリズムは設計者しか知らないため、セキュリティの鍵を握るのはこのアルゴリズムです。アルゴリズムは FPGA に格納されますが、第三者にはビットストリームの一部にしか見えません。

Spartan-3A のセキュリティ

Spartan-3A デバイスの場合、デバイスのコンフィギュレーション後、アルゴリズムは DeviceDNA を使用した結果をフラッシュメモリに格納されている結果と照合します。両方の結果が一致するとそのデザインは承認されます。一致しない場合は、機能を制限した形でデザインをセットアップできます。どの程度制限するかは任意に決定できます。

この認証プロセスを日常生活に例えてみましょう。軽食を買うためファストフードのレストランに立ち寄ると考えてください。手持ちの現金がないため、ATM カード (DeviceDNA) を使うことにします。このカードはあなただけが使えるカードです。注文し、磁気カードを読み取り機に通します。

すると、機械から PIN 番号 (パーソナライズしたアルゴリズム) を入力するよう求められます。システムはあなたが入力した PIN 番号を銀行に格納されている番号と照合します。両方の番号が一致すれば軽食を購入できますが、一致しないと空腹のまま店を出るしかありません。

しかし、もし誰かがあなたの ATM カードを持っていて、PIN 番号を知っていたらどうでしょう。PIN の承認アルゴリズム番号を覚えれば、クローンを作成するのは簡単です。承認アルゴリズムをデザインそのものに組み込んであるのは、そのような理由からです。アルゴリズムはプログラマブル ロジック内の最も機密性の高いエリアに格納されており、コンフィギュレーション オプションは数百万通りに上ります。

Spartan-3AN のセキュリティ

ザイリンクスの新しい不揮発性 FPGA、Spartan-3AN プラットフォームの場合、承認プロセスは Spartan-3A とほぼ同じですが、さらにいくつかの面でセキュリティを強化しています。1 番目は、ビットストリームが FPGA 内部に隠されていることです。これにより、ビットストリームを覗くのがいっそう難しくなります。

2 番目は、DeviceDNA と、フラッシュメモリに記録されているファクトリ フラッシュ ID の 2 つの固有のシリアル番号です。2 つの固有の ID を組み合わせることにより 70 バイト以上のシリアル ナンバーができ、膨大な数のアルゴリズムが可能にな

ることから、認証アルゴリズムを破るにはさらに多くの時間が必要です。このように、デザインが FPGA とフラッシュ ID の両方に関連付けられるようになるわけです。

先ほどの例で言えば、2 つの固有の ID を持つということは、軽食を買うために 2 枚の別々のカードが必要ということです。

3 番目の改善点は、格納されている承認コードです。Spartan-3AN プラットフォームでは、承認コードをオンチップのフラッシュ ユーザー フィールドという、1 回のみプログラミング可能な専用の 64 バイト レジスタに格納できます。これにより、自己完結型の完全なセキュリティ システムが実現されます。外部のインターフェイスやストレージが不要なことから、全体的なセキュリティが高まり、リバース エンジニアリングがいっそう難しくなります。

認証アルゴリズムはユーザーが定義するため、デザイン バジレットを考慮しながら適切なセキュリティ レベルをインプリメントできます。認証アルゴリズムはこのセキュリティ システムにおける重要な鍵でもあります。セキュリティが破られないよう、認証プロセスのどこかを秘密にする必要があります。アルゴリズムが未知であるため、このアルゴリズムがデザイン レベルのセキュリティを確保する鍵となるのです。アルゴリズムは FPGA のファブリックにインプリメントされることから、FPGA 内の数百万に及ぶコンフィギュレーション ビットのごく一部のビットになります。これらビットの関係や、アルゴリズムが理解できない限り、膨大な数字にしか見えません。図 1 は、Spartan-3AN

図 1 Spartan-3AN FPGA で可能なセキュリティ セットアップ

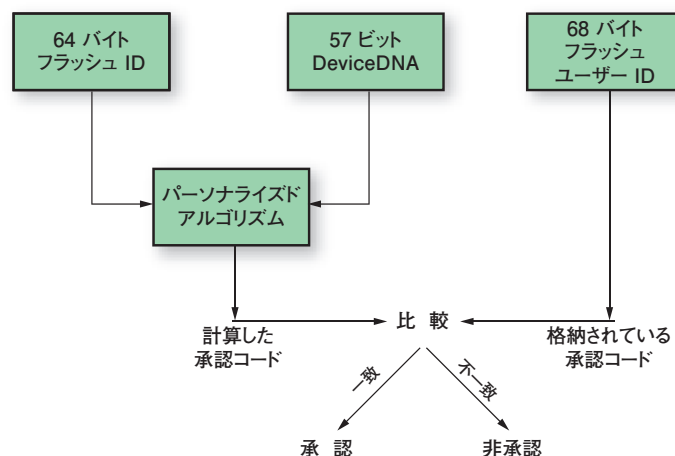
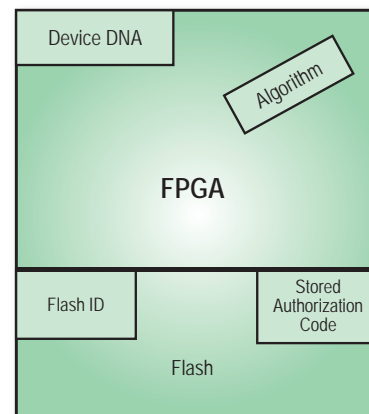


図 2 セキュリティを施した Spartan-3AN デバイス



デバイスで可能な 1 つの流れを示したものです。

図 2 に示す Spartan-3AN のデザインレベル セキュリティは、完全に自己完結型のセキュリティ ソリューションです。フラッシュに、FPGA コンフィギュレーションビットストリームと、以前に生成された承認コードが両方格納されています。このコードは、信頼性/セキュリティの保証されたメーカーもしくは登録プロセスにより、一回限りプログラム可能なフラッシュ ユーザー フィールドに格納されます。

電源投入時、FPGA は通常どおりにコンフィギュレーションされます。コンフィギュレーションが終わると、FPGA アプリケーションには、その Spartan-3AN FPGA で動作することを承認されたデザインを有効化するための回路が用意されます。認証アルゴリズムにより DeviceDNA とファクトリ フラッシュ ID が読み込まれ、アクティブな承認コードを生成して、フラッシュ ユーザー フィールドに格納されている以前生成した承認

コードと比較します。両方のコードが同じならデバイスは認証され、異なる場合は不正デバイスとして承認されません。

アクセス拒否

DeviceDNA によるデザイン レベル アプローチのもう 1 つの長所は、失敗した認証の処理方法にあります。認証はデザインに完全に統合できます。したがって、承認されなかったデザインに、次のような複数の対策を取ることができます。

- ・ No functionality – 機能を完全にストップします。
- ・ Limited functionality – 一次回路または主要回路がディスエーブル、もしくはバイパスされます。
- ・ Time bomb – 限られた期間のみすべての機能を利用できます。
- ・ Active defense – システムはアクティビティを監視し、攻撃から防御します。

- ・ Permanent self-destruction – フラッシュの内容をすべて消去し、フラッシュを永久にすべてゼロにします。

これらのデザイン レベルのセキュリティは、Spartan-3A と Spartan-3AN プラットフォーム内で実現可能な基本レベルのセキュリティです。

結論

Spartan-3A および Spartan-3AN プラットフォームのセキュリティ対策は、リバーシブル エンジニアリングやオーバビルディング、クローニングから保護するための数多くの方法を提供します。低コスト FPGA デザインのセキュリティの詳細は、Spartan ジェネレーションのコンフィギュレーション ユーザー ガイド「Spartan-3AN In-System Flash User Guide (英語版)」(<http://japan.xilinx.com/bvdocs/userguides/ug333.pdf>) をご覧ください。

ザイリンクス トレーニング スケジュール [11~12月]

9 ~ 10 月のスケジュールは 8 ページをご覧ください。

ザイリンクスでは、大規模、高速 FPGA を対象にした FPGA 設計のための各種トレーニングを各地で開催しております。是非ご利用ください。

コース名	日 程		主 催	開 催 地
ISE デザイン	11 月	1 日 (木)	ザイリンクス	東京会場
	12 月	4 日 (火)	ザイリンクス	東京会場
FPGA 設計導入	11 月	2 日 (金)	ザイリンクス	東京会場
	12 月	5 日 (水)	ザイリンクス	東京会場
FPGA 設計実践	11 月	6 日 (火) ~ 7 日 (水)	アヴネット ジャパン	東京会場
		27 日 (火) ~ 28 日 (水)	ザイリンクス	東京会場
	12 月	11 日 (火) ~ 12 日 (水)	菱洋エレクトロ	東京会場
アドバンスド FPGA 設計	11 月	5 日 (月) ~ 6 日 (火)	新光商事	東京会場
	12 月	6 日 (木) ~ 7 日 (金)	ザイリンクス	東京会場
Virtex-4 デザイン	11 月	15 日 (木) ~ 16 日 (金)	菱洋エレクトロ	大阪会場
	12 月	20 日 (木) ~ 21 日 (金)	ザイリンクス	東京会場
Virtex-5 デザイン	11 月	22 日 (木)	ザイリンクス	東京会場
エンベデッド システム開発	11 月	13 日 (火) ~ 14 日 (水)	PALTEK	東京会場
	12 月	13 日 (木) ~ 14 日 (金)	東京エレクトロデバイス	東京会場
アドバンスド エンベデッド システム開発	11 月	27 日 (火) ~ 28 日 (水)	ザイリンクス	東京会場
System Generator を使用した DSP デザイン	11 月	15 日 (木) ~ 16 日 (金)	東京エレクトロデバイス	東京会場
	12 月	18 日 (火) ~ 19 日 (水)	PALTEK	東京会場
MGT シリアル I/O デザイン	11 月	29 日 (木) ~ 30 日 (金)	東京エレクトロデバイス	東京会場
	12 月	11 日 (火) ~ 12 日 (水)	PALTEK	東京会場

*すべてのトレーニングは、ザイリンクス認定インストラクターによるオフィシャル トレーニングです。

*日程および会場は、都合により変更となる場合もございます。最新情報はザイリンクス トレーニングWebサイトをご覧ください。

詳細とご登録はこちらから ▶▶ <http://japan.xilinx.com/support/education-home.htm>



Implementing Low-Cost DDR2 Interfaces with Spartan-3A FPGAs

Spartan-3A FPGA を 使用した低価格 DDR2 の インプリメント

ザイリンクスが提供する短期の製品化を支援する
メモリ インターフェイス ソリューション

Adrian Cosoroba
Marketing Manager
Xilinx, Inc.
adrian.cosoroba@xilinx.com

一般にアプリケーションは、最高のバンド幅を第一の目的とする高性能型と、システムコストを重視する低コスト型の2種類に分類できます。ハイエンド アプリケーションについては、ザイリンクスは最高のバンド幅ニーズに応える Virtex™-5 FPGA を提供しています。

しかし、すべてのシステムがメモリのパフォーマンスを限界まで追求するわけではありません。ほとんどの低コスト システムには、ピンあたりのデータ レートが 400Mbps 未満の DDR SDRAM や DDR2 SDRAM で十分です。こうしたアプリケーションについては、ザイリンクスは Spartan™-3 や Spartan-3E、Spartan-3A、Spartan-3AN FPGA からなる Spartan-3 ジェネレーションを提供しています。

本稿では、Spartan-3 ジェネレーション FPGA でインプリメントした DDR2 SDRAM メモリ インターフェイスのアーキテクチャと、ザイリンクスのツールやハードウェア検証済みのリファレンス デザインがお客様独自のメモリ インターフェイスを構築するうえでいかに役立つかを解説します。

メモリ コントローラと DDR2 インターフェイス

FPGA ベースのデザインでは、コントローラとメモリ インターフェイスは3つの基本的なビルディング ブロックで構成されます。リード/ライト データ インターフェイス、メモリ コントローラ ステート マシン、そしてメモリ インターフェイスのデザインを FPGA

デザインの他のエリアに橋渡しするユーザー
インターフェイスの3つです（図 1）。

Spartan-3 ジェネレーション FPGA のユーザー インターフェイスは、ハンドシェーキング型のインターフェイスです。コマンド (read または write) に、書き込むアドレスとデータを付けて送信すると、ユーザーインターフェイス ロジックは "user_cmdack" 信号で応答し、次のコマンドを入力できるようになります。

ファブリックにインプリメントされているファンクション ブロックは、デジタル クロック マネージャ (DCM) の出力によってクロッキングされ、LUT (ルックアップ テーブル) 遅延キャリブレーション モニタを駆動します。このキャリブレーション回路は、リード データ (DQ) の場合に、リード データ ストロープ (DQS) を遅延させるために必要な LUT ベースのエレメント数を選択します。そうすることで、FPGA 内でキャプチャできるように正しくアラインすることが可能です。

リード トランザクション中、DDR2 SDRAM デバイスは DQ とエッジ アライン されている FPGA に、DQS とその関連デ ータを送信します。データは非フリー ラン ニングの DQS ストロープのエッジごとに 変化するため、DQ をキャプチャするのは 困難な作業です。

DQ キャプチャは、コンフィギュラブル ロジック ブロック (CLB) 内の LUT を用いてインプリメントされます。DQ キャプチャのインプリメンテーションは、LUT をベースとするタップ遅延メカニズムを使用します。DQS クロッキング信号は十分なタイミング マージンを提供するために遅延されます。DQ のキャプチャは、デュアルポート LUT ベースの RAM にインプリメントされます (図 2)。LUT RAM は一対の FIFO として構成され、各データ ビットが立ち上がりエッジ (FIFO_0) と立ち下がりエッジ (FIFO_1) の各 FIFO に入力されます。深さ 16 エントリのこれら FIFO は非同期であり、独立したリード ポートとライト ポートを持ちます。

DQS クロック ドメインからメモリ コント
ローラ クロック ドメインへの DQ 転送

図 1 Spartan-3 ジェネレーション FPGA への DDR 2 SDRAM インターフェイスのインプリメンテーション

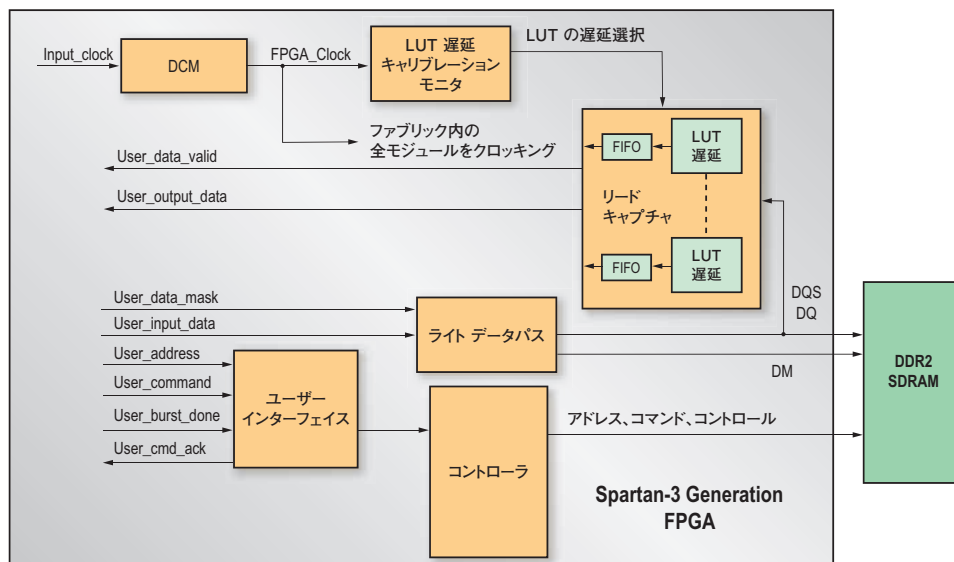
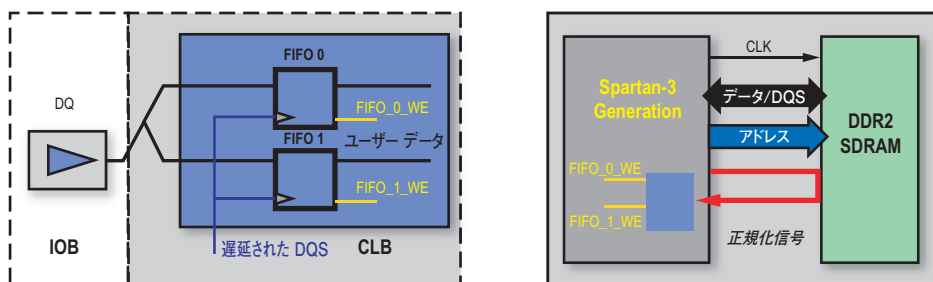


図 2 Spartan-3 ジェネレーション FPGA に対する DQ キャプチャ FIFO インプリメンテーション



は、これら非同期の FIFO を通して行われます。データはメモリ コントローラ クロック ドメイン内の FIFO_0 と FIFO_1 の両方から同時に読み出すことができます。FIFO リード ポインタは FPGA の内部クロック ドメインで生成されます。ライト イネーブル信号 (FIFO_0 WE と FIFO_1_WE) の生成には、DQS と外部ルックバックもしくは正規化信号が使われます。

外部の正規化信号は出力として入出力ブロック（IOB）を駆動し、その後入力バッファを通して入力され使用されます。これにより、FPGA とメモリ デバイス間の IOB やデバイス、トレース遅延が補正されます。

ライト データ インターフェイスは、ライト データのコマンドとタイミングを生成、制御します。ライト データ インターフェイスは、DDR および DDR2 SDRAM のタイ

ミング要件に従って、コマンドおよびデータビットに正しくアラインされた DQS ストロークを伝送するため、IOB フリップフロップと DCM の 90、180、270°出力をします。

デザインには、コントローラ ステート マシンの総合的なロジック生成やユーザー インターフェイスといった他の面もあります。ザイリンクスは、設計者が完全なソリューションをより簡単に作成できるよう、メモリ インターフェイス ジェネレータ (MIG) ツールを開発しました。

コントローラのデザインと MIG ソフトウェア ツールとの統合

デザインを作成するには、メモリ コントローラ ステート マシンを含むあらゆるビル

ディング ブロックを統合することが不可欠です。コントローラ ステート マシンは、メモリ アーキテクチャとシステム パラメータによって異なります。ステート マシンのコードも複雑になりがちで、次のような多くの変数に左右されます。

- ・ アーキテクチャ (DDR、DDR2)
- ・ バンク数 (メモリ デバイスの外部もしくは内部)
- ・ データ バス幅
- ・ メモリ デバイスの幅と深さ
- ・ バンクとロー (行) のアクセス アルゴリズム

最後に、データ/ストロブ比 (DQ/DQS) がデザインをいっそう複雑化させることがあります。コントローラ ステート マシンは、メモリ デバイスのタイミング要件を考慮してコマンドを正しい順序で発行しなくてはなりません。

デザインは、MIG ソフトウェア ツールを用いて生成できます。このツールは、リファレンス デザインと IP からなる ISEi ソフトウェア、CORE Generator™ スイートの一部として、ザイリンクスから無償で入手できます。MIG のデザイン フローは従来の FPGA デザイン フローに非常によく似ています。このソフトウェアを使用することで、設計者は物理レイヤ インターフェイスやメモリ コントローラ用に RTL コードをゼロから生成する必要がありません。

システムとメモリのパラメータを設定するには、MIG のグラフィカル ユーザー インターフェイス (GUI) を使います。たとえば、FPGA デバイス、パッケージ、スピード グレードを選択した後にメモリ アーキテクチャを選択することが可能で、実際のメモリ デバイスや DIMM (デュアル インライン

メモリ モジュール) を選ぶことも可能です。この GUI では、バス幅とクロック周波数を選択できます。他に、CAS (カラム アクセス ストロブ) レイテンシ、バス長、ピン割り当てを制御するオプションがあります。

MIG ツールは、1 分もしないうちに RTL ファイルと UCF ファイル (それぞれ HDL コード ファイルと制約ファイル) を生成します。これらのファイルは、ハードウェア検証済みのリファレンス デザインのライブラリを使って生成され、設計者の入力に基づいて変更が加えられます。出力ファイルは、ユーザー インターフェイス、物理レイヤ、コントローラ ステート マシンなど、それぞれのビルディング ブロックに適用されるモジュールごとにカテゴリ化されます。

RTL コードにはさらに自由に変更を加えることができます。「ブラックボックス」のインプリメンテーションを提供する他のソリューションとは異なり、コードが暗号化されないため、デザインを変更してからさらに柔軟にカスタマイズすることが可能です。コードの変更後、追加のシミュレーションを実行してデザイン全体の機能性を検証できます。

また、MIG ツールは、メモリ チェック機能を備えた合成可能なテスト ベンチを生成します。テスト ベンチは、ザイリンクスのリファレンス デザインの機能をシミュレーションしたりハードウェアを検証したりするために使われるデザイン サンプルです。テスト ベンチは、メモリ コントローラに一連のライトおよびリードバックを発行します。これは独自のカスタム テスト ベンチを生成するためのテンプレートとして使うことも可能です。

デザインの最終段階では、MIG ファイルを ISE プロジェクトにインポートし、残りの FPGA デザイン ファイルとマージした後、合成と配置配線を行い、さらに必要に応じて追加のタイミング シミュレーションを

実行してからハードウェア検証を実施します。MIG ソフトウェア ツールは、最終的なビット ファイルを最適な形で生成できるよう、合成、マッピング、配置配線の適切なオプションを用いてバッチ ファイルを生成します。

ハードウェアの検証と開発ボード

リファレンス デザインのハードウェア検証は、堅牢で信頼性の高いソリューションにするための重要な最終ステップです。

ザイリンクスでは、Spartan-3A FPGA に対する DDR2 SDRAM メモリ インターフェイスのインプリメンテーションをハードウェアで完全検証してみました。我々は、DDR2 SDRAM のデザインは低コストの Spartan-3A スタータ キット ボードを使ってインプリメントしました。デザインとしては、オンボードの 16 ビット幅 DDR2 SDRAM メモリ デバイスと XC3S700A - FG484 FPGA を使用しています。リファレンス デザインは、Spartan-3A デバイスの利用可能なリソースのうち、IOB の 13%、ロジック スライス の 9%、BUFG MUX の 16%、そして 8 つの DCM のうち 1 つのみを使用しています。このようにインプリメントすることで、他のファンクションに十分なリソースを確保できることがわかります。

ザイリンクスは、さまざまな Spartan-3 ジェネレーション FPGA 用のメモリ インターフェイス デザインを検証しました。表 1 に、Spartan-3 ジェネレーション FPGA の開発ボードごとに、ハードウェア検証したメモリ インターフェイスをまとめてあります。

結論

低コストの Spartan-3 ジェネレーション FPGA や、メモリ インターフェイス ジェネレータ (MIG) ツール、ザイリンクスの開発ボードを使用することで、メモリ インターフェイスやコントローラのデザインを迅速化できます。

メモリ インターフェイス ソリューションの詳細は、<http://japan.xilinx.com/memory> をご覧ください。

表 1 メモリ インターフェイス用の低コスト開発ボード

ザイリンクス FPGA	Spartan-3 FPGAs	Spartan-3 FPGAs	Spartan-3 FPGAs
開発ボード	SL361	Starter Kit 3E	Starter Kit 3A
サポートされるメモリ インターフェイス	DDR	DDR	DDR2

Leveraging the Virtex-5 SXT High-Performance DSP Solution

Virtex-5 SXT を活用する 高パフォーマンス デジタル 信号処理 DSP ソリューション

信号処理バンド幅を最大化し、電力消費を最小化する Virtex-5 SXT

Brent Przybus

Sr. Product Marketing Manager,

Advanced Products Division

Xilinx, Inc.

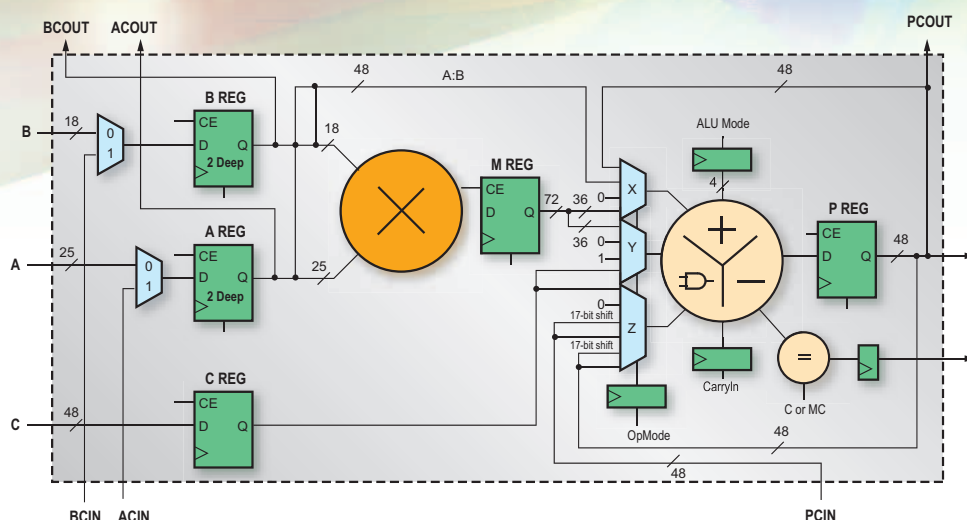
brent.przybus@xilinx.com

FPGA は、20 年以上にわたり、最も柔軟で適応性に優れた高速なデザイン環境を提供してきました。DSP の設計者は、当初から再設計可能な多数のゲートをデジタル信号処理に利用できていることに気付いていました。FPGA ファブリックに組み込まれている乗算器や加算器、アキュムレータを組み合わせれば、巨大な並列性（パラレルizm）を活かして効率的な DSP フィルタ アルゴリズムをインプリメントできます。

FPGA の周波数問題は並列性により相殺され、さらに性能が高まることにより、DSP の代替ソリューションに匹敵するようになりました。その後、乗算器と加算器のインプリメンテーションをより効率的に行うことができるようになり、1998 年、ザイリンクスは Virtex™-II FPGA ファミリーに統合された初のエンベデッド乗算器を発表しました。大ヒットを記録したこの Xilinx® Virtex-II と Virtex-II Pro ファミリーは、FPGA ベースの DSP を新たな次元へと高め、毎秒 10 億 MAC（積和演算）という壁を打ち破りました。

デジタル通信や軍事、防衛、ビデオおよび画像処理市場の需要に支えられ、ザイリンク

図 1 Virtex-5 FPGA における DSP48E スライスの回路図



スはそれぞれの業界特有の課題に応えると共に、巨大な並列実装のスタイルをいっそう強化すべく、さらに改良を加えていきました。しかし、パフォーマンスの向上や乗算器および加算器の増加に伴い、消費電力の管理はますます難しくなったのです。

そこで、FPGA ファブリックのリソースを使わずに簡単にカスケード化できる、超低消費電力の高性能かつ包括的なデジタル信号処理エレメントとして DSP48 スライスをデザインすることで、この課題に対応しました。このエレメントは Virtex-5 デバイスでさらに機能強化され、さらにその後の DSP48E スライスでは、より高い精度、

SIMD（単一命令／複数データ）演算、統合型パターン検出回路、ロジック ユニットをサポートしています。

また、ザイリンクスは高速なオンチップデータと係数ストレージに対する需要に応えるため、独特な比率の DSP48E スライスと多数のブロック RAM および分散 RAM からなるデジタル信号処理プラットフォームを構築しました。最後に、チップとの間でデータをより高速にやり取りできるように、3.125Gbps で動作する統合型の高速シリアルチャネルを採用しました。これらエレメントを組み合わせで生まれたのが Virtex-5 SXT プラットフォームです。

Virtex-5 SXT エンジン - DSP48E スライス

FPGA 内のデジタル信号処理の進化を理解するには、DSP48E スライス (図 1) とそのデザインの3 つの特徴を理解しておく必要があります。

・統合型乗算器と第 2 ステージ

統合型の第2ステージ加算器／減算器／アキュムレータを用いて乗算器の演算を拡張します。これにより、1 個の DSP48E スライス内に DSP 演算の最も一般的な組み合わせをインプリメントできます。

・シストリック インプリメンテーション

DSP48E スライスは、ビルディング ブロックのようにお互いにインタフェースし合う自己完結型のエレメントで、それぞれ FPGA ファブリックから独立した専用の配線とバッファリングを持ち、パフォーマンスの改善と消費電力の低減を同時に実現します。

・カスタム デザイン

ザイリンクスは早い段階から、高度な性能と極めて低い消費電力を達成するには、最新のプロセス ジオメトリに即した完全なカスタム デザインが必要だと考えていました。ザイリンクスの設計チームは Arithmetica 社と共同で、乗算器と加算器の回路に対して MathIP ライブラリを統合し、さらなる効率化を図りました。

このようなデザインにより、DSP48E スライスのインプリメンテーションは、前例のないパフォーマンスと優れた電力効率を達成しています。Virtex-5 デバイスの DSP48E スライスは、高速、中速、低速のスピード グレードでそれぞれ 550MHz、500MHz、450MHz のスピードで動作します。このパフォーマンスは、1 個の DSP48E スライスを単独で使用する場合でも、毎秒 3,520 億回の積和演算を達成するため専用のカスケード ロジックを使って最も大型の Virtex-5 SXT デバイスに 640 個の DSP48E スライスをすべて組み合わせる場合でも、ど

ちらでも可能です。しかも、この驚異的のパフォーマンスはロジックや FPGA の配線リソースをいっさい使用せずに DSP48E スライスだけを用いて達成したものです。

専用のカスケード ロジックを使うということは、各 DSP48E スライス、そのスライスの動作スピード、および入力のトグル レートに基づいて消費電力を計算できるということです。個々の DSP48E スライスの代表的な実測消費電力は 1.38mW/100MHz です。したがって、Virtex-5 SX 95T 内の 640 個の DSP48E スライスがすべて 550MHz で動作しており、代表的トグル レートが 38% であれば、総ダイナミック消費電力は 4.92W というように簡単に計算できます。

低消費電力、高性能を実現する 設計手法

デジタル信号処理のために Virtex-5 SXT アーキテクチャをフルに活用するには、次のシンプルなガイドラインに従うことを推奨します。

・DSP48E スライスを最大限使用するフィルタ アルゴリズムをインプリメントする

25 X 18 ビットの各 DSP48E スライスは、500 スライス以上のプログラマブル ロジックに相当し、消費電力は相当するロジック インプリメンテーションの 10 分の 1 となり、また、単独、連結を問わず 550MHz のスピードで動作します。

・DSP48E スライスのすべての機能を利用する

各 DSP48E スライスは、スタンドアロンの 25 X 18 乗算器、25 X 18 ビット乗算器と加算器／減算器／アキュムレー

タ、もしくは 48 X 48 ビットの加算器または減算器としてコンフィギュレーションできます。また、各 DSP48E スライスは SIMD 演算と正負対称丸め、もしくは偶数丸めをサポートします。

・固定小数点または浮動小数点演算をインプリメントする

DSP48E スライスは固定小数点の FIR、FFT、あるいは複雑なフィルタ演算に理想的なだけでなく、25 X 18 の入力サイズとカスケード配線により、2 個の DSP48E スライスをを用いて効率的な 24 X 24 の符号なし浮動小数点演算を可能にします。

デジタル信号アプリケーションに DSP48E スライスを利用

Virtex-5 SXT プラットフォームに DSP48E スライスやブロック RAM、ロジック、マルチギガビット トランシーバを組み合わせることで、DSP フィルタ アプリケーションに対する費用対効果に優れた高性能、低消費電力のソリューションを実現できます。一例として、Virtex-4 SX と Virtex-5 SXT デバイスの両プラットフォームにインプリメントしたワイヤレス ラジオ カード アプリケーションについて、それぞれの消費電力を比較してみましょう。

WiMAX デジタル フロント エンド (DFE) は、デジタル アップ コンバージョン (DUC)／デジタル ダウン コンバージョン (DDC)、クレスト ファクタ低減 (CFR)、およびオートマチック ゲイン コントロール (AGC) を統合したものです。このデザインに必要なフィルタリングは、Virtex-4 SX25 FPGA または Virtex-5 SX35T FPGA で利用可能な DSP48E スライスにまさにぴったりです。このデザインは 276MHz で

表 1 実際のアプリケーションで測定した消費電力

デザイン	Virtex-4 消費電力 (W)	Virtex-5 消費電力 (W)	低減率
DUC + CFR	0.858	0.552	35.6
DDC + AGC	0.740	0.478	35.4
Total DFE	1.598	1.030	35.5

動作し、Virtex-4 SX25 FPGA の場合は DSP48 リソースの 73% (128 のうち 95)、また Virtex-5 SX35T FPGA の場合は DSP48 リソースの 48% (196 のうち 95) を消費します。

WiMAX DFE ソリューションをインプリメントするために使われるパフォーマンスやリソースは、それだけでも驚かされますが、電力効率はさらに驚異的です。このデザインでは主に DSP48 または DSP48E スラ

イスを使いますが、ブロック RAM とロジックも使用します。表 1 に、これらのソリューションと実測消費電力、および Virtex-4 デバイスから Virtex-5 デバイスに移行することで消費電力がどれだけ低減するかを示します。

結論

デジタル信号処理の要求が増し、スケラブルな高性能 DSP を提供することがま

ます難しくなる中、毎秒数百 GMAC 以上のレベルで消費電力を管理するのはいっそう困難になります。ザイリンクスの Virtex-5 SXT FPGA プラットフォームは、巨大な並列性を利用して消費電力を最小限に抑えながら超高性能を達成する、ユニークなシングルチップ ソリューションを提供します。ザイリンクスの DSP ソリューションの詳細は、<http://japan.xilinx.com/dsp> をご覧ください。



ザイリンクス販売代理店オリジナル トレーニング

東京エレクトロ デバイス <http://ppg.teldevice.co.jp/>

コース名	開催日	開催地
FPGA 設計導入コース (ISEコース)	* 開催日程はWebにてご確認ください。	* 場所はWebにてご確認ください。
ベーシック CPLD 半日コース (ISE WebPack コース)		
初めてでも使える! Spartan-3 (Virtex-II) 設計コース		
初めて作る!! Virtex-4 による高性能 FIR フィルタ設計実践 コース		
動かす! わかる! Virtex-5 + DDR2 SDRAM 高速設計手法コース		
初級ザイリンクス プロセッサ・ワークショップ (ハードウェア編)		
初級 System Generator for DSP コース (初級DSPコース)		
動かす!! 高速シリアル IO 体験セミナー		
ベーシック Verilog-HDL 記述コース		
ベーシック VHDL 記述コース		
SUZAKU-S を使用した MicroBlaze 開発フローコース		
初めての Synplify/Synplify-Pro セミナー		

菱洋エレクトロ <http://www.ryoyo.co.jp/xilinx/seminar/list.cgi>

コース名	開催日	開催地
ISE デザイン入力コース	9月27日(木)、10月18日(木)、11月29日(木)、12月20日(木)	東京
	10月4日(木)	大阪
	11月8日(木)	福岡
FPGA 設計導入コース	9月28日(金)、10月19日(金)、11月30日(金)、12月21日(金)	東京
	10月5日(金)	大阪
	11月9日(金)	福岡
FPGA 設計実践コース	12月6日(木)~7日(金)	大阪
HDL 入門/VHDL 入門コース	10月17日(水)、12月19日(水)	東京
	10月3日(水)、12月5日(水)	大阪
HDL 入門/VerilogHDL 入門コース	9月26日(水)、11月28日(水)	東京
	9月12日(水)、11月14日(水)、12月12日(水)	大阪
	11月7日(水)	福岡

PALTEK <http://www.paltek.co.jp/seminar/index.htm>

コース名	開催日	開催地
初級者のための ISE ハンズオントレーニング	9月20日(木)、10月18日(木)、11月29日(木)、12月20日(木)	新横浜
	9月14日(金)、10月12日(金)、11月2日(金)、12月7日(金)	大阪
初級者のための EDK ハンズオントレーニング	9月21日(金)、10月19日(金)、11月22日(木)、12月21日(金)	新横浜
	9月12日(水)、10月11日(木)、10月31日(水)、12月6日(木)	大阪
初級者のための DSP ハンズオントレーニング	11月21日(水)	新横浜
ISE デザイン入力コース	9月6日(木)、10月4日(木)、11月7日(水)、12月13日(木)	新横浜
FPGA 設計導入コース	9月7日(金)、10月5日(金)、11月8日(木)、12月14日(金)	新横浜
オープンソース ITRON on FPGA ハンズオントレーニング	9月27日(木)	新横浜
ANSI C から FPGA を実現 Impulse C 設計トレーニング	9月26日(水)	新横浜
SUZAKU-S を使用した MicroBlaze 開発トレーニング	9月28日(金)	新横浜
	9月11日(火)	大阪
VHDL 初級 ハンズオントレーニング	9月5日(水)、11月28日(水)	新横浜
	9月13日(木)、11月1日(木)	大阪
Verilog-HDL 初級トレーニング	10月17日(水)、12月19日(水)	新横浜

DSP Performance of FPGAs Revealed

公開! FPGA の デジタル信号処理
DSP パフォーマンスFPGA の DSP パフォーマンスを計測した OFDM ベンチマークの
最新レポート

Jeff Bier

President

BDTI - Berkeley Design Technology, Inc.

bdti@bdti.com

無線基地局などの高性能 DSP アプリケーションに使用する処理エンジンとして、FPGA を候補にするケースが増えていきます。これらのアプリケーションでは、FPGA と DSP のどちらかを選ぶか、あるいは両方を併用することになります。

選択肢の増加に伴い、システム設計者はさまざまなハイエンド FPGA とハイエンド DSP プロセッサの信号処理性能を正確に把握し、比較する必要があります。残念ながら、一般的に使われている性能値は信頼性に欠け、混乱を招くばかりか、実際とは逆の結果を示す場合さえあります。

たとえば、DSP アプリケーションは積和 (MAC) 演算に大きく依存するため、DSP プロセッサや FPGA ベンダは、デジタル信号処理の性能を比較するための単純なメトリックとしてピーク時の MAC/秒を使うことがあります。しかし、MAC のスループットでは FPGA と DSP のいずれの性能も正しく予測できません。その理由をいくつか見ていきましょう。

単純なメトリックでは不十分

FPGA に対する MAC の性能値は、ハー

ドワイヤ接続された DSP 要素は最高クロック レートで動作するという前提で算出されることが多いようです。実際には、一般的な FPGA デザインはそれより遅いスピードで動作します。また、ハードワイヤ接続された要素を使うのは、FPGA に MAC をインプリメントする方法の 1 つにすぎず、プログラマブル ロジックのリソースと分散演算を用いて追加の MAC スループットを達成できます。この方法は、ハードワイヤ接続された要素だけを使うより高い MAC スループットを達成できます。

もう 1 つ考えるべきポイントは、一般的な DSP アプリケーションは MAC 以外にもたくさんの演算に依存することです。たとえば、Viterbi デコーダは通信アプリケーションに使われる重要な DSP アルゴリズムですが、これは MAC をまったく使用しません。

信号処理性能を評価するためのもう 1 つの方法は、FIR フィルタなどのよくある DSP ファンクションを使うことです。しかし、この方法には問題点もあります。1 つの問題は、ベンダによってこれらファンクションの実装方法が異なることです。データ幅、アルゴリズム、あるいはレイテンシなどの実装パラメータがそれぞれ異なるわけです。このため、ベンダが提示する結果をそれぞれ単純に比較することはできません。

そのうえ、FPGA のフル アプリケーション内でファンクションをインプリメントするのと、そのファンクションを単独でインプ

リメントするのではかなりやり方が異なるため、小さなカーネル ファンクションは FPGA のベンチマーキングに有効ではありません。ただし、プロセッサの場合はこれら小さなベンチマークで DSP アプリケーションの全体性能を十分に予測できます。最後に、プロセッサや FPGA のベンダがインプリメントしたベンチマークは第三者によって検証されないことから、エンジニアがそれぞれのデバイスを確認をもって比較するのが難しいという点も問題です。

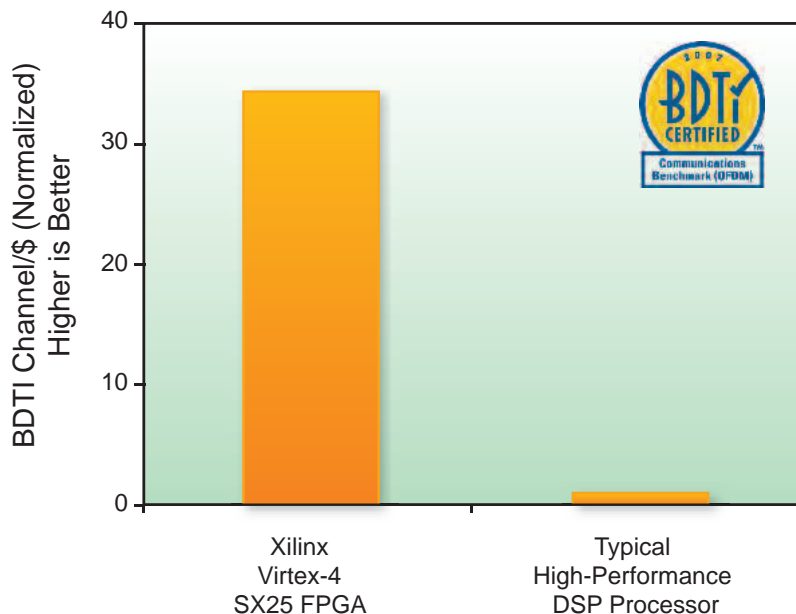
ギャップを埋めるのは
第三者のベンチマーク

BDTI 社は信号処理ベンチマークで最も信頼されている会社です。当社のベンチマークは、数十の半導体ベンダと数千のチップユーザーが、信号処理エンジンを評価、比較、選択するために採用しています。BDTI 社は 15 年近くにわたりプロセッサの信号処理性能をベンチマークし、現在では FPGA、マルチコア チップ、その他のテクノロジーもカバーするまでになりました。

BDTI 社は数年前、DSP アプリケーションをターゲットとする FPGA とプロセッサのパフォーマンスを、第三者的な立場から同じ基準で正確に比較できるようにする必要がありますと考えました。これを実現するため、BDTI 社は直交周波数多重分割変調方式 (OFDM: Orthogonal Frequency Div

BDTI 社の新しいレポート「FPGAs for DSP, Second Edition」は、FPGA の信号処理に関する客観的なベンチマーク結果をお届けする信頼できる情報ソースです。

図 1 BDTI Communications Benchmark (OFDM)
BDTI 社認定のコスト パフォーマンス最適化結果



ision Multiplexing) レシーバに基づき、BDTI Communications Benchmark (OFDM) という新たなアプリケーション指向のベンチマークを開発しました。このベンチマークは、DSL、ケーブル モデム、ワイヤレス システムなどのアプリケーション向け通信機器で増えつつある、「ベースバンド」信号処理の負荷を把握するためのものです。このベンチマークは FPGA、DSP プロセッサ、マルチコア チップ、その他多数の信号処理エンジンでのインプリメンテーションに適しており、同じ基準で比較したベンチマークの結果を提供します。

BDTI 社は最近、数種類の新しい高性能 FPGA と DSP プロセッサを評価するため、BDTI Communications Benchmark (OFDM) を使用しました。解析結果の詳細は BDTI 社のレポート「FPGAs for DSP: Second Edition」として公開されており、DSP システム設計者の間で大きな注目を集めました。レポートにはベンチマーク結果が 2 セット掲載されており、1 つはチップ

当たり最大数のチャンネルをサポートするよう最適化した大容量の結果、もう 1 つはチャンネル当たりのコストを最低限に抑えるよう最適化した低コストの結果です。図 1 は、Xilinx® Virtex™-4 SX25 FPGA と代表的な高性能 DSP プロセッサに対する正規化した低コストの結果を示しています。

図 1 に示す BDTI 社のベンチマーク結果を見れば、高性能 DSP アプリケーションに FPGA を使うことがいかにコスト面で有利か一目瞭然です。このベンチマークでは、Virtex-4 SX25 デバイスは代表的な高性能 DSP プロセッサと比較して費用対効果が 10 倍以上優れています。FPGA は、アプリケーションによっては DSP よりチップレベルのコスト パフォーマンスに優れているかもしれないが、どれだけ優れているのか確信を持てずにいたシステム設計者にとって、これはきわめて貴重な情報です。同レポートでは、各ベンダの FPGA に対するコスト パフォーマンスの結果も比較しています。

もちろん、新しいシステム デザインに

FPGA を使うか否かや、使う場合どの FPGA を使うべきかなどを、ベンチマークの結果だけで判断するわけにはいきません。設計者は、処理エンジンの選択が開発の流れやインプリメンテーション、システム デザインにどう影響するかも理解する必要があります。このような理由から、BDTI 社のレポートは FPGA と DSP のどちらを使うか、あるいは両方を使うべきかを判断するための質的要因を掘り下げると共に、いかにして信頼性の高い情報を基に選択するかについて、ガイドラインを提供しています。さらに、同レポートは FPGA のエネルギー効率や FPGA に対する新たなハイレベルな合成ツールの有効性など、ハイエンドな DSP アプリケーションで FPGA が長期にわたって成功するための重要ポイントにもスポットを当てています。

結論

BDTI 社はこれら分野でのさらなる解析を進めていくと共に、新しい FPGA とプロセッサの信号処理能力を評価し続けていきます。信号処理エンジンの競争が激しさを増す中、BDTI 社は設計者が自信をもって選択できるようデータと解析結果を提供し続けます。

BDTI 社の新しいレポート「FPGAs for DSP, Second Edition」は、FPGA の信号処理に関する客観的なベンチマーク結果を提供する信頼できる情報ソースです。

「FPGAs for DSP, Second Edition」の詳細は、<http://www.BDTI.com/fpgas> 2006

をご覧ください (同サイトよりオンラインでレポートをオーダーすることも可能です)。また、BDTI 社の詳細は <http://www.BDTI.com> をご覧ください。



Video Processing Using FPGAs in Video Surveillance Systems

FPGA を用いたビデオ監視システムの映像処理

ザイリンクス Video IP Block Set を使った DVR のインプリメント

Hong-Swee Lim

Senior Manager, DSP Product and Solutions Marketing
Xilinx Asia Pacific Pte. Ltd.
hong.swee.lim@xilinx.com

David Zhang

DSP Specialist
Xilinx Asia Pacific Pte. Ltd.
david.zhang@xilinx.com

ビデオ監視システムは、駅や空港、銀行、カジノ、ショッピング モール、そして一般家庭において、セキュリティのための重要なツールとして利用されています。セキュリティリスクの増大に伴い、状況を視覚的に監視、記録する必要性は、多岐の用途にわたるようになりました。このため新しいアーキテクチャでは、ビデオ監視システムの多種多様な要件を満たす費用対効果の高いソリューションを実現する優れたスケーラビリティが必要不可欠となっています。

Time-to-Market のプレッシャーに加え、新たな CODEC 規格や幅広い要件（高度なオブジェクト検出、モーション検出、オブジェクト追跡、オブジェクト追跡の各種機能）への対応など、新たなビデオ監視アーキテクチャをめぐる課題は数多くあります。こうした課題に応えるため、広範なパフォーマンスに対応できる拡張可能な実現手段が求められているのです。

ザイリンクスの FPGA は、ローエンドからハイエンド、スタンドアロンから PC アドオン カードにいたるまで、ビデオ監視システムに理想的なソリューションです。

ビデオ監視システムと DVR システム

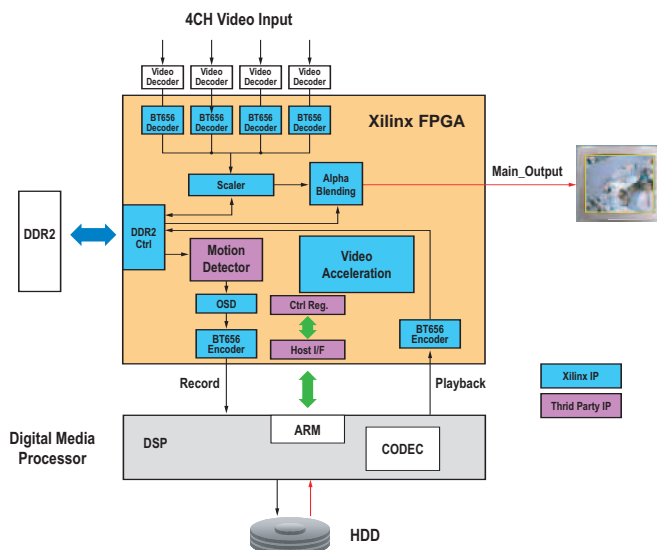
ビデオ監視システムのデジタル ビデオ レコーダ (DVR) に、先進のデジタル ビデオ圧縮技術が急速に採用されつつあります。ほとんどの DVR メーカーが MPEG4 から H.264 高品位 (HD) CODEC に移行するなか、解像度と圧縮レートの改善がますます求められています。ASSP (特定用途向け汎用 IC) は量産アプリケーションには適していますが、柔軟性に欠け、開発費が高く、開発期間も長くなりがちです。、たいていのデジタル メディア プロセッサは H.264 HD デコーディングをどうにか実行できる程度にすぎません。(H.264 HD エンコーディングにいたってはデコーディングよりさらに複雑です。) H.264 HD に求められるパフォーマンスを達成するための最善の方法は、FPGA と外部の DSP もしくはデジタル メディア プロセッサを併用することです。

低コストのザイリンクス FPGA を使えば、さらに一歩進んで、モーション検出やビデオ スケーリング、カラー スペース変換、ハードディスク インターフェイス、DDR2 メモリ インターフェイスを実現できる

だけでなく、DSP プロセッサにビデオ アクセラレーションを提供することで 2 つの 27MHz ITU-R BT656 データ ストリームを 1 つの 54MHz データ ストリームに時間多重化が可能です。2 つの ITU-R BT656 データ ストリームを 1 つの ITU-R BT656 データ ストリームに多重化することで、1 チャンネルのビデオ ポートを使って 2 チャンネルのビデオ データ全体を独立して転送できるのです。これは、1 個の ITU-R BT656 ビデオ入力ポートしか持たないデジタル メディア プロセッサとインターフェイスするのにとても便利です。図 1 は、このようなアーキテクチャのブロック ダイアグラムを示したものです。

1 個の ITU-R BT656 ビデオ入力ポートしか持たない Texas Instruments 社の DaVinci プロセッサを使う DVR デザインの

図 1 FPGA とデジタル メディア プロセッサを使用するビデオ監視システム



場合、DaVinci プロセッサに送る前に 2 つ以上の ITU-R BT656 データ ストリームを 1 つの VLYNQ データ ストリームに時間多重化すればさらに効率的にインプリメンテーションが可能です。このインプリメンテーションでは、より少ない I/O ピンでビデオ ストリームを転送できることから、より小さなパッケージ デバイスを使用でき、結果としてシステム コストを削減することが可能です。図 2 に、このデザインのブロック ダイアグラムを示します。

PC アドオン カードの DVR システム

PCI バスは、過去 10 年間にわたり PC に採用されてきました。しかしながら、今日の PC アドオン カード DVR システムは、PCI バスでは対応できないほど高いバンド幅を必要とします。プランキングを除去すると、非圧縮ビデオのデータは約 165Mbps です。したがって、PCI の総バンド幅が 1Gbps の場合、1 本の PCI バスで併用できる非圧縮ビデオのキャプチャもしくは再生デバイスは最高 6 台までに限られます。バス上のバンド幅を減らすためアドオン カードに MPEG4 CODEC チップセットを使う方法もありますが、コストが高くなるうえ、既存の MPEG4 チップセットに縛られることになります。

PCI Express 技術はスループットを大幅に

高めます。PCI Express はレーンに分かれており、各レーンはそれぞれ双方向の差動ペアからなり、方向ペア当たりのデータ スループットは 2Gbps です。マザーボード上の各 PCI Express スロットは、他のスロットと共有されない専用レーンを持ちます。各スロットは 16 レーン (x16)、8 レーン (x8)、4 レーン (x4)、もしくは 1 レーン (x1) でコンフィギュレーションできます。つまり、PCI Express では、それぞれのカードは 2Gbps (x1 レーン) から 32Gbps (x16 レーン) までのデータを提供できます。PCI Express のデータ スループットだと、PCI カードあたり 6 チャンネルの非圧縮ビデオという制約から解放されます。

図 1 と同じデザインを使い、デジタル メディア プロセッサを PC に置き換えて、PCI Express バスを通して PC にビデオ ストリームをスプールすることで、PC アドオン カード DVR システムを素早く簡単にインプリメントできます。ビデオ アナログ/デジタル コンバータは、4 つの独立した ITU-R BT656 ストリームを生成し、それらストリームを低コスト Spartan™-3 デバイスへ送り、プリプロセッシングを行います。ビデオ データは FPGA でブランクと同期を取り除かれ、PCI Express 用に適切にパケット化されてからザイリンクスの PCI Express コアへ送信されます。その後、ソフトウェア上で、入力ビデオを表示、処理、あるいはディスクに

保存します。図 3 に、PC アドオン カードビデオ監視システムのデザインを示します。

ザイリンクスのビデオおよび画像処理アルゴリズム

ザイリンクスの FPGA は、ポリフェーズビデオ スケーラから 2 次元 FIR フィルタ、オンスクリーン ディスプレイ、オーバーレイ、アルファ ブレンディングなどのシンプルエフェクト、フォーマットおよびカラー スペース変換にいたるまで、リアルタイムのデジタル ビデオ、画像処理、フィルタリングに理想的なプラットフォームです。表 1 は、Video IP Block Set の一般的なアプリケーション ノートです。

ザイリンクス FPGA は抜群の DSP 処理能力を誇り、1080p という非常に高い解像度をサポートできるため、大型 DSP アレイの数を減らすことが可能となります。ザイリンクスの FPGA はリプログラマブルハードウェアであるため、斬新かつ高性能なハードウェア ベースのビデオ/画像処理アルゴリズムを簡単に実験できることから、最終製品おける差別化へと直接つながります。

すぐに使える IP

ザイリンクスは、ビデオ監視システムにおけるビデオ/画像処理アルゴリズムを迅速にデ

図 2 FPGA と DaVinci プロセッサを使用するビデオ監視システム

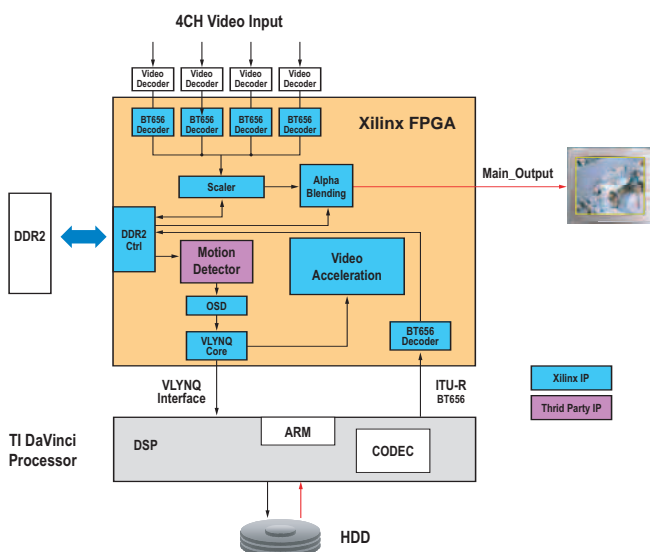
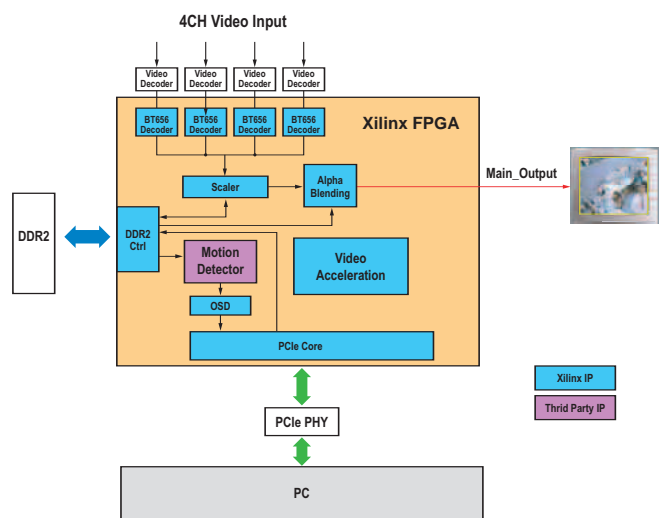


図 3 PC アドオン カード ビデオ監視システム



ザイン、シミュレート、インプリメント、検証できるように、Video IP Block Set を提供しています。Video IP Block Set には、DVR をデザインするための基本的なプリミティブと高度なアルゴリズムが用意されています。

さらに、ザイリンクスはパートナーと共に、高速なインプリメンテーションを必要とする設計者用の既製品コアから、より低いビットレートでより高いクオリティを実現することで製品を差別化したい設計者用のビルディングブロック リファレンス デザインとハードウェア プラットフォームにいたるまで、幅広い圧縮コーディング、デコーディング、コーデック ソリューションを提供しています。

特定のコーデック ブロックにおける極めて集中的な処理にザイリンクスの FPGA を使用することで、マルチチャネルの HD コーディングをサポートし、貴重なシステムプロセッサ サイクルを節約し、DSP プロセッサ アレイを削減もしくは除去することでコストを大幅に低減します。また、インターフェイスから追加のビデオ処理にいたるまで、システムにより多くの機能や特長を容易に統合でき、加えて、FPGA はスケーラブルなソリューションを提供するため、同じシステムで異なるプロファイルや追加のチャネル、あるいは新しいコーデック スキームをサポートできるのです。

さらにザイリンクスの FPGA は、システムロジックを併合して新しいペリフェラルをインプリメントすることで DVR システムのコストをいっそう削減できます。また、ザイリンクスはパートナーと共に、先進のビデオインターフェイス、PCI Express、Texas Instruments 社の VLYNQ と EMIF インターフェイス、ハードディスク インターフェイス、ITU-R BT656 インターフェイスなど、ビデオ監視システムを短期間で開発するためのさまざまなシステム インターフェイスも提供しています。

ザイリンクスのツールで デザインを簡単に

ザイリンクスの System Generator for DSP により、Video IP Block Set を用いて Simulink で高性能 DVR システムを構築、デ

表 1 Video IP Block Set アプリケーション ノート

機 能	アプリケーションノート
Polyphase Video Scaler	XAPP929
Color Space Converter RGB2YCbCr	XAPP930
Color Space Converter YCbCr2RGB	XAPP931
Chroma Resampler	XAPP932
2D FIR	XAPP933
2D Rank Order Filter	XAPP953

バッグできます。ビデオ処理アルゴリズムを開発、インプリメントするために System Generator for DSP を使うことで、完全に検証され容易に実行可能なデザインを実現できます。

ザイリンクスは、新たにさまざまなプリテスト済みの Video IP Block Set を開発しました。これを使用することにより、System Generator for DSP 内でブロックをドラッグ & ドロップするだけでビデオ/画像処理システムを簡単に構築できます。これは、HDL を使って基本的なビルディング ブロックをコーディングするより、大幅な時間の節約となります。

開発ボードから PC への膨大なビデオデータ ストリームに対応するため、System Generator for DSP は、イーサネット インターフェイスを通して行うもう 1 つの革新的な高速ハードウェア協調シミュレーション手法を導入しています。このインターフェイスは低レイテンシでの高スループットを可能にし、System Generator for DSP 環境でビデオ/画像処理システムを構築する際にきわめて効果的であることが実証済みです。

MATLAB 言語をベースとするザイリンクスのもう 1 つのデザイン ツール、AccelDSP 合成ツールは、ザイリンクスの FPGA 向けに DSP ブロックをデザインするための高水準な MATLAB 言語ベースのツールです。このツールは浮動小数点から固定小数点への変換を自動化し、合成可能な VHDL または Verilog を生成し、検証のためのテスト ベンチを作成します。MATLAB アルゴリズムから固定小数点の C++ モデルや System Generator ブロックを生成することも可能です。AccelDSP は、最先端の

FPGA、設計ツール、IP コア、パートナーシップ、そしてデザインおよび教育サービスを組み合わせたザイリンクス XtremeDSP™ ソリューションの重要なコンポーネントです。

結論

ビデオ監視システムでは、ビデオ信号は複数のカメラにより生成されます。FPGA はビデオ デコーダから ITU-R BT656 フォーマットでデジタル ビデオを受信し、処理済みのビデオを表示するためにモニターに出力すると共に圧縮やハードディスクへの格納のためにデジタル メディア プロセッサや DSP に出力します。

ザイリンクスの FPGA を使うことにより、標準に準拠するシステムを競合他社の製品から差別化しつつ、アプリケーションに応じた最適なバランスで達成できます。また、ザイリンクスの Video IP Block Set により、ローエンドとハイエンド両方の市場に向けて柔軟性と拡張性の非常に高い DVR システムを簡単に構築できます。PCI Express コアを Video IP Block Set と統合することで、低コストな PC アドオン カード ビデオ監視システムの開発も可能となります。また、ザイリンクス FPGA に用意されている VLYNQ コアにより、ザイリンクスの FPGA を通して、複数のカメラから Texas Instrument 社の DaVinci プロセッサに多数のビデオ ストリームとの接続を簡単に行うことができるのです。

ザイリンクスの System Generator for DSP に AccelChip を統合したことにより、アルゴリズム開発者が好む MATLAB ベースのアルゴリズム合成は、システム設計者やハードウェア設計者の間で使われているグラフィカルなデザイン フローと連携します。これは複雑な DSP アルゴリズムからなる System Generator IP ブロックを作成するために、MATLAB 言語とそれに付属する豊富なツール ボックスを使います。これらのツールを組み合わせることで、設計チームはインプリメントするハードウェアをモデル化するための最も効率的な方法を使いながら、FPGA デザイン プロセスにアルゴリズムの開発を完全に取り込んでより高品質なデザインをより迅速に作成できるのです。

Develop Imaging Systems with the Right Mix of Technology 技術の最適な組み合わせによる 画像処理システムの開発

画像処理用開発システム SMT339 による DSP と FPGA の連携

Justin Wheatley

Systems Manager

Sundance Multiprocessor Technology Limited

justin.wheatley@sundance.com

画像処理アプリケーションでは、1つのアプリケーションで多数のプロセスを同時に実行することが求められます。そこで多くの場合、複数の DSP を用いて処理能力を高め、大きなサイズの FPGA に数多くのファンクションを盛り込んでデザインされます。しかし、これは、手間やコスト、効率を考えると、かならずしも最善のアプローチとは言えません。オブジェクト認識などの高水準な画像処理アルゴリズムは、最近の高速な画像処理 DSP に最適ですが、FFT やエッジエンハンスメント（輪郭補正）、あるいは MPEG-4 エンコーディングなどは、並列処理利用する大型かつ高速の FPGA で処理するのが適します。

最良の解決策はこの2つのテクノロジーを併用することですが（Xcell Journal 58号英語版の記事「The Benefits of FPGA Coprocessing」を参照）、DSP と FPGA のデザインはまったくの別物であり、設計手法からスキル、ツール、そして担当する人々までまったく異なります。こうした違いは、共同でデザインするうえで円滑な進行の妨げとなります。このため、両方のテクノロジーを併用するという考えは、いずれか一方のみを専門とするエンジニアにとっては受け入れがたいでしょうし、どちらにも精通しない人にとっては特に不可解でしょう。また、1つのテクノロジーだけを利用する場合とは異な



り、ハードウェアの統合にも膨大な手間がかかります。

本稿で解説する Sundance 社の SMT 339 は、小型で柔軟、拡張性に優れたユニットに卓越した画像処理アプリケーションを実現できるように設計された、画像処理ソリューションのためのパワフルな開発システムです。SMT339 の代表的な機能としては、ビデオ画像の中で動いている人物をハイライト表示する追跡システムなどの画像処理機能があります。

設計者の期待に応えるパフォーマンス

図 1 は SMT339 のハードウェアです。

図 1 画像処理モジュールのハードウェア ダイアグラム (SMT339)

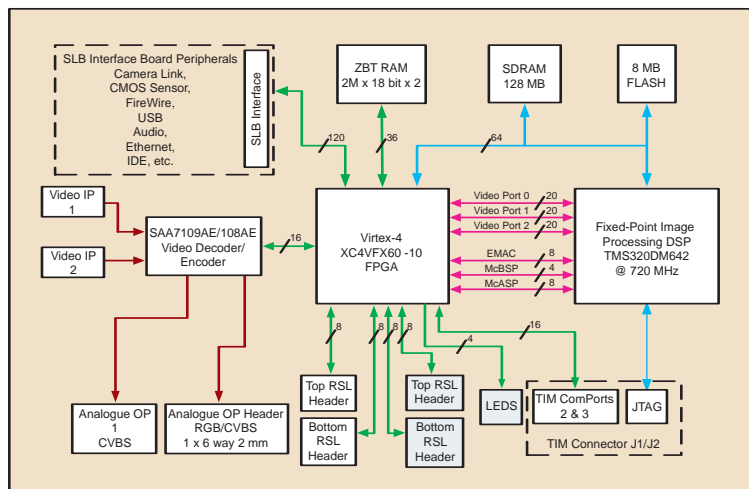
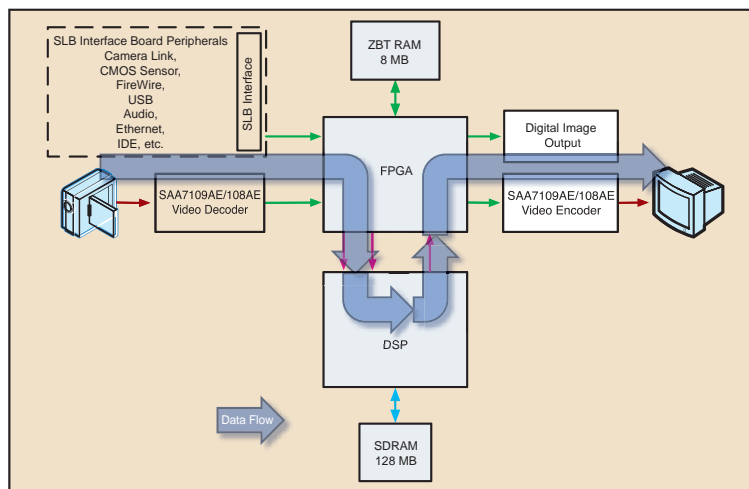


図 2 人物追跡システムのデータフロー ダイアグラム



プリプロセスできます。

FPGA は、FPGA で実行されるさまざまなプリプロセッシングとポストプロセッシング ファンクションのフレーム ストアに理想的な 2 個の独立した 8MB ZBTRAM バンクを持ちます。

DSP は、Texas Instruments 社の TMS320DM642 ビデオ デジタル信号プロセッサです。この DSP は、C64x DSP レンジと完全にソフトウェア互換である Texas Instruments 社の Code Composer Studio を用いてプログラミングできます。クロック周波数 720MHz で 5.76GMAC/秒を達成でき、3 つの双方向ビデオ ポートにより FPGA にリンクされる他、コントロールとその他のデータ用に追加のポートもあります。図に示されている配線はどれも FPGA にすでにインプリメントされているため、アプリケーションに応じて必要なファンクションを自由にインプリメントするだけで使用できます。また、DSP は 128MB の高速 SDRAM を備えています。この 64 ビット幅のメモリには、DSP とプログラム/データ スペース用のイメージバッファがあります。

FPGA からビデオ エンコーダへは出力が可能で、未処理、一部処理、もしくは完全処理のライブ イメージをモニターに直接表示することができ、アルゴリズムの開発時に大変便利です。デジタル出力は、Sundance LVDS パス (SLB) インターフェイスに接続されている所定の I/O ドータボード、もしくは高速シリアル リンクから得られ、他のモジュールとの相互接続は 4 本の Sundance ロケット シリアル リンク (RSL) の形でザイリンクスの 16 本の RocketIO™ チャンネルによって提供されていることから、システムは極めて高い拡張性を持ちます。

比類ない優れた機能

図 2 は、人物追跡の画像処理システム用にコンフィギュレーションした場合に、画像データがハードウェア リソースをどのように流れるかを示したものです

ビデオはビデオ デコーダによりキャプチ

ャされ、FPGA に送り込まれます。デコーダは、PAL/NTSC CVBS または別の YC からのさまざまな入力フォーマットに対応します。また、ドータボードのデジタル インターフェイス モジュールを通してデジタル ビデオを入力することも可能です。

FPGA はイメージ バッファとして、ZBT RAM バンクの 1 つを使って着信ビデオ ストリームをプリプロセスします。スローモーションのリファレンス イメージは、各ピクセルをフレーム当たり 1 ビットずつ現在のイメージの値に繰り返すことで維持されます。差分画像は現在のイメージとリファレンス イメージと比較することで計算されます。

大型でパワフルな FPGA を搭載するこのシステムの利点として、空間フィルタ、エッジ エンハンスメント フィルタ、ヒストグラム ファンクションといった各種プリプロセッサを簡単に試し、システムのライブ出力で結果をすぐに見ることができます。

計算された差分画像は、現在の画像と一緒に DSP に送信されて解析されます。DSP は差分画像に検出アルゴリズムを実行し、シルエットを抽出して画像の動いている部分で人物の特徴的な形状を探します。ここから、表示領域に検出された人物について次のようなさまざまな属性を計算します。

- ・ その人物を取り囲む対象領域の四隅の座標
- ・ 中心点（その領域の四隅の中央ポイントとして計算）
- ・ 求心点（シルエットの領域の中央を基点とする）
- ・ 輪郭全体の座標（シーンのバイナリ オーバレイ画像として返されることがある）

次に、FPGA はこの情報をポストプロセスし、それをソース画像と再び組み合わせます。たとえば、人物の周囲に輪郭を重ね、色を変更したり、他の操作を実行したりできます。

計算結果は図 3 に示すようにライブ ビデオ出力で見ることができますが、ドータボードや他のインターフェイスを通してデジタル ビデオ システムに転送したり、これらシステムにログ、あるいは表示したりできます。

ソフトウェアのサポートの役割

DSP エンジニアのなかには、原理として素晴らしいことは納得できても、実際に連携させるにはどのようなコツがあるのか、疑問に思う方もいるでしょう。幸いなことに SMT339 は、Sundance 社の多くのモジュールと同様、包括的な開発ツール環境にサポートされており、このような問題を解消します。

混合プロセッサ システムに対するアプリケーション開発全体を単純化するには、多くの VHDL コアと DSP ライブラリ モジュール以外に、コヒーレントなソフトウェア モデルが必要です。3L Limited 社の Diamond は、マルチプロセッサ システムをチャンネル経由で通信する多数の独立したタスクとして記述することが可能です。これらのタスクが DSP と FPGA のどちらで実行されるにせよ、相互接続とプログラミングは Diamond により管理されるため、設計者はアプリケーションに専念できます。

Diamond は、エンジニアのタスクを Sundance 社の標準的なファームウェアに自動的に追加することで、Sundance DSP TIM 上で FPGA を使用します。これらのタスクは VHDL もしくはザイリンクスの System Generator for DSP などのツールで作成されるか、標準的なネットリスト ファイルを利用して、システムにプロプライエタリなコアを取り込んで標準コアおよびユーザー開発コアと混在させることができます。

Diamond は、タスクが他のタスクとやり取りできるように自動的にロジックを追加し、その後ザイリンクスの標準的なツールを用いて FPGA ビットストリームを作成します。

このテクニックではハードウェアに独立性を確保できるため、コードをいっさい変更せずに基礎となるハードウェアに大

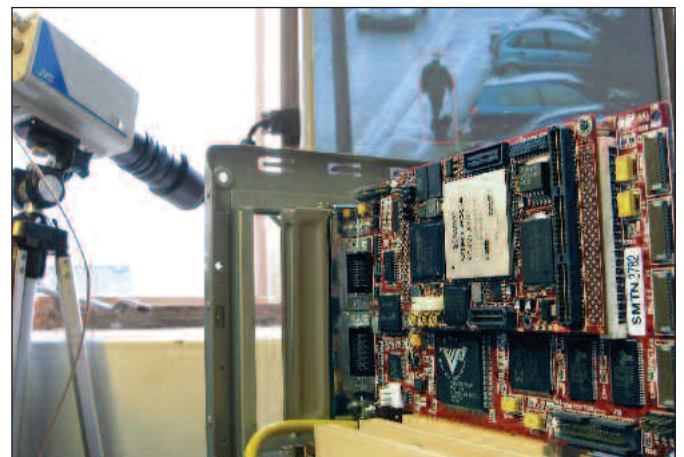
規模な変更を加えることができます。膨大なリコンパイル作業に手間をかけることなく、必要に応じて、DSP や FPGA を追加することでハードウェアを拡張できます。別の DSP にタスクのポジションを変えることは、1 つのテキスト ファイルをほんの少し変えるだけで済みます。したがって、より多くの処理能力が必要になった際その都度追加すればよいため、現在進めている開発に支障をきたすことはありません。アクセラレーションのためにタスクを DSP から FPGA に移す必要がある場合でも、周囲のファンクションが影響を受けることはありません。

結論

FPGA と DSP それぞれの長所を組み合わせるとい難い技術は、デリケートな統合が既に済んでいるスケーラブルなシステムを利用することで単純化できます。包括的なソフトウェア環境によってサポートされていることから、そのような複雑なハードウェアでもニーズに応じて適応させることができ、全体的な処理能力を目的のアプリケーションに合わせて微調整できるのです。ソリューションの開発後はモジュール型のアプローチを使い既製のモジュールから実稼動システムを効率的に構築できます。

FPGA および DSP システムの構築についての詳細は、<http://www.sundance.com> をご覧ください。

図 3 単純なシステムに採用した Sundance SMT339



Building a 3-Gbps eSATA/SATA Hardware RAID 5 Solution

3Gbps eSATA/SATA ベース RAID 5 ソリューションの構築

革新的 RAID ストレージを提供する
ザイリンクス FPGA

Paul Chu

Director of Product Marketing
Accusys, Inc.
paulchu@accusys.com.tw

Jason Lin

Hardware Design Manager
Accusys, Inc.
jasonl@accusys.com.tw

Cliff Tsai

Senior Field Application Engineer
Xilinx Taiwan Pte. Ltd.
cliff.tsai@xilinx.com

RAID (独立ディスクの冗長アレイ) 技術は、データの保護やシステムの可用性の向上、システム性能の改善を目的に、ハード ディスク搭載のシステムに広く採用されてきました。Accusys 社は、低価格で高性能な ATA ハードウェア RAID 5 ソリューションなど、多彩な RAID 製品を送り出してきました。

Accusys 社は、3Gbps SATA2 規格をサポートする次世代の eSATA RAID 製品を開発するにあたり、ザイリンクスの Virtex™-4 FX FPGA を用いて eSATA ホスト インターフェイス コントローラと RAID エンジンを実装しました。本稿では、3Gbps eSATA RAID ソリューションの利点と Virtex-4 FX FPGA の役割について説明します。

RAID の基本

RAID のアルゴリズムにはさまざまな種類があり、それに応じて性能、信頼性、容量が異なります。RAID 0 は、複数のディスクドライブにデータを同時に分散することで I/O 性能を改善すると共に、単一ディスクドライブより大容量です。しかし、RAID 内のディスクドライブがどれか 1 つでも故障すると、データが失われてしまいます。データを保護するには、元のデータを再生する必要がある場合に備えて、そのデータに関連する追加情報を格納する必要があります。

RAID 1 はデータを 2 つのディスクドライブに同時に格納するため、一方のディスクドライブが故障してもデータは保たれます。ただし、この場合は 2 倍の記憶容量が必要になるため、非常に高価です。RAID 5 は、他にディスクドライブがいくつあろうと、データを保護するには 1 つのディスクドライブの容量で済むため、最も費用対効果に優れたソリューションです。また、データが RAID 0 のように複数のディスクドライブに分散されるた

め、パフォーマンス面でも優れています。このため、現在利用されているストレージ システムのほとんどは RAID 5 を採用しています。

ハードウェア RAID の利点

RAID 処理は、ホスト コンピュータで動作しているソフトウェア (ソフトウェア RAID)、もしくは専用の RAID プロセッサ (ハードウェア RAID) によって実行されます。とはいえ、ほとんどの基幹システムやヘビーデューティなアプリケーションには、ホスト コンピュータで膨大なリソースを費やすソフトウェア RAID より、最適化されたハードウェア RAID が適しています。また、ハードウェア RAID のほうがディスクドライブのデータを短時間で再生でき、そのぶん RAID を高速に正常な状態に回復できるため、信頼性にも優れています。このような理由から、現在主流の RAID 製品はすべてハードウェア RAID をベースにインプリメントされています。

高速、低価格の eSATA

RAID ソリューションの特徴の 1 つとして、ホスト コンピュータが RAID ストレージにアクセスするためのホスト インターフェイスがあります。一般に使われているホスト インターフェイスは、ファイバ チャネルのような RAID カードと SCSI ファミリの接続用、もしくは RAID システム向けシリアル接続 SCSI 用の PCI-X と PCI Express です。これら 2 種類のインターフェイスは高性能ではあるものの、インストール手順が複雑なため、IT に詳しくないユーザーでは RAID ソリューションを使用するのは困難です。一方、eSATA インターフェイスは外部記憶装置を簡単に接続できることから、デスクトップコンピュータで人気を得ています。

eSATA は 3Gbps の高速シリアル接続を実現しており、マルチタスク アプリケーションやマルチストリーム画像処理を最適化するためのネイティブ コマンド キューイング (NCQ) をサポートします。さらに、eSATA デバイスにアクセスするために追加のドライバやアドオン カードをインストールする必要

がないため、コストが安く使い勝手も向上します。このため、ホスト インターフェイスとして eSATA を使う RAID 記憶装置は、パフォーマンスと使い勝手の点から優れたソリューションと言えます。

従来の技術

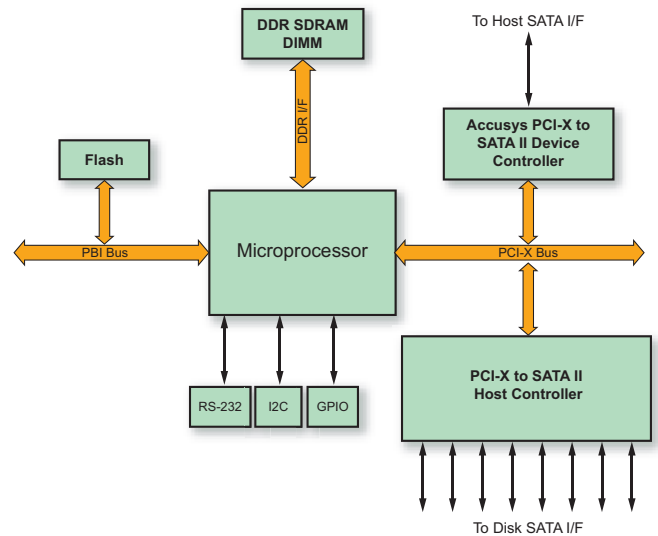
現在市販されているほとんどの eSATA RAID 製品は、ハードウェア RAID 5 をサポートしてないため、アプリケーションの分野が大きく限られています。これら製品にインプリメントされている RAID は SATA ポート マルチプライヤから派生したもので、パケットを送信し、RAID 0 や RAID 1 といった基本的な RAID レベルのみをサポートします。RAID 0 は画像編集などの高性能アプリケーションには有用ですが、ユーザーが定期的にバックアップする必要があるうえ、セクタ不良やドライブのクラッシュによる突然のデータ消失という心配もあります。RAID 1 ではデータは保護されますが、膨大な容量が無駄になるうえ、パフォーマンス上の利点もありません。

現在出回っている他の eSATA RAID ソリューションと異なり、オンチップの「Accusys ACS-76000 RAID」システムはハードウェア RAID 5 を提供します。しかし、そのパフォーマンスは 1.5Gbps SATA1 スピードにより制限されています。高品位なメディア コンテンツや他のアプリケーションが一般化すれば、より高性能なソリューションが必要になるでしょう。

インプリメンテーションの概要

高性能化に向けて最初に必要なのは、ストレージのインターフェイスを SATA1 から SATA2 にアップグレードし、3Gbps をサポートすると共に NCQ をサポートできるようにすることです。第 2 の要件は、プロセッサ

図 1 SATA2-SATA2 RAID コントローラのブロックダイアグラム



に接続するための高性能な標準バスを用意することです。Accusys 社は、高性能なエンベデッドシステムに一般に使われているという理由から PCI-X を選択しました。最後に、ハードウェア RAID 5 の処理をサポートするには、パリティを計算してデータを再生するため排他的論理和 (XOR) エンジンが必要です。図 1 に、SATA2-SATA2 RAID コントローラ ボードのブロック ダイアグラムを示します。

Accusys 社は、3Gbps SATA ホスト インターフェイスをインプリメントするためのマルチギガビット シリアル I/O を備えていることと、MGT ハード コアのデジタル パラレル バス インターフェイスに接続するための SATA デバイス モード コントローラ ロジックをサポートしているという理由から、ザイリンクスの Virtex-4 FX FPGA を選択しました。また、FPGA に 64 ビット/133MHz の PCI-X コントローラと XOR コントローラをインプリメントしました。PCI-X ベースの外部プロセッサは SATA ホストからのコマンドを解析し、ステータスを返すことができます。また、XOR コントローラは、PCI-X バスでソース メモリ データを直接読み込んで RAID 5 エンコーディングのために XOR データを計算できます。これらタスクは、すべてプロセッサが介入することなく行われます。FPGA のブロック ダイアグラムについては図 2 をご覧ください。

3Gbps eSATA のインプリメンテーション

SATA コントローラには、トランスポート層、リンク層、物理層 (PHY) という 3 種類の層が定義されています。

1. トランスポート層

SATA のコマンド実行とデータ転送は、ATA レジスタやディスク データを含むフレーム情報構造 (FIS) をやり取りすることで行われます。トランスポート層は PCI-X バスから伝送する FIS を形成し、受信した FIS を分解して PCI-X バスに送信します。つまり、トランスポート層はリンク層と上位のアプリケーション層の間に位置するインターフェイスであり、Accusys 社のデザインでは PCI-X バスです。

2. リンク層

リンク層はパケット フレーミング、8b/10b のエンコーディングとデコーディング、CRC コードの生成とチェックを行う層です。リンク層はまた、フロー制御を扱い、バースト転送を処理するため必要に応じてデータをバッファリングしプリミティブをやり取りします。Virtex-4 FX デバイスのマルチギガビット トランシーバ

(MGT) には、8b/10b のエンコーダとデコーダ、および CDC-32 生成回路が組み込まれており、SATA のリンク層を構築するうえで非常に便利です。

3. 物理層

Virtex-4 FX FPGA の 6.5Gbps RocketIO™ トランシーバは、ホスト PHY からの受信データのデシリアライゼーションと、リンク層からの発信 10b エンコード データのシリアライゼーションを行う、SATA 物理層の基本的なビルディング ブロックを提供します。また、物理層は SATA ホストとデバイス間の接続を開始するための アウトオブバンド (OOB) 信号をサポートします。外部の 3Gbps SATA2 をサポートするには、SATA 物理層のインプリメンテーションに Gen2m 電気仕様が必要です。

PCI-X バスのインプリメンテーション

PCI-X コントローラには、64ビット/133MHz PCI-X デバイスのマスタおよびターゲット ファンクションの両方があります。このコントローラは、SATA トランスポート層からと、スプリット トランザクション フロー

を処理するための PCI-X バスからのデータを格納するバッファ RAM を備えています。さらに、PCI-X マスタをより柔軟に制御できるようエンベデッド PCI-X アービタもインプリメントされています。DMA コントローラは、SATA トランスポート層からの FIS と PCI-X バス間で効率的な双方向のデータ転送を行うことから、このデザインで重要な役

割を果たします。これにより、大容量のデータ転送が大幅に高速化されます。

XOR コントローラのインプリメンテーション

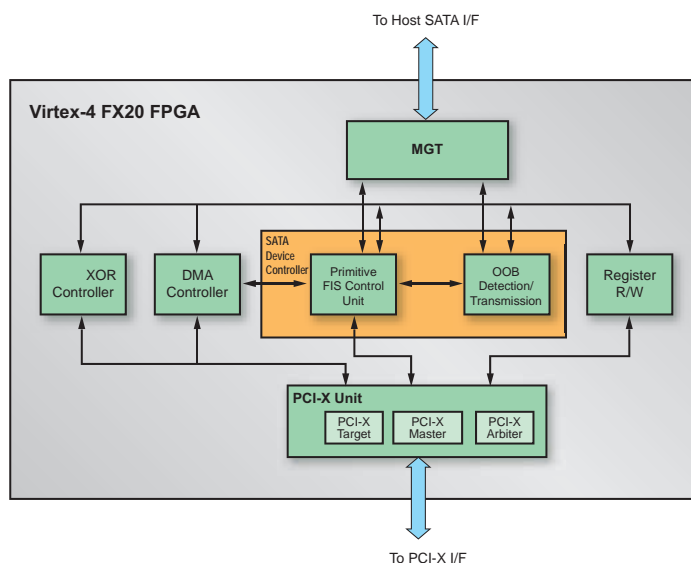
画像の編集や記録などのアプリケーションでは、低い I/O レイテンシと高スループットという厳しい条件を満たすため、XOR を効率的に計算することが不可欠です。XOR コントローラは 256 のデータ ソースと 128 のチェーン コマンドを持ち、それぞれ 64KB のパリティ データを計算できます。FPGA に XOR コントローラをインプリメントしたことで、プロセッサとメモリ バンド幅は、エンタリあたり 64KB で、128 のチェーン コマンドを用いて 256 のソースに日常的に延々と XOR 計算を実行することから解放されるのです。

結論

3Gbps eSATA ハードウェア RAID は、高性能、低価格、使いやすさという利点を併せ持っています。eSATA ポートを搭載するコンピュータとエンベデッド システムが増えつつある今、eSATA RAID 製品は高性能、高信頼性を求めるユーザーにとって重要な外付け RAID ソリューションです。Accusys 社は、デジタル クロック マネージャや、デュアルポート ブロック RAM に代表される使いやすいビルディング ブロックなど、Virtex-4 FX FPGA の先進機能を活用することで、3Gbps eSATA RAID システムに対する主要コンポーネントを素早く効率的に開発できました。

ザイリンクスの Virtex-4 FX FPGA をベースとする製品の開発に成功したことで、Accusys 社は画像編集やワークグループ共有型ストレージなどのハイエンドアプリケーションから、DVR のバックアップや家庭用ストレージといったエンタリレベルのアプリケーションにいたるまで、幅広い eSATA RAID 製品を提供しています。RAID とストレージ技術の詳細は、Accusys 社の Web サイト、<http://www.accusys.com.tw> をご覧ください。

図 2 3Gbps eSATA RAID エンジンのブロック ダイアグラム



Implementing a Real-Time Beamformer on an FPGA Platform

FPGA プラットフォームでリアルタイムなビームフォーミングを実現

ザイリンクス System Generator for DSP
を使った QRD ベースの
ビームフォーミングの設計

Chris Dick

Xilinx Chief DSP Architect
Xilinx, Inc.
chris.dick@xilinx.com

Fred Harris

Professor
San Diego State University
fred.harris@sdsu.edu

Miroslav Pajic

Engineer
Signum Concepts
miroslav.pajic@signumconcepts.com

Dragan Vuletic

Engineer
Signum Concepts
dragan.vuletic@signumconcepts.com

ほとんどの通信システムは、複数の処理要素を併せ持っています。たとえば、アプリケーション プログラム、マン/マシン インターフェイスの管理、上位ネットワーク プロトコル スタックの処理は、汎用プロセッサにインプリメントするのがベストです。

しかし一般には、厳密なリアルタイム性が求められ、かつアルゴリズムが複雑なデータ処理については、FPGA などのハードウェア リソースが適しています。両者をつなぐインターフェイスは状況により異なります。FPGA は、プリプロセッサ、コプロセッサ、ポストプロセッサのどれか 1 つ、あるいは任意の組み合わせを選択できます。重要なのは、これら異種システムをスムーズに連携させることです。

本稿では、ソフトウェアを通して容易にコントロールできる、柔軟で最適化されたアダプティブ (適応型) ビームフォーミング エンジンの開発について説明します。DSP 集約型のタスクを FPGA で走らせ、またコマンドとコントロールを外部プロセッサで走行させます。ビームフォーミング エンジンは、斬新な構造を持つコンパクトな QR 分解 (QRD ベースの回路) です。エンジンとホスト プロセッサ間のインターフェイスは、ザイリンクスの System Generator for DSP デザイン フローにおいて共有メモリを抽象化することでインプリメントされています。

MVDR ビームフォーミング

アダプティブ ビームフォーミングは、アダ

図 1 アダプティブ ビームフォーミングの構造

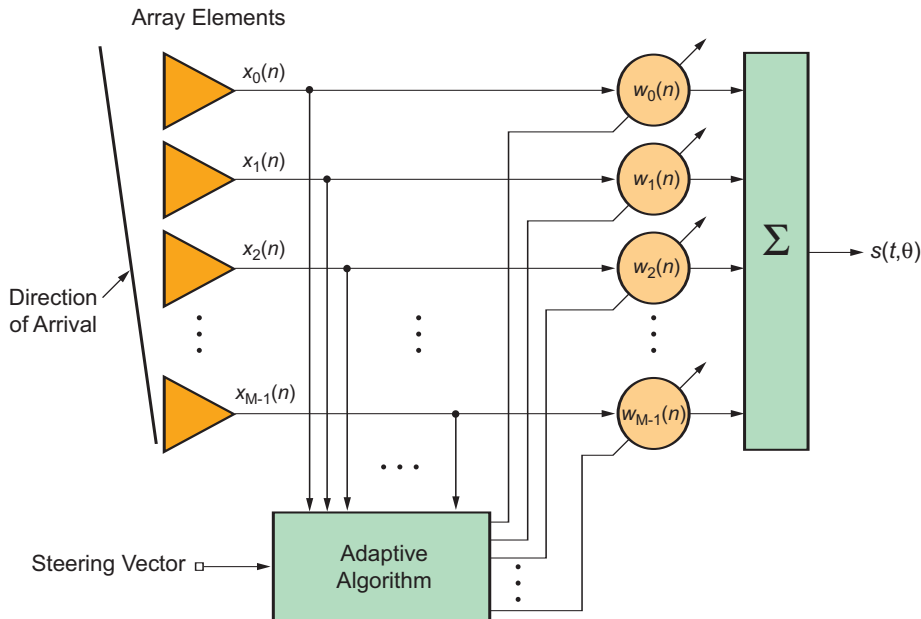
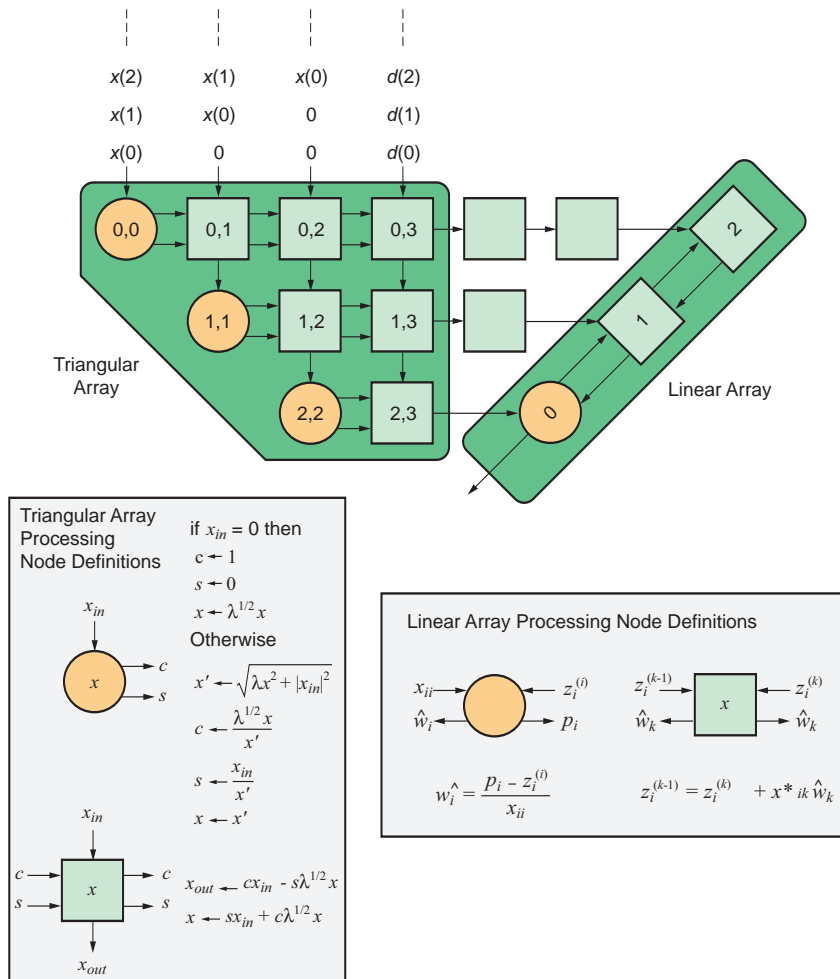


図 2 3 X 3 アレイに対する QRD 行列転置のシストリック アレイ インプリメンテーション



プティブ フィルタを空間信号処理に応用したものです。等間隔のアレイ素子から収集した時系列の加重和を求めることで、選択した到達方向からのシグナル コンポーネントを形成し、それ以外の到達方向からのシグナル コンポーネントを抑止します (図 1)。不要なシグナル コンポーネントの到達方向が未知、もしくは時間に伴って変化する場合、それらの方向に Null を向けるためフィルタ加重をアダプティブに調節する必要があります。この適応プロセスは、ステアリング ベクトルは信号方向にユニティ ゲインを持つという制約に従って実行されます。こうしたビームフォーミングの安定状態加重は、アレイ素子から MVDR (Minimum Variance Distortionless Response) を形成します。

数値の堅牢性と計算の複雑さという理由から、相関行列を直接転置しないで必要な加重ベクトルを計算するための一般的な方法は、QR分解に基づきます。ここで採用したのはこの手法です。手順の詳細は、「Adaptive Filter Theory」(Simon Haykin 著)をご覧ください。

QRD 行列転置プロセス

QRD プロセスは、複素入力データを実データに変換するユニタリ回転と、入力データ セットの選択要素を個別に無効化する角度/要素コンバイナという 2 つの演算子のシーケンスにより形成されます。図 2 のシグナル フローは、QRD プロセスを最もコンパクトに表現したダイアグラムです。この図は、QRD 最小二乗法プロセッサでシストリック アレイを実現したものです。

アレイには、境界セル、内部セル、出力セルの 3 種類の処理セルがあります。境界セルは複素入力サンプルに「ベクトル化」演算を実行し、架空部分を無効化して内部セルによって使われる回転角を形成します。内部セルは入力値を境界セルから渡された角度だけギブンス (Givens) 回転させることで、変換後のデータ行列の非上三角項目を無効化します。線形アレイ内の出力セルは、ビームフォーミングの加重を生成する後退代入を実行するため、上三角アレイの素子処理します。

QRD の FPGA インプリメンテーション

このインプリメンテーションの目標は、コンパクトな QRD FPGA インプリメンテーションを生成することです。このデザインは 1 個の境界セル、内部セル、後退代入セルからなります。この処理リソース セットには図 2 のシストリック アレイがたたみ込まれています。2 つの角度を計算するために境界セルが必要です。最初の角度は次のようになります。

$$\Phi = \arctan(\Im(x_m)/\Re(x_m))$$

これは、境界セルの入力ポートに送られた複素入力サンプルを実値データに変換します。この境界セルに関連する同じ列内のすべての要素に架空コンポーネント x_m を強制的に 0 にする変換を適用する必要があり、この演算は内部セルにより実行されるタスクの 1 つです。

これで 2 つの隣接する列の先頭にあるデータが実値になったため、次の式で 2 番目の角度を求めます。

$$\Theta = \arctan(x_m e^{j\Phi}/x)$$

この角度は入力データ セットの項を順番に無効化するために使用され、最終的に右上三角行列 R を生成します。境界セルに採用されている算式は、図 2 の等式をそのままインプリメントすることでハードウェア内に実現できます。これには、平方根と除算を実行するためハードウェアのサポートを必要とします。これらの回路は一般に FPGA ハードウェアにインプリメントされますが、私たちは必要な角度を計算するうえで、直接的なインプリメンテーションよりリソース コストを安く抑えられる代替方法を探しました。

角度を計算するための比較的シンプルな方法として、座標回転デジタル コンピュータ (CORDIC) アルゴリズムのベクタリングモードが有名です。CORDIC アルゴリズムは、多彩な数学関数を計算できる反復的なプロセスです。CORDIC アルゴリズムに必要な要素演算は、加算、減算、ビット シフト、テーブル ルックアップです。これらの関数

はすべてザイリンクスの Virtex™ シリーズなどの FPGA アーキテクチャにより効率的にサポートされるため、アルゴリズムのベクタリング モードは QRD プロセッサの境界セルの基礎として良い候補となります。図 3 に示すとおり、境界セルには 2 つの CORDIC エンジンが使われています。1 つは Φ を計算するため、もう 1 つは Θ を計算するためのエンジンです。

CORDIC アルゴリズムは反復的性質を持ち、反復のたびに角度の推計を約 1 ビット精度ずつ改善していきます。N 回反復する CORDIC プロセスを採用したプロセスでは、N クロック サイクルごとに新しい出力が生成され、また N クロック サイクルごとに新しいオペランド セットが用意されます。境

界セルのスループットを高めるため、ここでは CORDIC に完全にパラレル、もしくはアンロールされたアーキテクチャを採用しています (図では示されていません)。回路の初期始動時のレイテンシが吸収された後、セルの開始および完了レートはクロック サイクルあたり 1 つの新しい入力/出力です。

列 m の内部セル (図 4) に入る各データ要素 x_m は、 m^{th} 列に対して境界セルによって計算された角度 Φ 回転する必要があります。

$$\begin{pmatrix} \Re(v) \\ \Im(v) \end{pmatrix} = \begin{pmatrix} \cos(\phi) & -\sin(\theta) \\ \sin(\phi) & \cos(\theta) \end{pmatrix} \begin{pmatrix} \Re(x_m) \\ \Im(x_m) \end{pmatrix}$$

QRD プロセッサにおける回転タスクに

図 3 2 ベクトル モード CORDIC 処理エンジンをベースとする境界セルのアーキテクチャ

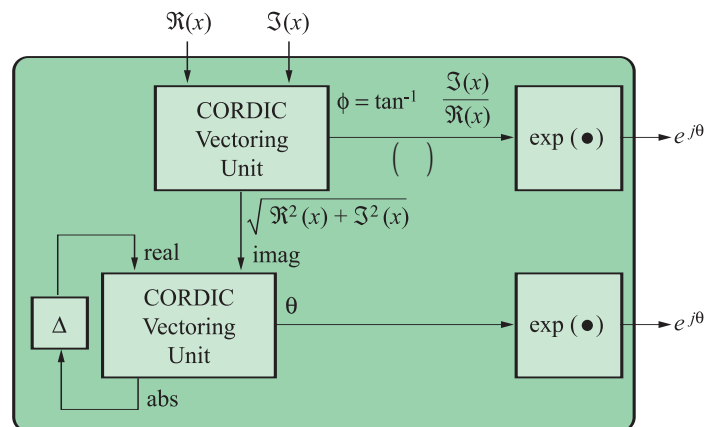
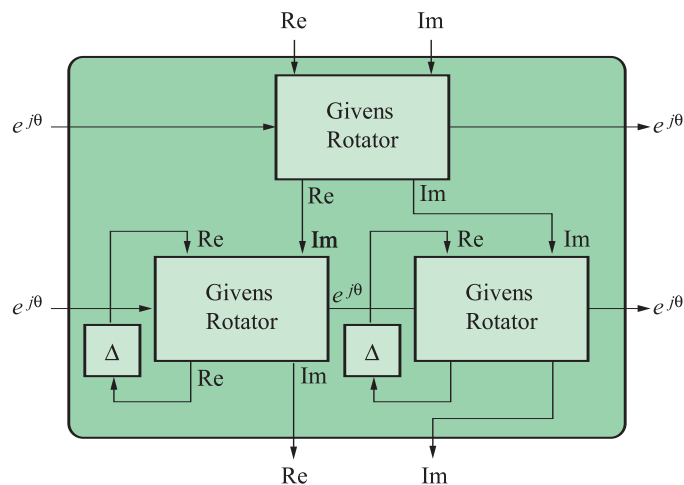


図 4 3 つの MAC ベース ギブンス回転エンジンを採用したシストリック アレイの内部セル アーキテクチャ



一般に使われてきたオプションとして、CORDIC アルゴリズムの回転モードがあります。また、他の手法として積和（MAC）関数ユニットを使って回転を明示的にインプリメントする方法もありますが、今回のインプリメンテーションではこのアプローチを採用しています。このデザインに対するターゲット FPGA テクノロジは Virtex-4 FPGA です。このデバイスには、DSP48 スライスというエンベデッド MAC ユニットの膨大なアレイがあります。

DSP48 スライスは、特定のクロック サイクル中にタイルによって計算される算術演算を変更できる、クロック サイクルごとでアップデート可能な多数の opcode をサポートします。先ほどの等式に示した 4 つの乗算は、一対の DSP48 スライスにたたみ込まれ、各 DSP48 スライスは 2 つの出力項

$\Re(u)$ と $\Im(u)$ のうち 1 つを計算します。2 つの出力項を計算するには 2 つのクロック サイクルが必要です。各 DSP には各クロック ピリオド用に固有の opcode が与えられています。 $\Re(u)$ 項を計算する場合を考えてみましょう。最初のクロック ピリオド中、 $\cos(\Phi)$ $\Re(x_n)$ の積が計算され、DSP48 の積を意味する p レジスタに格納されます。

2 番目のクロック サイクル中には $\sin(\Phi)$ $\Im(x_n)$ が求められ、最終的な出力項を生成するため p レジスタの値から減算されます。 $\Im(u)$ を計算する際にもこれと似た一連の計算が行われます。内部セルに対して CORDIC ベースのアプローチでなく DSP 48 エンベデッド ブロックを使うことで、計算のこの段階のレイテンシを低減すると共に、インプリメンテーションに必要な FPGA ロジック ファブリック（ルックアップ

テーブル [LUT] とレジスタ）の量を最小限に抑えられます。表 1 に、QRD インプリメンテーションにおける主な関数ユニットに対するエリアの内訳と、デザインの総エリアを示します。

内部セルにより必要とされる $\cos(\Phi)$ 、 $\sin(\Phi)$ 、 $\cos(\Theta)$ 、 $\sin(\Theta)$ 、の各項は、境界セル内のベクタリング ユニットによって計算される角度 Φ と Θ をそれぞれの正弦および余弦にマッピングする、単純な LUT を用いて計算されます。LUT そのものを単一ブロック RAM で実現しつつ、角度から振幅へのマッピング精度を高めるため、LUT の出力サンプルに線形内挿が適用されます。

QRD プロセッサに対する入力アレイの行と列のサイズは、FPGA コントロール プレーンの一部であるコントロール レジスタに新たなサイズを書き込むことでランタイムに動的に調節できます。

表 2 に、入力データ セットの複数のコンフィギュレーションに対するタイミング情報を示します。

表 1 たたみ込まれた QRD と後退代入アレイに対する FPGA リソースの利用

関数ユニット	LUT	FF	DSP48 スライス	ブロック RAM	スライス
境界セル	2,145	2,057	3	1	1,266
内部セル	216	329	6	0	176
後退代入	2,862	3,286	4	1	1,932
QRD 合計	5,411	5,916	13	6	3,530

表 2 M X N 行列に対する FPGA QRD インプリメンテーションの三角化と後退代入フェーズの実行時間

M	N	三角化のサイクル	後退代入のサイクル	合計サイクル	250MHz クロックでの実行時間
3	3	792	147	939	3.76
8	3	2,112	147	2,259	9.04
5	5	2,540	255	2,795	11.18
9	5	4,572	255	4,827	19.31
7	7	5,656	371	6,027	24.11
10	7	8,080	371	8,451	33.80
9	9	10,476	495	10,971	43.88
11	9	12,804	495	13,299	53.20
10	10	13,630	560	14,190	56.76

デザイン フロー

私たちの QRD インプリメンテーションは、DSP モデルをベースとするデザインフローにザイリンクスの System Generator for DSP を使用しています。System Generator for DSP は、FPGA 信号処理のインプリメンテーションを開発するための自然な開発環境を提供することに加え、FPGA エlement だけでなくプロセッサから成る異種アプリケーションの開発をサポートする豊富な機能を備えています。プロセッサは、エンベデッド PowerPC™ 405 ハード IP ブロック、MicroBlaze™ ソフトプロセッサ コア、あるいは FPGA の外部プロセッサでもいずれも可能です。

このプロジェクト用に開発したビームフォーミングでは、ホスト PC と FPGA プラットフォーム間をパーティションで区切りました。このインプリメンテーションでは、PC で走っているホスト アプリケーションは単なるビームフォーミング検証プロセス（テスト ベンチ）の 1 つの要素ではなく、手元のタスクに応じて任意かつ複雑になること

があります。

このビームフォーミング ホスト アプリケーションは、ビームフォーミング ネットワークに対するセンサー アレイをシミュレートする MATLAB スクリプト (m-code) です。このスクリプトはダイナミック ターゲットをシミュレートし、移動するターゲットに対して遠方場放射パターンのサンプルを生成します。MATLAB に各センサーにおける電気場のサンプルが生成され、FPGA QRD プロセッサに転送されます。ビームフォーミング加重ベクトルの新たな推計が算出され、追加処理のために MATLAB 環境に返されます。

この場合、追加処理にはアップデートされた複素数値の加重ベクトルに対する指向性放射パターンをプロットすることが含まれます。ホスト アプリケーションが MATLAB 環境に関連している必要はなく、たとえば C 言語で書かれたプログラムであってもかまいません。

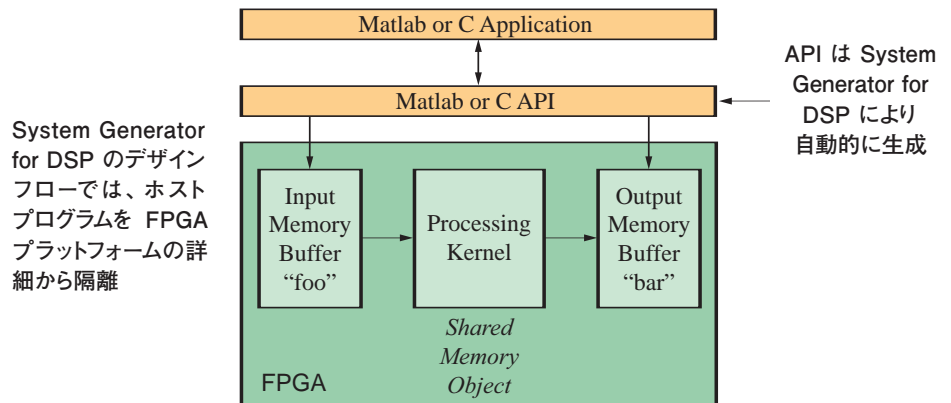
ビームフォーミング アプリケーションの興味深い要素として、この場合は PC 上で動作しているホスト アプリケーションと、FPGA プラットフォームで実行している QRD プロセス間のインターフェイス管理があります。System Generator for DSP は、プロセッサ/FPGA インターフェイスの事実上あらゆる詳細を抽象化する一連の共有メモリ ライブラリ オブジェクト (ROM、RAM、FIFO) を提供し、ホスト ソフトウェアと FPGA ハードウェアをそれぞれ別々に構築させることができます (図 5)。

ビームフォーミングの新規アップデートは次の 3 ステップで行われます。

1. MATLAB ホスト アプリケーションにより生成される各アンテナ素子からの新規入力サンプルが、本来の場所である FPGA 上の QRD エンジンに転送されます。
2. QRD プロセスがトリガされます。
3. FPGA からホストに新しい加重ベクトルが返されます。

共有メモリ ライブラリ モジュールとそれに関連するアプリケーション プログラム インターフェイスは、FPGA とホスト PC 間の

図 5 System Generator for DSP の共有メモリ ライブラリ要素によるハードウェアとソフトウェアの抽象化 - ホスト アプリケーションは、シンプルな名前/空間参照を使い、FPGA ストレージ要素とのトランザクションを実行 (この場合は "foo" および "bar" という名前のメモリへ)



データ転送を MATLAB (または C) における名前/空間参照をベースとする単純な代入文に変換します。たとえば、MATLAB ワークスペースに存在する新規加重ベクトル w は、 $w = \text{FPGAWeights}$ という単純な代入文を使って FPGA QRD プロセスによって計算される、新しいビームフォーミング係数 FPGAWeights でアップデートされます (FPGAWeights は QRD エンジンの System Generator for DSP 記述における共有メモリ バッファに割り当てられた名前)。

System Generator for DSP のフレームワークにより、このようなホスト プロセッサと FPGA のやり取りを管理することで、異種アプリケーションを簡単かつ高速に、また少ないエラーで開発できるうえ、FPGA ソースコード、つまり System Generator for DSP モデル自体を変更せずに FPGA アクセラレータ エンジン (この場合は QRD モジュール) を別のハードウェア プラットフォームに簡単に移植できるのです。

インターフェイスの抽象化は、ホスト アプリケーションと System Generator for DSP ソース モデル間のトランザクションに加え、ホスト アプリケーションと FPGA プラットフォームで走っている最終デザイン間のトランザクションもサポートします。システムのソフトウェアとハードウェア (FPGA) は共有メモリの抽象化を用いてすぐにオンライン化できるため、この後者の要素は両コンポーネントのサイズ検証プロセスに大きく貢献します。

結論

本稿では、行列のサイズをランタイムに定義できる柔軟な QRD プロセッサを FPGA でインプリメントする方法について解説しました。このデザインは、ザイリンクスの Virtex-4 ファミリーなどの FPGA の演算リソースに非常に適している、CORDIC ベースの処理 (アレイ境界セル) と MAC ベース (アレイ内部セル) の算術演算を混合したものを採用しています。

境界セルと内部セルの処理はすべて 1 つの境界セル関数ユニットと内部セル関数ユニットに向けられましたが、たとえばターゲットアプリケーションが極めて高いスループットパフォーマンスを要求する場合でも、FPGA プラットフォームは豊富なリソースを備えているため、完全にパラレルなシストリックアレイを実現できます。

System Generator for DSP のプログラミング環境では、設計者はハードウェアとソフトウェアのパーティションに伴う複雑でエラーの多いプログラミング作業から解放され、異種システム (プロセッサと FPGA) を迅速に開発できるのです。

このプロジェクトは、Xilinx DSP Division 内の研究開発部門である Xilinx Advanced Systems Technology Group (ASTG) と、パートナーの Signum Concepts 社、および San Diego State University の協力で実施されました。

Spartan-DSP Takes Aim at Affordable DSP Performance

驚異の DSP パフォーマンス を提供する Spartan-DSP シリーズ

新次元の価格／パフォーマンスを実現した
XtremeDSP の最新機能

Greg Brown

Sr. Manager, IC Marketing, Processing Solutions Group

Xilinx, Inc.

greg.brown@xilinx.com

設計者が特定のアプリケーションに最適な DSP ソリューションを探す場合、価格と性能、消費電力のバランスをどうするかという迷路に陥り、どれか 1 つを優先する代わりに他を犠牲にすることが少なくありません。ザイリンクスの XtremeDSP™ ポートフォリオに加わった最新の製品で、DSP 向けに最適化された初めての Spartan FPGA でもある Spartan™-3A DSP は、無線基地局や移動防衛通信システム、監視、オートモーティブ、ビデオ、そして医療画像技術を含む各種アプリケーションに最適な、上記の 3 つの条件を最も効率よく組み合わせた DSP 製品です。

Spartan-3A DSP は、32 GMAC/s (1 秒あたり 320 億回の積和演算) 以上、また最高 2,200Mbps のメモリ バンド幅を誇りながら、パッケージング サイズは縮小されています。この画期的な価格性能比は、シングル チャネルのピコセル無線基地局におけるデジタル フロント エンド (DFE) とベースバンド ソリューション、軍事用の SDR (移動型ソフトウェア無線)、超音波

システム、運転支援／メディア システム、高品位ビデオ、スマート IP カメラなどのアプリケーションに最適です。

さらに、Spartan-3A DSP は 53,712 のロジック セル、2,268Kb のブロック RAM、373Kb の分散 RAM、519 の I/O ピン、セキュリティを高める Device DNA、そして新開発のハイバーネート／サスペンド電力管理機能などを搭載し、価格／性能／消費電力比をさらに低減するのに十分な統合性を兼ね備えています。加えて、FPGA ベースの DSP ソリューションであるため、デザインの柔軟性によるリスク低減や Time-to-Market の短縮など、さらなる付加価値を与えます (表 1)。

DSP 向けに最適化した Spartan FPGA

Spartan-3A DSP の心臓部は、Xtreme DSP DSP48 スライスの改良版である DSP48A です。Virtex™-4 FPGA で初めて採用された DSP48 スライスは、Virtex-

DSP シリーズのデバイスで提供している DSP ファンクションを司る特定用途向けモジュラ ブロック (ASMBL™) アーキテクチャを備えています。これら XtremeDSP スライスを使うことで、設計者は IF からベースバンドへの数百ものダウン コンバージョン チャネル、3G スプレッド スペクトラム システム用の 128x チップレート処理、そして高品位な H.264 と MPEG-4 エンコード／デコード アルゴリズムなどの複雑なソリューションを低コスト、低消費電力でインプリメントできます。

DSP48 スライスは、乗算器、積和演算 (MAC)、乗加算、3 入力加算器、バレルシフタ、ワイド バス マルチプレクサ、マグニチュード コンパレータ、ワイド カウンタを含む多くの独立したファンクションをサポートします。また、このアーキテクチャでは、汎用の FPGA ファブリックを使用することなく複数の DSP48 スライスを接続してワイドバス関数演算や DSP フィルタ、複雑な算術関数を実現できるため、非常に高いパフォーマンスと効率的なシリコン ユーティ

表 1 Spartan-DSP シリーズは、XtremeDSP プラットフォーム ポートフォリオにおける重要なパフォーマンス スロット (<40 GMAC/s レンジ) を埋める役割を実行

	Spartan-DSP		Virtex-DSP					
	Spartan-3A DSP		Virtex-4 SX FPGA			Virtex-5 SXT FPGA		
	XC3SD1800A	XC3SD3400A	XC4VSX25	XC4VSX35	XC4VSX55	XC5VSX35T	XC5VSX50T	XC5VSX95T
DSP 性能 (GMAC/s)	21	32	64	96	256	106	158	352
メモリ最大バンド幅 (Mbps)	1,736	2,196	4,608	6,912	11,520	3,326	5,227	9,662
DSP の最高動作周波数 (MHz)	250	250	500	500	500	550	550	550
XtremeDSP DSP48 スライス	84	126	128	192	512	192	288	640
最小パッケージサイズ (mm)	19 x 19	19 x 19	27 x 27	27 x 27	27 x 27	27 x 27	27 x 27	27 x 27
分散 RAM(Kb)	260	373	160	240	384	520	780	1,520
ブロック RAM(Kb)	1,512	2,268	2,304	3,456	5,760	3,024	4,752	8,784
ロジックセル数	37,440	53,712	23,040	34,560	55,296	34,816	52,224	94,208

リゼーションを提供しつつ消費電力を低減します。

Spartan-DSP の DSP48A スライスは、Virtex-4 DSP48 スライスを簡素化してコスト削減を実現しています。DSP48A スライスでは、コストを削減するため、丸めモード、17 ビット シフタ、3 入力加算器モードは取り除かれています。ただし、これらのファンクションは必要に応じて FPGA ファブリックにインプリメントできます。DSP 48A スライスには、独立した C ポートとブリアダー（前置加算器）の 2 つの拡張機能があります。独立した C ポートは DSP アルゴリズムをインプリメントする際の柔軟性を高めます。ブリアダーは、コモン DSP フィルタと FFT に対する集積度を高めます。具体的には、ブリアダーを使うことで必要な DSP48A スライスの数を対称 FIR フィルタの場合で 50%、FFT アルゴリズムの場合で 25% 削減できます。Spartan-3A DSP プラットフォームでは、最適化した DSP48A スライスは最も遅いスピード グレードで 250MHz を達成します。

アプリケーションへの影響

Spartan-3A DSP デバイスによる価格／性能／電力効率の代表例としては、スマート IP カメラのアプリケーションで、25 ドルの DSP プロセッサ 2 個を XC3SD 1800A デバイス 1 個に置き換え、その過程でビデオ パイプラインのセクション全体を吸収することが可能です。25 ドルの直接的なコスト削減に加え、残りのコントロール ファンクションをより小さくて安価な DSP プロセッサに配置することで材料費をさらに 10 ドル削減できます。

スマート IP カメラや高品位ビデオなどのコンシューマ向け量産アプリケーションのメーカーにとって、これは収益に直結する非常に大きな利点です。これに、消費電力やフットプリント、部品コスト (BOM) の節約を加えると、Spartan-DSP シリーズは利益率、信頼性、製品のマイグレーションにも直接プラスの影響を与えます。

マルチストリーム ビデオ サーバにも同様の調査を実施した結果、25ドルの DSP

プロセッサ 6 個を採用するデザインは、同じく 25 ドルの Spartan-3A DSP デバイス 3 個に減らすことで、デバイス コストを文字通り半減できることがわかりました。このビデオ サーバの場合にも、消費電力やフットプリント、BOM に対するプラスの影響は非常に魅力的です。

移動防衛通信向けの SDR など、場合によっては Spartan-3A DSP をディスクリート DSP へのリコンフィギュラブルなコプロセッサとして利用することで、前述の価格／性能／電力効率を達成すると共に、複数の波形をサポートするための二重回路の必要性を取り除くことができます。

このように、Spartan-DSP シリーズを採用したアプリケーションでは、価格や性能、消費電力の効率を大幅に高めることができます。

XtremeDSP ソリューション

2000 年 11 月に立ち上げた Xtreme DSP イニシアティブは、FPGA をベース

とする DSP の処理能力や柔軟性を、システム設計者や DSP エンジニア、FPGA／ハードウェア エンジニアの 3 分野の設計者へ提供することを目的とした、ザイリンクスとパートナー各社による共同プロジェクトです。これら 3 分野では、担当する仕事や好みの言語がそれぞれ異なるため、設計環境に対する条件も異なります。

システム設計者は、システム レベル デザインの各種ファンクションを利用可能なリソースにいかにか配分するかを迅速に決定する必要があります。彼らにとって重要なのは、サイズやコスト、電力バジェットを満たしながら、製品に求められる性能とスループットを実現できるリソースを選択することです。

DSP エンジニアの仕事は DSP アルゴリズムの開発と改良です。DSP エンジニアは、一般にハードウェア デザインに精通しておらず、より高水準なデザインの探求と検証に専念するため、ハードウェア デザイ

ンの詳細を抽象化するツールを利用します。

ハードウェア エンジニアは、デザインの性能を最大限に引き出すため、VHDL または Verilog で作業を行います。また、彼らは同じデザイン環境内からより高水準なファンクション ブロックと独自の RTL レベル デザインを同時に開発して、ファンクションやパフォーマンスを検証するためのテストベンチを実行することもあります。

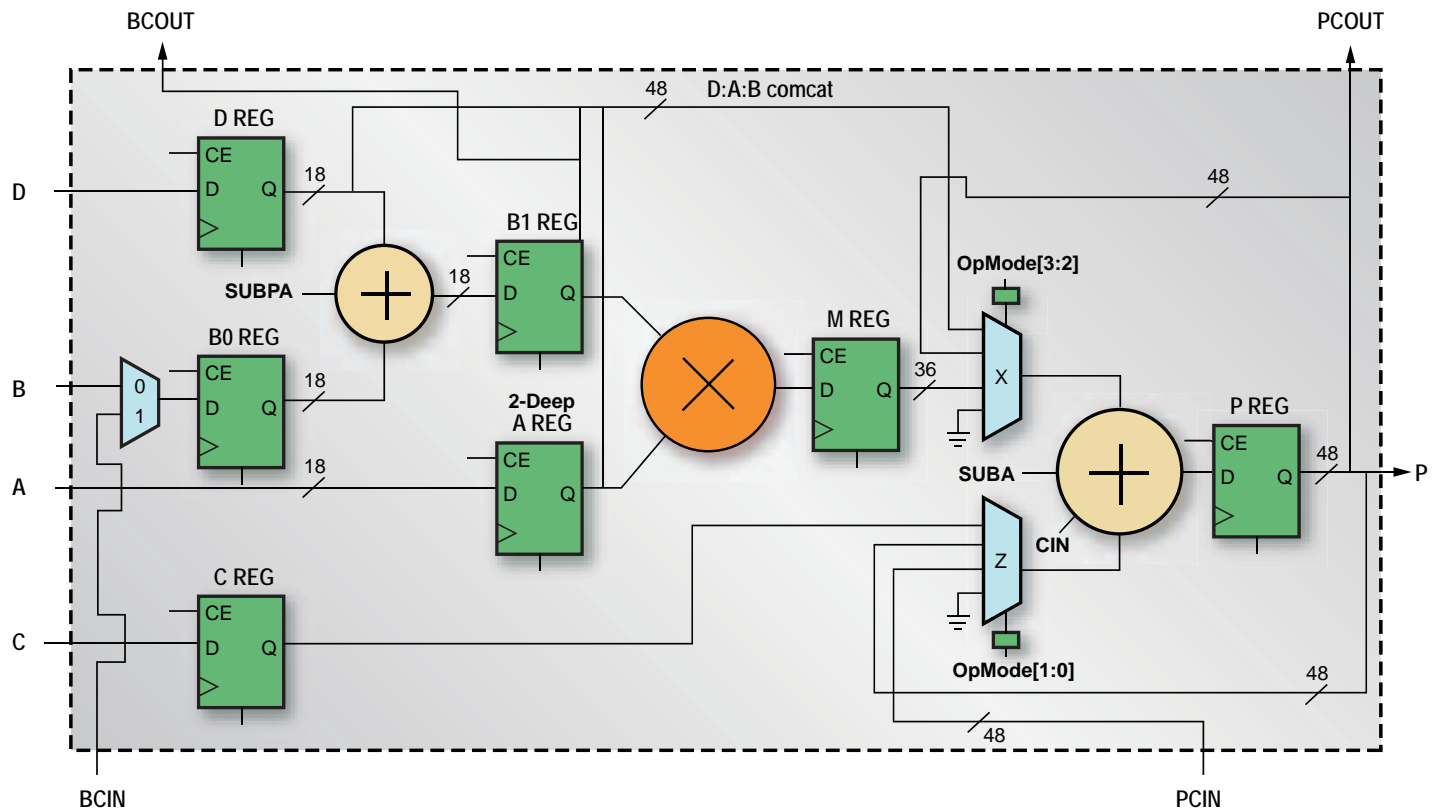
XtremeDSP イニシアティブは、これら 3 分野の設計者のニーズに応えたデザインツールを提供し、成功を収めています。同イニシアティブの立ち上げ以来、System Generator for DSP や AccelDSP といった XtremeDSP ツールは、システム モデリング、アルゴリズムの開発と探求、テストベンチの自動生成、デザインの検証とデバッグ、HDL の生成とシミュレーションを提供するまでに発展してきました。VHDL、Verilog、C/C++、MATLAB、Simulink、HDL のどの言語を使うか、それぞれの言語を

どう併用するかにかかわらず、XtremeDSP ツールを使うことにより FPGA のフルパワーを素早く効率的に引き出すことができます。

結論

DSP 市場では必ずしも最速、最廉価、あるいは最も電力効率に優れたプロセッサが選択されるというわけではありません。選択されるのは、これら 3 つの条件のバランスを、最適化しているプラットフォームです。Spartan-3A DSP は、堅牢なツール セット、IP、サポート インフラストラクチャにより、価格、性能、消費電力をさまざまなアプリケーション向けに最も効率的にバランスさせたものであり、適用できるアプリケーションの数は今も増え続けています。ザイリンクスのこの最新 XtremeDSP ソリューションは、極めて高い効率が求められる DSP デザインの開発に最適です。

図 1 プリアダーは FIR フィルタ デザインに使われるすべての Spartan-DSP DSP48A スライスに対し 9 スライスを節約





ザイリンクス ウェブセミナー

ニーズに合わせたプログラムを各種取り揃えて好評配信中!!

FPGA を 導入したい!

FPGA をこれから始める方に FPGA の全体概要を解説した入門編と、ものづくりにチャレンジする経営者、技術管理者の方へなぜ今 FPGA /CPLD なのかをご説明します。

▶ 30 分で判る! FPGA 入門

▶ 15分で判る! FPGA 採用理由

高性能 FPGA を もっとよく知りたい!

ザイリンクスの高性能 FPGA、Virtex™-5 ファミリのテクノロジーを詳しく解説します。

▶ Virtex-5 ファミリの紹介と
Virtex-5 LX 概要

▶ Virtex-5 FPGA
パワー アドバンテージ

さらに効率よく 設計したい!

FPGA 設計をより効率化し生産性を向上させるソフトウェア ツールをご紹介します。ISEは、FPGA/CPLD の統合開発ツールです。PlanAhead™ は、より高速を目指す大規模 FPGA 設計に貢献します。

▶ ISE9.1i 解体新書

▶ PlanAhead 8.1 階層デザインと
その解析ツール

ザイリンクス FPGA を もっと使いこなしたい!

PCI Express の概要から、Virtex-5/ Spartan™-3 FPGA を活用した PCI Express の実現方法を説明します。

▶ ザイリンクス PCI Express ソリューション

Virtex-4 の各種技術的な特長に関して、詳しくご紹介します。

▶ Virtex-4 メモリ インターフェイス
アドバンテージ

▶ Virtex-4 ローパワー アドバンテージ

量産で FPGA を 使いたい!

Spartan-3E や CoolRunner™-II CPLD が量産用デバイスに求められる低コスト化や低消費電力化にどんな点で 貢献できるかを解説します。

▶ CoolRunner-II CPLD を使用して
システムの消費電力を低減

▶ ローコスト Spartan-3E FPGA
コンフィギュレーション オプション

採用例を知りたい!

高性能と低消費電力を誇る CoolRunner-II CPLD を活用した応用例をご紹介します。

▶ ザイリンクス CPLD 応用事例

組み込みシステムに 挑戦したい!

FPGA による組み込みシステムの開発手法について解説します。

▶ FPGAを用いたプロセッサ設計の特徴と手法

セミナー内容の詳細／ご視聴は今すぐこちらから >>> <http://japan.xilinx.com/webseminar/>



ザイリンクス イベント カレンダー

ザイリンクスは、年間を通じて多数のトレードショーやイベントに参加しています。これらのイベントは、ザイリンクスのシリコンやソフトウェアの専門家がお客様からの質問にお答えしたり、最新製品やザイリンクスのカスタマのサクセスストーリーをご紹介します機会です。

9～12月

ザイリンクス出展イベント

10月12日(金)

アンソフト社技術セミナー 2007

ザイリンクスが出展いたします。

◇主 催: アンソフト・ジャパン株式会社

◇会 場: 新横浜プリンスホテル

10月24日(水)

QNX ジャパン テクノロジ イノベーション コンファレンス 2007

ザイリンクスと東京エレクトロンデバイスにて協同出展いたします。

◇主 催: QNX ソフトウェア システムズ株式会社

◇会 場: カナダ大使館

11月14日(水)～16日(金)

Embedded Technology 2007

ザイリンクスと販売代理店 5 社にて協同出展いたします。

◇主 催: (社) 組込みシステム技術協会 (JASA)

◇会 場: パシフィコ横浜

◇U R L: <http://www.jasa.or.jp/et/>

11月20日(火)～22日(木)

Inter BEE 2007

ザイリンクスが出展いたします。

◇主 催: (社) 電子情報技術産業協会 (JEITA)

◇会 場: 幕張メッセ

◇U R L: <http://www.inter-bee.com/2007/>

11月28日(木)

MATLAB EXPO 2007

ザイリンクスと東京エレクトロンデバイスおよび PALTEK にて協同出展いたします。

◇主 催: サイバネットシステム株式会社

◇会 場: ザ・プリンスタワー東京

12月5日(水)～7日(金)

第14回 ディスプレイ国際ワークショップ (IDW '07)

ザイリンクスが出展いたします。

◇主 催: (社) 映像情報メディア学会 (ITE)

◇会 場: 札幌コンベンションセンター

◇U R L: <http://www.idw.ne.jp/>

12月12日(水)～14日(金)

TRONSHOW 2008

ザイリンクスと新光商事および菱洋エレクトロにて協同出展いたします。

◇主 催: T-Engineフォーラム/(社) トロン協会

◇会 場: 東京国際フォーラム

◇U R L: <http://www.tronshow.org/>

ザイリンクス販売代理店開催・出展イベント

日 程	イベント内容	開催地
9月2日(月) 9月3日(火)	アジレント・テクノロジー主催 Digital Seminar (2日: PCIe / 3日: DDR & Display Port) 東京エレクトロンデバイスが講演と展示を行います。	東 京
9月6日(木)	東京エレクトロンデバイス主催 PrKERNELv4+SUZAKU-S Xilinx Embedded Workshop	東 京
9月上旬(*予定)	東京エレクトロンデバイス主催 PCI Express セミナ (* セミナ詳細は東京エレクトロンデバイスの Web サイトにて公開中です。)	仙 台
9月上旬(*予定)	東京エレクトロンデバイス主催 PCI Express セミナ (* セミナ詳細は東京エレクトロンデバイスの Web サイトにて公開中です。)	福 岡
9月14日(金)	FPGA コンソーシアム主催 FPGA Conference 東京エレクトロンデバイスが講演と展示を行います。	東 京
9月20日(木)	東京エレクトロンデバイス主催 ザイリンクス AccelDSP ワークショップ ～MATLAB “M コード” から RTL 変換ソフトウェア～ (* セミナ詳細は東京エレクトロンデバイスの Web サイトにて公開中です。)	東 京
10月12日(金)	PALTEK 主催 PCI Express ソリューション セミナ ～導入編～ (仮称) (* セミナ詳細は 9 月上旬頃に PALTEK の Web サイトにて公開予定です。)	新横浜
10月26日(金)	PALTEK 主催 PCI Express ソリューション セミナ ～プロトコル編～ (仮称) (* セミナ詳細は 9 月上旬頃に PALTEK の Web サイトにて公開予定です。)	新横浜
11月9日(金)	PALTEK 主催 PCI Express ソリューション セミナ ～ボード設計&測定ノウハウ編～ (仮称) (* セミナ詳細は 9 月上旬頃に PALTEK の Web サイトにて公開予定です。)	新横浜
11月22日(木)	FPGA コンソーシアム主催 FPGA Conference 東京エレクトロンデバイスが講演と展示を行います。	大 阪
11月22日(木)	日本ナショナルインスツルメンツ主催 LabVIEW Days 2007 東京エレクトロンデバイスが出展します。	東 京
11月30日(金)	PALTEK 主催 DSP ソリューション セミナー (仮称) (* セミナ詳細は 9 月上旬頃に PALTEK の Web サイトにて公開予定です。)	新横浜
12月7日(金)	FPGA コンソーシアム主催 FPGA Conference 東京エレクトロンデバイスが講演と展示を行います。	福 岡

※ザイリンクスおよびザイリンクス販売代理店のイベント情報に関する最新情報は、各社のWebサイトをご覧ください。