

Xcell journal

SOLUTIONS FOR A PROGRAMMABLE WORLD

ターゲットデザイン プラットフォームで 技術革新を加速

INSIDE

FPGA が有線通信機器の
中心的な役割を担う

3GPP-LTE 向けベース
バンドの開発がより容易に

Virtex-5 は 超 広 帯 域
(UWB) 通信と正確な測距
を実現

FPGA 搭載のプラット
フォームで産業用モーター
を最大効率で制御



超低ノイズファミリ

LTM4612

I_{OUT} 5A
 V_{IN} 5~36V
 V_{OUT} 3.3~15V
15×15×2.8mm

LTM4606

I_{OUT} 6A
 V_{IN} 4.5~28V
 V_{OUT} 0.6~5V
15×15×2.8mm



デュアルファミリ

LTM4614

I_{OUT} 4A×2
 V_{IN} 2.375~5.5V
 V_{OUT} 0.6~5V
15×15×2.8mm

LTM4615

I_{OUT} 4A×2 1.5A VLDO
 V_{IN} 2.375~5.5V
 V_{OUT} 0.6~5V
15×15×2.8mm

LTM4616

I_{OUT} 8A×2
 V_{IN} 2.375~5.5V
 V_{OUT} 0.6~5V
15×15×2.8mm

LTM8024 *近日発売

I_{OUT} 1.2A×2
 V_{IN} 3.7~36V
 V_{OUT} 0.8~10V
9×15×2.8mm



36V高電圧ファミリ

LTM8020

I_{OUT} 200mA
 V_{IN} 4~36V
 V_{OUT} 1.25~5V
6.25×6.25×2.32mm

LTM8021

I_{OUT} 500mA
 V_{IN} 3.6~36V
 V_{OUT} 0.8~5V
6.25×11.25×2.8mm

LTM8022

I_{OUT} 1A
 V_{IN} 3.6~36V
 V_{OUT} 0.8~10V
9×11.25×2.8mm

LTM8023

I_{OUT} 2A
 V_{IN} 3.6~36V
 V_{OUT} 0.8~10V
9×11.25×2.8mm



低電圧ファミリ

LTM4604

I_{OUT} 4A
 V_{IN} 2.375~5.5V
 V_{OUT} 0.8~5V
9×15×2.3mm

LTM4608

I_{OUT} 8A
 V_{IN} 2.375~5.5V
 V_{OUT} 0.6~5V
9×15×2.8mm

昇降圧型ファミリ

LTM4605

I_{OUT} 5A (12A 降圧モード時)
 V_{IN} 4.5~20V
 V_{OUT} 0.8~16V
15×15×2.8mm

LTM4607

I_{OUT} 5A (10A 降圧モード時)
 V_{IN} 4.5~36V
 V_{OUT} 0.8~24V
15×15×2.8mm



LTM4602

I_{OUT} 6A
 V_{IN} 4.5~28V
 V_{OUT} 0.6~5V
15×15×2.8mm

LTM4603

I_{OUT} 6A
 V_{IN} 4.5~28V
 V_{OUT} 0.6~5V
15×15×2.8mm

LTM4600

I_{OUT} 10A
 V_{IN} 4.5~28V
 V_{OUT} 0.6~5V
15×15×2.8mm

LTM4601

I_{OUT} 12A
 V_{IN} 4.5~28V
 V_{OUT} 0.6~5V
15×15×2.8mm

FPGA高速シリアルI/O の電源に最適

- 例えば12V入力から1V/5Aの出力を、低ノイズで実現
- 低EMI(CISPR 22 Class Bに準拠)、低入出力リップル電圧
- 高効率(低発熱)。サイズは、わずか15×15×2.8mm
- 電源回路の実装面積を大幅削減、設計時間も大幅低減
- 簡単、すぐに使えるスイッチモードの電源モジュール

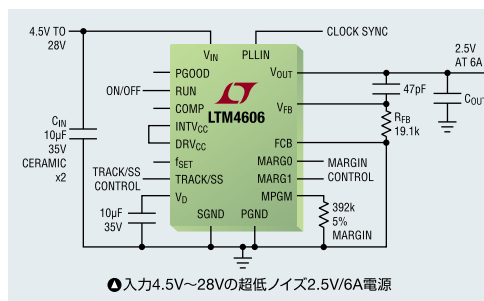
実現したのは、LTM[®] 4606 μ Module[™]

マイクロ・モジュール

LTM4606 超低EMIの28VIN、6A DC/DC μ Module

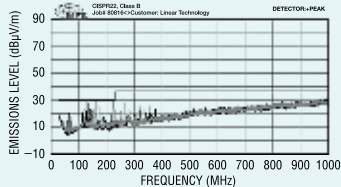
LTM4606はFPGAの高速I/OやSERDESに最適な、超低EMI、高効率(低発熱)、そしてリニアレギュレータのようにシンプルな小型スイッチングDC/DCソリューションです。従来のリニアレギュレータでは発熱により不可能だった、12Vから1V/5Aといったような低ノイズ電源が実現できます。

- 完全な低EMIスイッチモード電源
- 広い入力電圧範囲：4.5V~28V
- 標準6AのDC出力電流、8Aのピーク出力電流
- 出力電圧範囲：0.6V~5V
- $\pm 1.5\%$ の全DC誤差
- 入力電圧5V、出力電圧3.3V時の効率：最大93%
- 低い入出力換算ノイズ
- 出力電圧トラッキングおよびマーゼニング
- PLL周波数同期
- パワーグッド出力
- 並列接続/電流配分
- 超高速過渡応答
- 電流モード制御
- プログラム可能なソフトスタート(起動時にデイスエーブル)
- 電流フォールドバック保護
- 出力過電圧保護
- 55℃~125℃の動作温度範囲(LTM4606MPV)
- 15mm×15mm×2.8mm 表面実装LGAパッケージ



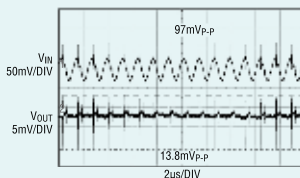
超低EMI

入力12V、出力2.5V/6Aでのピーク・スキャンの結果

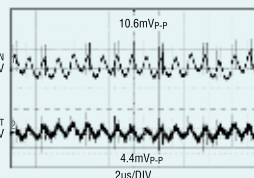


低い入出力ノイズ電圧

低ノイズ型ではないモジュールの入出力リップル



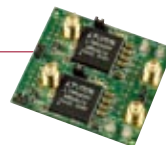
超低ノイズLTM4606の入出力リップル



5VIN, 1.2VOUT/5A オシロスコープ: BW=300MHz
入力コンデンサ: 10µF/25Vセラミックコンデンサ3個と150µF電解コンデンサ1個
出力コンデンサ: 100µF/6.3Vが1個と22µF/25Vセラミックコンデンサ3個

ザイリンクス社RocketIO[™]検証済み電源

LTM4606はザイリンクス社によって同社のラボで、6.25Gbpsのライン・レートでPRBS-15データ・パターンを使ってテストされました。回路がLTM4606から給電されている状態で、トランスミッタのジッタとレシーバのジッタ耐性を測定して、トランシーバの性能を評価する方法です。テストセットアップ、テスト装置およびテスト結果の詳細な報告はFPGA Journal Chalk Talkウェブキャスト(https://admin.acrobot.com/_a700655680/xilinx080826/)でご覧いただけます。



検証に使用された
LTM4606テストボード

μ Moduleの
技術資料へアクセス!

www.linear-news.jp/LTM

評価ボード

お問い合わせは、
下記販売代理店まで

リニアテクノロジー国内ニュースサイト

www.linear-news.jp

LT, LTC, LTMは、リニアテクノロジー社の登録商標です。 μ Module, LINEAR EXPRESSは、リニアテクノロジー社の商標です。他の商標はそれぞれが所有するものです。

オンラインストア リニアエクスプレス

LINEAR EXPRESS

0120-7291-22

株式会社 トーメン エレクトロニクス

本社 TEL 03-5462-9615

大阪 06-6447-9644 名古屋 052-582-1591
福岡 092-713-7779 宇都宮 028-625-8331
松本 0263-34-6131 北関東 048-521-9011
仙台 022-221-8061 浜松 053-452-8147
立川 042-548-9871

東京エレクトロニクス株式会社

本社 TEL 045-443-4024

大阪 06-6399-1511 名古屋 052-562-0825
東京 03-5908-2621 北関東 048-600-3880
水戸 029-227-6552 立川 042-548-0255
浜松 053-459-2204 松本 0263-36-8112
福岡 092-474-4121 仙台 022-298-7184

株式会社 三 共 社 本社 TEL 03-5298-6201

株式会社 ジェピコ 本社 TEL 03-6362-0411

東京電子販売株式会社 本社 TEL 03-5350-6711

株式会社 信和電業社 本社 TEL 06-6943-5131

伊藤電機株式会社 本社 TEL 052-935-1746

Xcell journal

発行人 Mike Santarini
mike.santarini@xilinx.com
+1-408-879-5270

編集 Jacqueline Damian

アートディレクター Scott Blair

デザイン/制作 Teie, Gelwicks & Associates

日本語版統括 秋山 一雄
kazuo.akiyama@xilinx.com

制作進行 竹腰 美優紀
miyuki.takegoshi@xilinx.com

日本語版 制作・ 有限会社エイ・シー・シー
広告・印刷



japan.xilinx.com/xcell/

Xcell Journal 日本語版 67・68 合併号

2009 年 11 月 16 日発行

Xilinx, Inc.
2100 Logic Drive
San Jose, CA 95124-3400

ザイリックス株式会社
〒141-0032
東京都品川区大崎 1-2-2
アートヴィレッジ大崎セントラルタワー 4F

© 2009 Xilinx, Inc. All Right Reserved.

XILINX や、Xcell のロゴ、その他本書に記載の商標は、米国およびその他の国の Xilinx 社の登録商標です。PowerPC は、米国またはその他の国における IBM 社の商標です。ほかすべての名前、各社の登録商標または商標です。

本書は、米国 Xilinx, Inc. が発行する英文季刊誌を、ザイリックス株式会社が日本語に翻訳して発行したものです。

米国 Xilinx, Inc. およびザイリックス株式会社は、本書に記載されたデータの使用に起因する第三者の特許権、他の権利、損害における一切の責任を負いません。

本書の一部または全部の無断転載、複写は、著作権法に基づき固く禁じます。

Printed in Japan

プラチナ時代を予感させる 半導体の黄金時代

IC 上で展開される技術革新への序章

何年も前のことですが、EDN 誌でのかつての同僚が、Gordon Moore 氏の画期的な論文「Cramming More Components onto Integrated Circuits (より多くのコンポーネントを集積回路 (IC) に組み込む)」のコピーを送ってくれました。それは、廃刊となった Electronics 誌の 1965 年 4 月 19 日号に掲載されたものの再版で、以来ずっと私の机の上にあります。この論文を読んだことのない方は、是非読んでみてください。Moore 氏はこの論文を「集積回路の将来は、エレクトロニクスの将来そのものである」と述べるところから始め、さらに続けて、多くの卓越した予想を展開しています。すなわち、パーソナル コンピュータの発明、今日のインターネットや携帯端末市場など現在でも進化を続ける集積回路の成果を先見していたのです。

論文の中で Moore 氏は、IC 上のトランジスタ数は 1 年ごとに約 2 倍になる（後に、2 年ごとに 2 倍と修正）と記述しており、この論文が画期的だと考えられている理由は、まさにこの発想にあります。そして、彼のこの言葉こそ、当時カリフォルニア工科大学の教授であった Carver Mead 氏が「ムーアの法則」と名付け、広く知られるようになったもののなです。半導体と同様に、エレクトロニクス産業は過去 44 年間まさにムーアの法則に従ったペースで急成長を遂げてきました。2005 年のことになりますが、Mead 氏がムーアの法則について Moore 氏にインタビューを行った、Computer History Museum イベント取材し、EDN 誌にその記事を掲載するという素晴らしい機会に恵まれました（この対談は次のビデオで見ることができます。http://www.youtube.com/watch?v=MH6jUSjpr-Q&feature=PlayList&p=6B12A0FACFA35D1F&index=7）。さらに、ごく最近になって、半導体業界における多大な功績を認められた 15 名が National Inventors Hall of Fame に殿堂入りした、この業界にとって非常に重要な式典に出席することができました（http://www.dspdesignline.com/news/217400639 から私のブログ pldesignline.com をお読みください）。

Moore 氏、Mead 氏も殿堂入りした 15 名に含まれていましたが、私はザイリックスの共同創設者である Ross Freeman 氏に非常に大きな敬意を払っていました。彼は亡くなられた後に殿堂入りしたわけですが、その同僚と家族から本人について、多くを知ることができました。Freeman 氏は 1984 年に FPGA を発明し（特許番号 4,870,302）、残念ながらそのわずか 5 年後に 45 歳の若さで亡くなりました。Freeman 氏や彼の共同創設者、突き詰めれば、ザイリックス創設期の投資家たちがムーアの法則を信じていなければ、FPGA が商品化されることはなく、されていたとしてもこれほどの成功には至らなかったであろうとことを、この素晴らしい式典を通して知ることになりました。



ザイリックスの共同創設者
Ross Freeman 氏

Freeman 氏が発明した初期の FPGA 回路は、独創的でユニークではありましたが、本質的に、トランジスタの最も効率よい利用法とは考えられませんでした。当時トランジスタを製造するには、多額の製造コストが必要だったのです。これに対して Freeman 氏は、トラ

ンジスタを最小化することではなく、柔軟に使用できること、開発期間が短期であること、そして製造を外部委託することの利便性を優先させたのでした。Freeman 氏は、時が過ぎムーアの法則がさらに進化すれば FPGA は継続的に発展し、少なくともロジックセル数は倍増すること、それによってトランジスタのコストが劇的に下がり、プログラブルデバイスが多くのユーザーにとって魅力的な製品になることを 1984 年の時点で予見していたのです。

Moore 氏が集積度の周期的傾向を特定したのと同様、Freeman 氏は、同僚で共同創設者の Bernie Vonderschmitt 氏および Jim Barnett 氏とともに、IC 製造の経済動向を的確に把握しています。つまり、ムーアの法則に従って 2 年ごとに新しいプロセス技術が導入されるとすれば、プロセスが新しくなるごとに製造工場の設備を揃えていくコストを考えると、チップメーカーが増えていく中で製造工場を所有することは賢明ではないと判断したのです。

Vonderschmitt 氏はザイリンクス最初の製品 XC2064 FPGA の製造をセイコーエプソン社に委託するという、画期的なビジネスモデルを展開しました。ファブレスメーカーのビジネスモデルはここから始まったのです。今日、半導体とシステムメーカーの多くは、自社で IC を製造するのではなく、外部半導体工場と契約する形でビジネスを行っています。これは、Freeman 氏と Vonderschmitt 氏が予測したように、新しいプロセス技術の導入に伴う製造コストが急速に増加したためです。

この非常に高い製造コストは顧客に転嫁され、ファブレス製造の ASIC や ASSP でさえ、コスト的に採用が難しいものとなっています。つまり、多くのエンジニアは採用するデバイスを FPGA に変更しつつあるのです。

FPGA の価値が高まるであろうという Freeman 氏の予測は、これまで以上に強く共感されるようになっていきます。ザイリンクス社員と顧客が過去 20 年にわたり、並外れた方法で協力関係を築き、FPGA 技術の発展を促してきたこともまた、ザイリンクスが世界最先端のプロセス技術を導入し、世に広めることに貢献してきたのでした。この技術革新を継続した結果、今日の FPGA は数十万のロジックセル、マイクロプロセッサコア、DSP スライス、高速 I/O などが搭載されるまでになりました。FPGA は幅広い用途で利用されるようになり、新しい技術を素早く現実のものにする手段として、ますます活用されるようになっていきます。

2009 年 Inventors Hall of Fame の式典で称えられた革新への精神は、単に半導体の黄金時代を称賛するだけのものではなく、将来もたらされるであろう無数の発明に対する祝典でもあったのです。過去 50 年が半導体の黄金時代だとすれば、次の 50 年は確実にプラチナの時代になるでしょう。カリフォルニア工科大の Mead 氏は、「これはほんの始まりにすぎない…」。そう演説の中で述べていました。



National Inventors Hall of Fame の式典では、Freeman 氏の兄弟、Fred Freeman 氏（右側）が家族を代表してザイリンクスの共同創設者賞を受賞し、母親、Ethel さんがこれを掲げています。



Mike Santarini
発行人

VIEWPOINTS

Letter from the Publisher

プラチナ時代を予感させる
半導体の黄金時代 ...2

Expectations

ターゲット デザイン プラットフォームが
FPGA の革新を新たなレベルに ...56



27

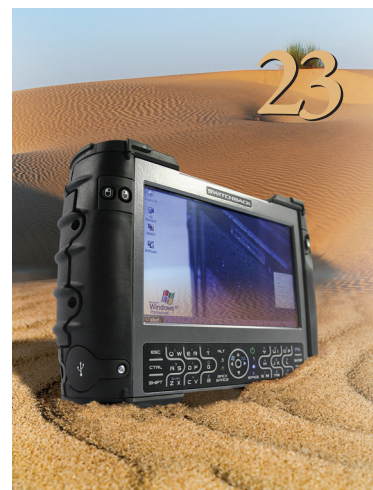
XCELLENCE BY DESIGN APPLICATION FEATURES

Xcellence in Wireless comms

3GPP-LTE 向けベースバンドの
開発がより容易に ...20

Xcellence in Aerospace & Defense

Virtex-5 がリコンフィギュラブルで
堅牢な PC 開発を支援 ...23



Xcellence in Wireless comms

Virtex-5 は超広帯域 (UWB) 通信と
正確な測距を実現 ...27

Xcellence in Automotive & ISM

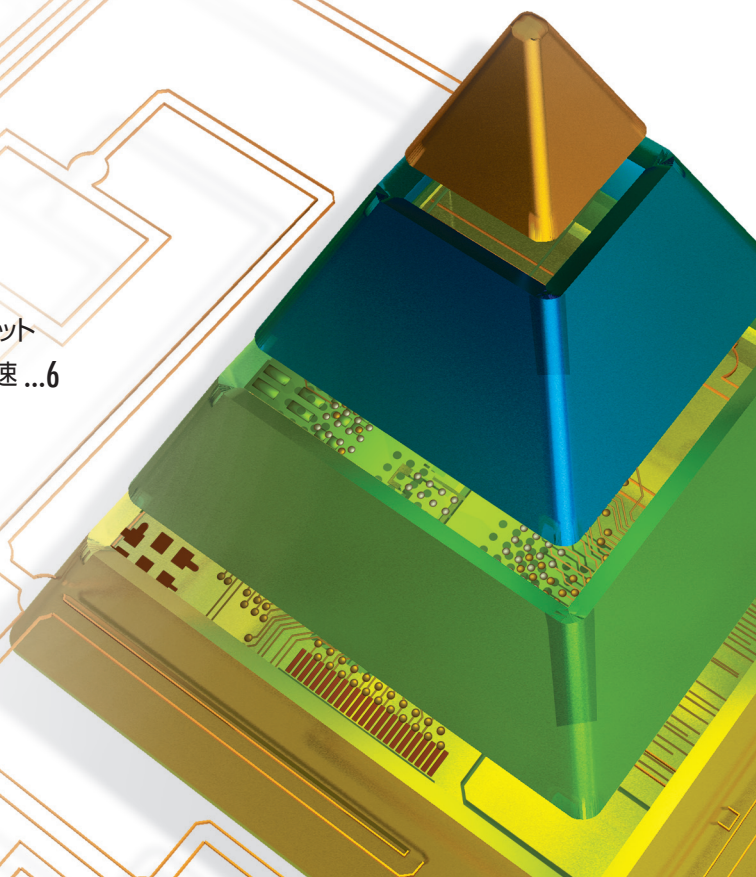
FPGA 搭載のプラットフォームで
産業用モーターを最大効率で制御 ...32



Cover Story

ターゲット デザイン プラット
フォームで技術革新を加速 ...6

6



THE XILINX XPERIENCE FEATURES

Xplanation: FPGA 101

ザイリンクス FPGA の消費電力を最適化 ...38

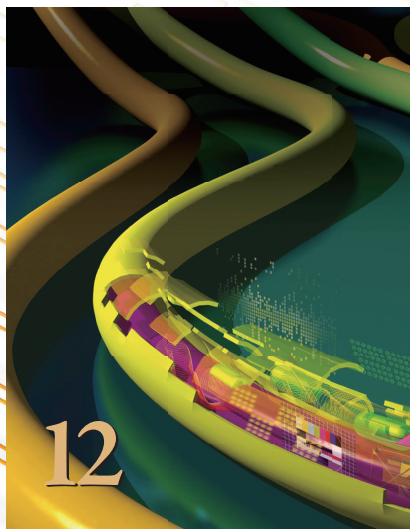
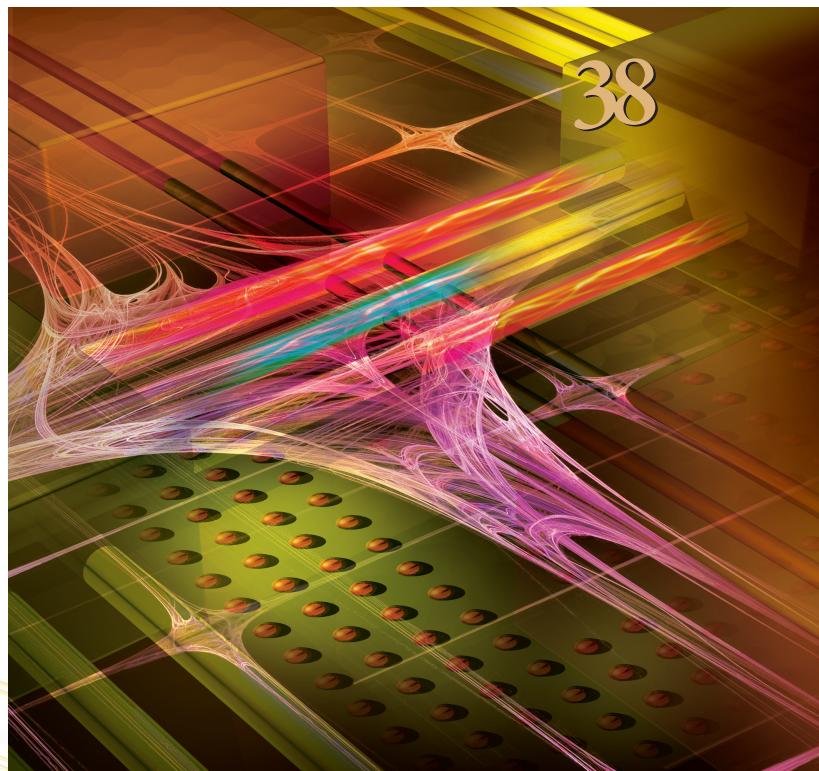
ASK FAE-X

補間ルックアップ テーブル (ILUT) により、
DSP ファンクションのインプリメントが容易に ...46

XTRA READING

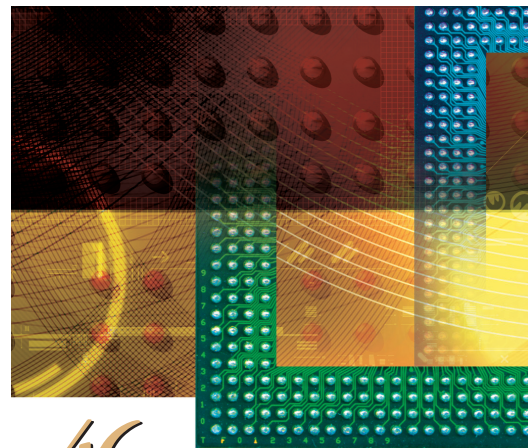
Xamples...

アプリケーション ノート ...52



Cover Story

FPGA が有線通信機器の
中心的な役割を担う ...12



広告索引

リニアテクノロジー株式会社 ...表2-1

マイクロレル・セミコンダクタ・ジャパン株式会社 ...11

株式会社グレープシステム ...19

株式会社ミッシュインターナショナル ...31

有限会社ヒューマンデータ ...45

Xcell Journalのご送付先住所等の変更は：

<http://japan.xilinx.com/xcell/henko/>

Xcell Journal の新規定期購読のお申込みは：

<http://japan.xilinx.com/xcell/toroku/>

Targeted Design Platforms Put Innovation on Fast Track

ターゲット デザイン プラットフォームで技術革新を加速

最新の Spartan-6 および Virtex-6 FPGA 用に最先端のインフラを開発

Mike Santarini
Publisher, Xcell Journal
Xilinx, Inc.
mike.santarini@xilinx.com

2008 年に Moshe Gavrielov がサイリンクスの社長兼 CEO に就任した際、彼は数十年におよぶ半導体企業の経営幹部や IC 設計者としての知識・経験を持ち、多くの経済的実態がそうであるように、電子製品の将来においてプログラマビリティは避けられないものであり、いずれはこれに収束するだろうという見解を持っていました。

Gavrielov は、サイリンクスの経営に携わる前、長年 LSI Logic 社で ASIC グループを率いており、その後 EDA 企業である Verisity 社の CEO に就任しました。これらの企業ビジネスに係わっていた期間、厳しい開発予算内で新しい市場と恒常的に発展する標準規格に迅速に対応しようと懸命に努力しつつも、IC 設計の複雑さや製造コストが上昇していく状況を目の当たりにしてきたのです。

Gavrielov は、FPGA によって製造コストの負担が軽減されるという理由から、これらの要因がザイリンクス発展の好機になると結論付けました。FPGA デバイスはリプログラマブルであるため元来柔軟性が高く、設計上のエラーも容易に修正できるものです。

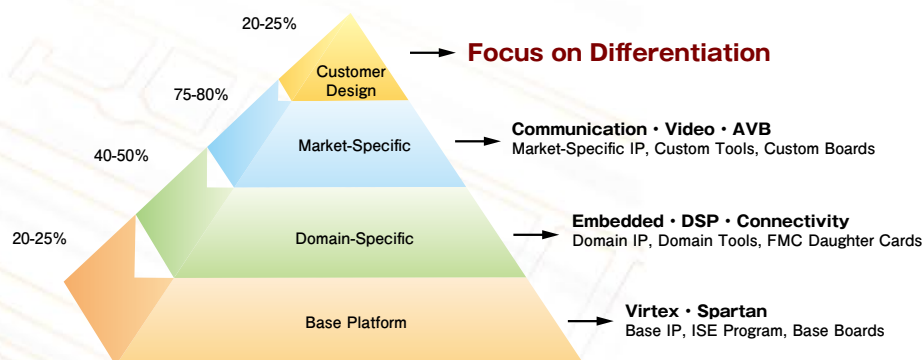
しかし、実際にザイリンクスにとっての発展の機会を逃さないようにするには、業界最良の FPGA を提供するだけでなく、世界クラスの設計ツール、豊富な知的設計資産 (IP コア)、評価キット、サービス、ドキュメント、ターゲットのリファレンス デザインなどを補うことで、シリコンを完全なものにする必要があります。これら各エレメントは、カスタマが革新的な製品をいち早く市場に投入できるようにするために、なくてはならないものです。

Gavrielov の理念を実現するため、ザイリンクスとパートナー企業が協力し、ターゲット デザイン プラットフォームというアプローチを開発しました。これは、FPGA の初心者から経験豊富な設計者まで、あらゆるユーザーに対して、FPGA の設計プロセスを簡素化することを目的としているものです。

ザイリンクスのターゲット デザイン プラットフォーム

このアプローチを具体的にするため、ザイリンクスは 4 層から成るピラミッド型の戦略を採用しました。これは最下層部から、ベース ターゲット デザイン プラットフォーム (ベース プラットフォーム)、ドメイン特化プラットフォーム、マーケット特化プラットフォームとなっており、最上部にはユーザーによる差別化層が位置します (図 1)。ザイリンクスが提供するドメイン特化プラットフォームおよびマーケット特化プラットフォーム製品を、ベース ターゲット デザイン プラットフォームに追加することで、基本的な設計部分のより多くを自動的に構築することが可能となります。このアプローチによって製品の市場投入時間が短縮され、

図 1 - ザイリンクスのターゲット デザイン プラットフォームは、ユーザーの生産性向上を目的としています。



デザイン開発期間の多くを、製品の差別化作業に注力できるのです。

この点について Gavrielov は次のように語っています。「今日、ザイリンクスの高性能 Virtex®-6 および量産用 Spartan®-6 FPGA は、数十万個のプログラマブル ロジック セルに、最大 11.2Gbps のトランシーバ、38M ビットのブロック RAM および 2,000 の DSP スライスを備えています。これらの機能を活用することで、アプリケーション数にかかわらず、革新的なデザインが可能となりますのです。つまり、ASIC と ASSP の市場シェアを奪取する機会が熟しており、ザイリンクスこそが次世代電子機器の技術革新において中心的な役割を果たしていくのです。ターゲット デザイン プラットフォームは、FPGA の開発プロセスを容易にし、FPGA が持つ利点を最大限に引き出して、革新的な製品をいち早く市場に投入することが可能となるのです。」

ピラミッドを構成するベース層はベース ターゲット デザイン プラットフォームです。ザイリンクスは、2009 年 2 月に Virtex-6 (<http://japan.xilinx.com/products/virtex6/index.htm>) と Spartan-6 (<http://japan.xilinx.com/products/spartan6/index.htm>) FPGA ファミリー製品発表し、その後 6 月にベース ターゲット デザイン プラットフォームの提供を開始しました。4 月には、ターゲット デザイン プラットフォーム サポート用 ISE® Design Suite Edi-

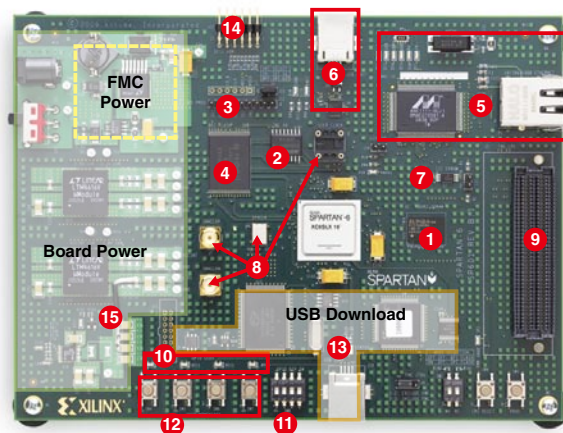
tion 11 (http://japan.xilinx.com/support/documentation/white_papers/wp307.pdf) がリリースされています。

6 月に発表された Virtex-6 と Spartan-6 FPGA 用ベース ターゲット デザイン プラットフォームの最初の製品は評価キットという形で、新しいプラットフォーム アプローチの利点を実現するために必要なすべてのエレメントを組み合わせています。この評価キットには、最新の ISE Design Suite 11.2 と Virtex-6 LX240T および Spartan-6 LX16 FPGA 評価ボード、検証済みのベース IP コア、ベース プラットフォーム リファレンス デザイン、およびドキュメント一式が含まれています。このドキュメントを参考にすると、ハードウェアのセットアップからソフトウェアのインストールと設計開始に至るまでのプロセス全体を把握することができます (http://japan.xilinx.com/products/targeted_design_platforms.htm を参照)。

ザイリンクス プロダクト マーケティングのディレクタの Brent Przybus は、次のように語っています。「ベース ターゲット デザイン プラットフォームのリリースは、Virtex-6 と Spartan-6 FPGA のデザインを開始できる準備が整ったことを意味しています。つまり、ISE Design Suite 11.2 をダウンロードし、Spartan-6 と Virtex-6 FPGA 用のベース評価キットを注文して、包括的なドキュメントにアクセスすることでデザイン開発に

図 2 - Spartan-6 SP601 評価キットのボードは、豊富なシステム ファンクションを搭載しています。

- # Feature
- 1 DDR2
 - 2 SPI x4, x1, Ext. x4 Configuration
 - 3 SPI Header
 - 4 Parallel Flash
 - 5 10/100/1000 Ethernet
 - 6 USB UART
 - 7 IIC
 - 8 Clock, Socket, SMA
 - 9 FMC LPC connector
 - 10 LED
 - 11 DIP Switch
 - 12 Pushbutton
 - 13 USB JTAG
 - 14 12-pin (8 I/O) Header
 - 15 VCCint Voltage Selection Header



着手できるのです。」

ターゲット デザイン プラットフォームのメソッドロジ

ターゲット デザイン プラットフォームのメソッドロジでは、ベース ターゲット デザイン プラットフォームを使用してプロジェクトに着手し、ほぼすべてのアプリケーションに共通な基本的ファンクションにアクセス可能となります。作業する設計領域（ドメイン）に基づき、ロジック設計者、DSP 設計者、エンベデッド ソフトウェアのプログラマ、あるいはシステム エンジニアは、ザイリンクスのドメイン特化キットから必要なものを選択し、それらをベース ターゲット デザイン プラットフォームに追加できます。

これらのキットからは、ISE Design Suite 11 Edition に含まれるドメイン特化ツール、ザイリンクスや重要な IP コア パートナが検証したドメイン特化 IP コア 用ライブラリ、ドメイン特化ドーター カードが入手可能です。ベース プラットフォーム評価ボード上の FPGA メザニン コネクタ (FMC) を介してベース ターゲット デザイン プラットフォーム評価ボードにカードを挿入すれば、デザインを迅速にインプリメントできます (12 ページの補足記事を参照)。また、各ドメイン特化キットには、リファレンス デザインが含まれ

ているため、使用するファンクションをインプリメントする際の参考になります。

これらドメイン特化キットに加え、ザイリンクスとパートナーはマーケット特化プラットフォームも開発しました。特定のマーケットに特化したドーター カードを FMC コネクタを介してベース プラットフォームに装着することで、マーケット特化ボードが使用できます。各マーケット特化キットには、ドメイン特化キット同様に、検証済みの IP コアとリファレンス デザインが含まれているため、デザインにファンクションを容易に追加できます。

Przybus は、ターゲット デザイン プラットフォームについて、さらに次のように説明しています。「ターゲット デザイン プラットフォームのエレメントを多く追加するほど、設計を早く完成できることとなります。たとえば、ベース プラットフォームで入手可能なファンクションをすべて利用すると、プロジェクト全体の最大 25% がインプリメント可能で、貴重な時間を節約されることから、その他の部分の開発に注力することができるのです。また、ドメイン特化キットも利用すれば設計の約 50% を、さらにマーケット特化キットを使用することで最大 75% をインプリメント可能です。そして、残りの 25% の設計に集中することで最終製品の差別化に集中することができるのです。」

ゼロからスタートして FPGA 全体をイ

ンプリメンテーションしたいと思うユーザーがいることも、また、それが可能であることも指摘した上で、大多数はターゲット デザイン プラットフォームの全エレメントを利用して最大の利益を得る方を望むであろうと述べています。

ユーザーのニーズをターゲットに

「ターゲット デザイン プラットフォームは、すべての層のカスタマを対象にして開発されたものです。つまり、プログラマブル デバイスを長年徹底して使用してきた FPGA 設計のエキスパートから、これまで ASIC と ASSP に携わってきた設計者で、大部分を FPGA に移行しようとしている設計者などがここに含まれています。また範囲を拡大して、FPGA の経験のまったくない ASIC 設計者や、スタンドアローン プロセッサのプログラミングの経験しかない初心者も対象としています。」

「ターゲット デザイン プラットフォームでは、初心者が設計を素早く開始するために必要な FPGA、IP コアおよびツールに加え、参考となるリファレンス デザインも提供しています。これらリファレンス デザインに設計者自身のコンテンツを追加することで、製品の差別化を図ることができるのです。ターゲット デザイン プラットフォームを使用すれば、初心者でも FPGA の設計に素早く馴染むことができ、さらに経験を積み設計における差別化に貢献することが可能となります。」

「FPGA 設計の知識や経験があり、FPGA 設計の取り組みをさらに拡大したいと考えている場合もターゲット デザイン プラットフォームを使用すれば、開発時間の大幅短縮および迅速な市場投入も可能となるでしょう」と Przybus は述べています。「FPGA の設計には馴れていても、大きな課題の 1 つは、デザイン全体もしくはその一部を新しい FPGA に移行することです。ターゲット デザイン プラットフォームでは、新しい機能の使用法を示すリファレンス デザインや有用な移行テクニックが利用できるため、これが

非常に簡単になります。また、ザイリンクスが実施した方法を確認でき、その具体例を活用すれば、設計への取り組みが拡大できます。」

「FPGA のエキスパートもデザインの移行には関心を持っていますが、彼らは通常、FPGA の性能を最大限に引き出すことと電力効率を最大にすることに焦点を当てて設計しています。」と Przybus は述べています。「ターゲット デザイン プラットフォームでは、新しい FPGA とツールを利用して FPGA から最大の効率を引き出せるような具体例をユーザーに提供しています。電力効率を最適化するために消費電力を監視できる設計環境、および最高速のマルチギガビット トランシーバと DSP スライスをインプリメントして解析する際の設計環境を提供しています。また、それらの要素を評価するために使用されるシステム中心の設計手法を導入するのは、これが初めてです。この組み合わせにより、開発時間が短縮されます。」と、Przybus は述べています。

Spartan-6 と Virtex-6 評価キット

ベース ターゲット デザイン プラットフォームの中心となるエレメントは、評価キットです。具体的には、Spartan-6

SP601 評価キットと Virtex-6 ML605 評価キットです。現在、これら新製品の注文を受け付けています。

Spartan-6 FPGA SP601 評価キット (図 2) は、Spartan-6 LX16 FPGA を使用して民生機器、インフォテインメント、ビデオ、およびコストと電力を重視するその他アプリケーションを開発するための、低コスト、エントリ レベルの環境です。このキットのシステム レベルの機能には、DDR2 メモリ制御、フラッシュ、イーサネット、汎用 I/O および UART などが含まれています。またこのキットには、ISE Design Suite 11.2 WebPACK、リファレンス デザイン、デモ、ボード デザイン ファイル、ケーブル、電源が含まれています。

また、Virtex-6 FPGA ML605 評価キット (図 3) は、Virtex-6 LX240T FPGA でシステム デザインを開発するためのスケーラブルな環境です。このキットに含まれるシステム レベルの機能には、高速シリアル トランシーバ、PCIe[®] Gen2 ブロック、ソフト DDR3 メモリ コントローラ、ギガビット イーサネット、DVI などがあります。ISE Design Suite 11.2 Logic Edition、リファレンス デザイン、デモ、ボード デザイン ファイル、ドキュメント、ケーブル、電源もこのキットに含まれています。

簡単な 3 ステップでデザインを キックスタート

本キットは、ユーザーが箱からソフトウェアを取り出して走らせるまでに、3 ステップの処理で行えるよう簡単に設計されています。

ステップ 1 では、ボードと PC をケーブルで接続し、ボードの電源を入れ、リファレンス デザイン インターフェイス ソフトウェアをコンピュータにロードし、リファレンス デザイン デモを見て、そして作業を開始します。

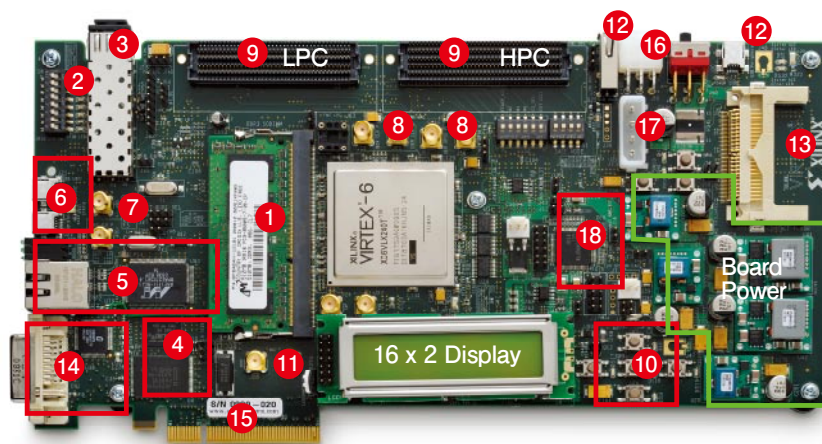
ステップ 2 では、リファレンス デザインを評価します。このリファレンス デザインには、別のデザイン インプリメンテーションが含まれており、共通のファンクションをインプリメントするためにハード IP コアとソフト IP コアが使用されています。カスタマは、直接、基本となるリファレンス デザインから機能を評価でき、結果を視覚的に観察でき、同時に重要な性能統計を見ることができます。

ステップ 3 では、ISE Design Suite のデザイン ツールを起動し、リファレンス デザインをカスタマイズし、新しいデザインをソフトウェアで生成します。次に、それを評価ボードにダウンロードし、そのデザインを FPGA 上で実行します。「実際この作業は非常に簡単です。」そし

図 3 - Virtex-6 ML605 評価キットは、世界トップクラスの機能性を有します。

Feature

- 1 DDR 3
- 2 GPIO Dip Switch
- 3 SFP
- 4 Flash
- 5 10/100/1000 Ethernet
- 6 USB UART & USB JTAG
- 7 MGT Clock
- 8 User Clocks
- 9 FMC Connectors
- 10 Pushbuttons
- 11 MGT
- 12 USB 2.0
- 13 Card Reader for System ACE
- 14 DVI Output
- 15 PCI Express
- 16 12V Wall Adapter Power
- 17 12V ATX Power
- 18 Power Regulator Control



て「わずか数分で、セットアップして走らせることが可能です。」と Przybus は語ります。

ISE Design Suite 11.2 のリリースにより、ザイリンクスのツールスイートは Virtex-6 と Spartan-6 FPGA ファミリをサポートできるようになりました。全体の走行時間は 2 倍改善され、XST を使用したときの合成時間は 2 倍以上の改善、また配置・配線の最適化により全体の動的消費電力は 10 パーセント低減されています。加えて、以前の ISE バージョンと比較して、本ツールがワークステーション上で必要とするメモリは 28 パーセント少なくなっています。

ISE 11.2 は、SecureIP シミュレーションモデルをサポートしています。したがって Cadence 社、Mentor Graphics 社、および Synopsys 社からのサードパーティシミュレータとの互換が容易です。また、Mentor Graphics 社の Precision RTL および Precision RTL Plus 製品はベースターゲットデザインプラットフォームをサポートしています。Synopsys (Synplify) 社からの Synplify Pro と Synplify Premier ツールも同様です。

実際、ベースターゲットデザインプラットフォームおよび全体のターゲットデザインプラットフォーム戦略における他の重要な要素として、IP コアのサポートがあります。ベースターゲットデザインプラットフォームのリリースに合わせ、ザイリンクスとこの IP コアパートナーは Spartan-6 と Virtex-6 FPGA ファミリをサポートする多くのコアを開発してきました。

次期ドメイン特化製品とマーケット特化製品には、これらの IP コアが搭載されることになるでしょう。たとえば、Northwest Logic 社からの PCI Express® DMA Engine があります。ザイリンクスと Northwest 社は、この DMA Engine とデモ用アプリケーションおよびドライバをパッケージにし、完全な Connectivity Targeted Reference Design を構築して、新しい Spartan-6

FMC カードによるデザイン開発の促進

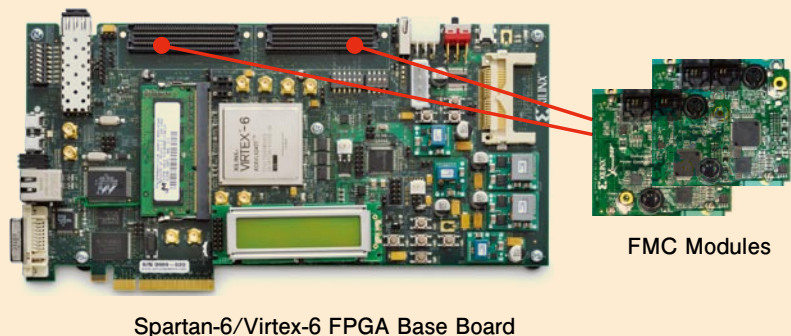
ターゲットデザインプラットフォームアプローチの成功への鍵の一つに、ザイリンクスと販売代理店および IP コアパートナーのネットワークが、VITA 標準化団体の FPGA Mezzanine Card (FMC) を相互に採用したことがあげられます。FMC は、ザイリンクスとパートナーによるドメイン特化キットとマーケット特化キットをベース評価キットに取り付ける際の標準的なインターフェイスです (図 4 参照)。

この標準をベースにしたアプローチにより、ザイリンクス、およびサードパーティコンポーネントやボードのサプライヤ (Avnet Electronics、Curtiss-Wright Controls Embedded Computing、Linear Technology および Northwest Logic の各社が含まれます) におけるザイリンクスネットワークは、相互のカスタマに対して最新の優れた製品を提供できるようになります。

ANSI 承認の VITA 57.1 標準では、パラレル I/O、シリアル I/O、クロック、JTAG、制御信号および電源にあらかじめ定義された固定のピンを割り当てています。本標準に準拠した接続では、明確な高性能 Samtec SeaRay を使用しており、ローピンカウント (LPC) 4 x 40 並びとハイピンカウント (HPC) 10 x 40 並びとなります。従来のザイリンクス FPGA ボードとの互換性を保つために、電圧互換 FMC HPC/LPC モジュールが含まれています。

— Mike Santarini

図 4 - FPGA Mezzanine Card (FMC) 接続により、IP コアとキットの迅速な開発が容易になります。



Spartan-6/Virtex-6 FPGA Base Board

FMC Modules

と Virtex-6 およびザイリンクスのベースプラットフォームをサポートできるようにしています。

ザイリンクスが販売する Spartan-6 FPGA SP601 評価キットの価格は \$295 で、Virtex-6 FPGA ML605 評価キットの価格は \$1,995 です。Spartan-6 FPGA SP601 評価キットは現在入手可能です。Virtex-6 FPGA ML605 評価キットは 7 月より発売開始しています。←価格と供給状況を確認してくださ

い。

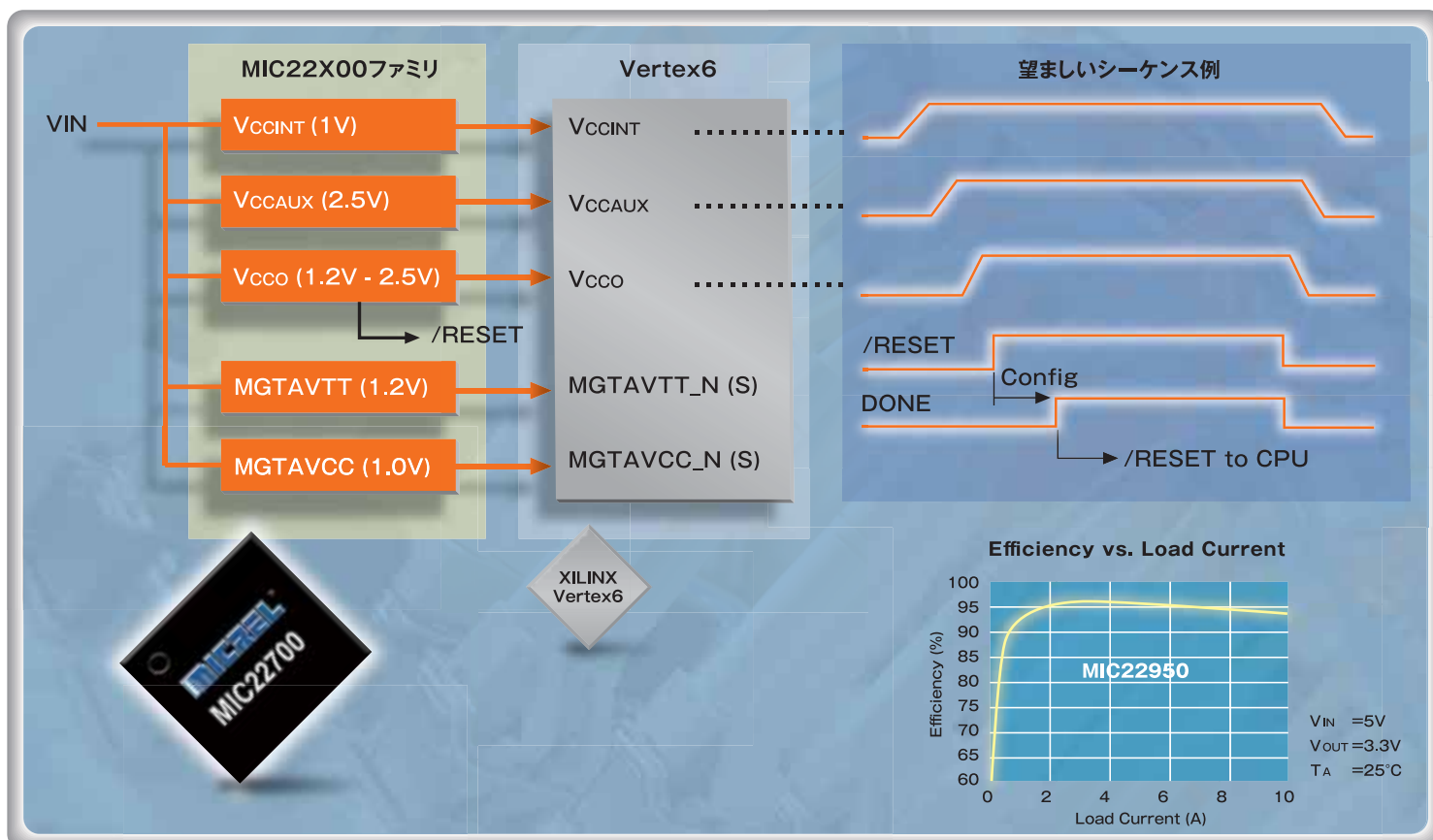
第 3 四半期に、ザイリンクスと販売代理店の Avnet 社は、コネクティビティ、エンベデッドおよび DSP スペース用にドメイン特化キットの開発を予定しており、それに続いて通信、ビデオおよびブロードキャスト用のマーケット特化キットも予定されています。

詳細は、最寄りのザイリンクスオフィスまたは販売代理店にお問い合わせください。🌈

MIC22000高効率/多機能BUCKレギュレータ

FET内蔵、同期整流型、POL向け高機能2次電源IC

「FPGAの電源ON/OFFシーケンスは別に気にしなくても良いと言われた。」本当にそれでいいのですか？ DS302,DS202, DS152,DS123を再度熟読してみてください。電源ON/OFFには順序が必要で電圧のランプ速度も規定があります。ランプ速度によってはコンフィギュレーションROMのRESET解除タイミング回路の設計に影響を与えます。高速通信向けのGTX用電源そしてPLL電源には、ノイズの無いLDOも考慮したいですね。高価な開発基板が電源トラブルではデバッグも開始できません。マイクロレ MIC22000シリーズなら、専用のシーケンス制御ICを必要とせずにFPGAやASICが要求する電源要件を満たせます。



特長

- 統合されたMOSFET スイッチ
- 超高速応答で小型出力コンデンサ対応
- 2Aから15A超までの出力電流
- 0.7Vまでの出力電圧調整
- ランプ速度/遅延/POR出力調整可能
- 混載アナログ回路用にMIC68000ファミリLDOとも連動可能)
- 2.6～5.5Vの入力電圧範囲
- 過電流保護/過熱保護/減電圧保護機能内蔵

MIC22200 シリーズ製品

型番	出力電流	スイッチ周波数	パッケージ	インダクタ	出荷状況
MIC22200	2A	2MHz,5MHz固定	MLF12/ETSSOP16	1μH, 0.47μH	量産中
MIC22400	4A	800KHz-4MHz可変	MLF20/ETSSOP20	2.2-0.47μH	量産中
MIC22600/1	6A	1MHz,4MHz固定	MLF24/ETSSOP24	1μH, 0.47μH	量産中
MIC22700	7A	1MHz固定	MLF24/ETSSOP24	1μH	量産中
MIC22950	10A	800KHz-4MHz可変	MLF32	2.2-0.47μH	量産中
MIC221500	15A	400KHz-2MHz可変	MLF32	2.2-0.39μH.	開発中

販売
代理店

伯東株式会社
〒160-8910
東京都新宿区新宿1-1-13
TEL:03-3355-7629

ユニ電子株式会社
〒140-0001
東京都品川区北品川3-6-17
TEL:03-6811-7478

株式会社リョーサン
〒101-0031
東京都千代田区東神田2-3-5
TEL:03-3862-2635

詳しくは弊社ホームページをご覧ください。

<http://www.micrel.jp>

マイクロレ・セミコンダクタ・ジャパン株式会社

〒220-6014 神奈川県横浜市西区みなとみらい2-3-1 クイーンズタワーA14階
TEL: 045-224-6616 FAX: 045-224-6716

FPGAs Take Central Role in Wired Communications

FPGA が有線通信機器の 中心的な役割を担う

高速化への要求とマルチメディアの出現により次世代ネットワークにおける
高度なプログラマブル デバイスの必要性が急増

Mike Santarini
 Publisher, Xcell Journal
 Xilinx, Inc.
mike.santarini@xilinx.com

有線通信ビジネスには、スピードに関して飽くことを知らない高いニーズがあります。15 年前、データ転送レート（帯域幅とも呼ばれる）は毎秒数 100 K ビット（数 100Kbps）でした。しかし今日のネットワークでは、10Gbps のスピードで世界中にデータを配信することができ、ネットワーク送信の特定の場所ではテラビット（= 1000Gbps）にも達します。FPGA はこの進化の過程で一定の役割を担ってきましたが、その技術がムーアの法則をベースに進化するにつれて、次世代有線ネットワークでもより中心的な役割を担うことが考えられます。

AT&T や Verizon などの通信機器メーカーは、マルチメディア コンテンツを配信する最新の高帯域幅ネットワークに多額の出費をいとわない加入者を呼び込むために、音声サービスに加え、何種類かの高速データ通信が可能な高速システムの構築を、ネットワーク機器メーカーに要求しています。市場調査会社である iSuppli 社のブロードバンドと Internet Protocol TV (IPTV) 分野の主席アナリスト Steve Rago 氏は、電話会社の多くは音声のみのネットワークからビジネス転換を図ろうと緊急に模索していると指摘しています（12 ページの補足記事を参照）。同様に、大手企業も従業員が世界的規模で効率よく通信できるような高速ネットワーク機器を要求しています。たとえば金融業界では、高速ネットワークがあれば遠隔地のトレーダーは素早い発注が行えるようになります。より高速なデータ通信が可能になれば、文字通り売り上げ増加につながるというわけです。

Cisco Systems や Alcatel-Lucent、Nokia-Siemens Networks、Juniper Networks などのネットワーク機器メーカーは、データ転送スピードが 40Gbps と 100Gbps の機器の通信業者や一般企業への売り込みで先陣を競っています。そ

れにはまず、最先端でしかも最新世代の IC で機能強化された次世代のルーターとスイッチを開発する必要があります。さらに、次世代ネットワーク標準、すなわち 40G と 100G 標準規格が進化していく過程でこの作業を行うことが重要です。

有線ネットワークの基礎

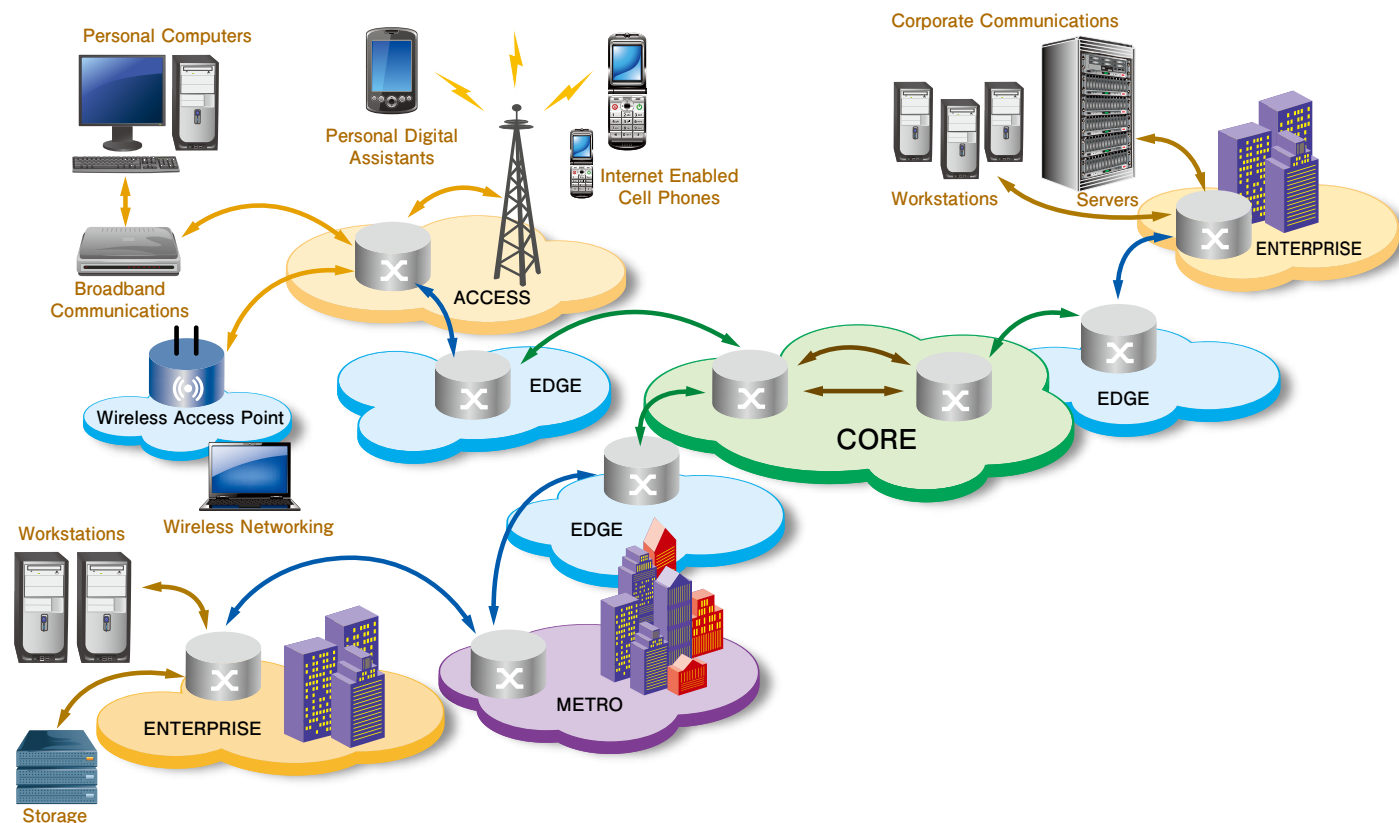
今日の有線通信ネットワークは、一つの情報を他の目的地に結び付けるための、一般道路やハイウェイ、スーパー ハイウェイで構成される道路網のようなものです。道路の種類によりスピード制限は異なり、狭い裏道は全体の交通状況を悪化させ、かえって情報が目的地に届くまでに大変な時間がかかってしまいます。

一般のユーザーが家庭の PC からインターネットのサイトにアクセスしてファイルをダウンロードする場合、PC からのデータ要求はデータ パケットの形式で最大 1Gbps の速度で行えます。この速度は、PC を通信事業者のアクセス ネットワークに接続している銅配線により制限されます。このアクセス ネットワークは、データ パケットの特に転送先とサイズを読みだし、メトロ ネットワークに転送します。メトロ ネットワークは、一連の高速なルーターとスイッチで構成され、パケットを読みだして回線上の次のルーターへデータを転送します。メトロ ネットワーク上でのルーターからルーターへのデータ転送速度は 10Gbps です。

長距離ルートの場合、メトロ ネットワークは最終的にコアと呼ばれるデータのスーパー ハイウェイに接続されることになります。このコアは光ネットワークで、Web ページやビデオ クリップ、音楽などのインターネット ファイルを保持するデータ サーバーに近いメトロ ネットワークへ高速にデータ転送を行います。それを受けたデータ サーバーは、要求されたデータ ファイルをネットワークを介して送り返します（図 1）。

それぞれの交点、すなわちハブにおけるルーターは、データ パケットに含まれる転送先やサイズなどの情報を読み、ネット

図1 - 40 ~ 100Gbps の帯域幅で動作する次世代有線通信ネットワークは、新世代のブロードバンド サービスや多くの新しい電子デバイスに拍車



ワークの現在のトラフィック条件下で最も早いルートを決める必要があります。そしてそのデータを次の交点に送り出します。長距離ルートを光ネットワークに接続するには、光ネットワークの一番前のルーターが、電子ルーター用のデジタル信号で書かれたデータを光領域で利用できるプロトコルに変換する必要があります。最終的に、コアネットワークの終端では他のルーターが逆の作業を行います。すなわち、光データを再変換して電子パケットの形式に戻します。そして、ネットワークの現トラフィック条件下で最も速いルートを探して、次の電子ルーターあるいはデータサーバーへそのデータを送り出します。

アクセスやダウンロードは、ファイルのサイズやロケーションにより異なりますが、通常数秒から数分で終了します。FPGA 技術が常に進化していることにより、将来のネットワークはさらに高速化されます。

テレコムとデータコンのコンバージェンス

現在有線ネットワークには、コンピューティング用とテレコム用の 2 種類があります。従来これらのネットワークは別々のものでした。各々が独自のプロトコルを持ち、ルーター用の機器や、帯域幅に対する要件および帯域幅の成長率も異なっています。たとえば、一般的にテレコム業界での帯域幅の増加は 4 倍ずつ (2.5Gbps から 10Gbps、現在は 40Gbps に移行中) 行いますが、コンピュータ ネットワーキングではそれが 10 倍ずつ (100M、1G、10G) となっています。しかしながら、ザイリンクスのエンジニアである Gordon Brebner によると、有線ネットワークの改革が行われた数年前から 10Gbps で 2 つのネットワークの融合が始まっています。これは、両ネットワークがそれぞれ最高帯域幅レートを増大させる過程で、イーサネットの物理信号方式とテレコム信号方式

が融合していくことを指しています。これらのネットワークは、現在は独立しているというものの、ネットワーク業界では過去数年前からそれらを特にイーサネットに融合しようと努力してきました。

「イーサネットは、単にユーザーをユーザーの IT 部門に接続するための手段であると考えられていました。」と、Brebner は述べています。「現在ではイーサネットはどこにでも存在するが、それが通信事業者間のイーサネットに発展して、通信業界はこのイーサネット技術を自社のネットワーク上で使用できるようになりました。」10Gbps イーサネット (10GE) 技術については、「ここ数年間で標準化が行われてきました。」と、Brebner は述べています。「そして現在は、40GE と 100GE を一緒に IEEE 802.03ba への起草が進められており、最終的にこの標準化作業は 2009 年後半に完了すると期待されています。」

Brebner は、40GE がテレコムの次の

ステップになるのではないかと主張しており、業界でも 40GE は初期の企業内ネットワークに最適であると考えられています。通信事業者は、長距離送信に 100GE 標準を使用するでしょう。しかし競争が激化し、機器メーカーが企業内ネットワークにも 100GE を採用する事例もでてくることでしょう。

ルーターの内部

ネットワーク機器メーカーが高速でデータを転送するには、最新の設計回路によって非常に高度な電子機器（ルーター、スイッチ、転送システムなど）を製造する必要があります。

たとえば、メトロ ルーターの心臓部は一連のライン カードで構成されていますが、それぞれのライン カードは、種々のプロトコルで書かれたデータ パケットを受信し、パケットの発信元やサイズ、転送先を調べると同時に、ネットワークのその他の部分に関する情報も調べた上でパケットをスイッチに送ります。次にスイッチは、そのパケットをネットワーク上の次の転送先に送ります。ライン カードは、これらすべての計算を数ナノ秒という非常に短い時間で実行する必要があります。

従来のライン カードは、1 つの CPU、専用ネットワーク プロセッサ ユニット (NPU) および複数の高速 FPGA で構成されていました。パケットがライン カードに入ってくると、FPGA でルーターが読めるフォーマットに変換します。プロセッサは、NPU がデータを送受信できるようにする必要がありますが、FPGA が CPU と NPU 間のプロトコル変換を行います。

ルーターはパケットを適切に処理するのに、複数のプロトコルを解釈する必要があります。実際には、1 つのパケット内に重層配置されている各種のプロトコル（従来のものから最新ののものまで）をサポートする必要があります、と Brebner は述べています。もちろん、世界全体が 1 つのプロトコルあるいはプロトコルのセットで統一することができれば、ネットワークのスピードアップも可能でしょう。ネットワークが競

合他社より優れていることをアピールするための差別化の多くは、ルーターが使用するプロトコル上で行われていると Brebner は指摘しています。通信事業者は、この競争上の優位性を追求していくことでしょう。

次世代有線ネットワークは、音声やインターネット データ、ビデオを同時に転送できるようになっていきます。いわゆるこのトリプル プレイには新しいプロトコルの開発が必要で、通信事業者はこのデータの転送をより効率よくより安全に行うために、一連の微調整や変更は避けられないでしょう。

すなわち、ハードウェアを修正して機能性を変更する能力が重要になってくるわけです。その能力によって通信機器が新しいプロトコルを利用できるようになり、結果

OEM メーカーに大きなメリットを提供できるようになります。多くの企業は、自社の通信システムでは ASIC や ASSP は自身のソフトウェアのみを変更するだけの機能しかないという理由でその使用を避けています。これとは対照的に、FPGA を使用すればハードウェアの変更も可能で、しかもソフトウェア領域でソフトウェアの機能性をテストすることもできます。また、アルゴリズムのハードウェア インプリメンテーションを FPGA 内に生成することで、さらなる高速化が図れます。

NPU の機能性をプログラマブル ロジックのファブリック内に統合することにより、ルーター内で FPGA により中心的な役割を担わせることに期待を寄せている機器メーカーもあります。傾向として、FPGA ベンダは半導体ベンダのなかでも先

表 1 - ザイリンクス SERDES の豊富な Virtex-5 TXT は、次世代有線通信機器の開発者に革新的なプログラマブル プラットフォームを提供

Virtex-5 TXT FPGA プラットフォーム			
製品番号		XC5VTX150T	XC5VTX240T
スライス		23,200	37,440
ロジック セル		148,480	239,616
CLB フリップフロップ		92,800	149,760
分散 RAM の最大数 (Kbit)		1,500	2,400
ブロック RAM/ECC 付 FIFO (各 36Kbit)		228	324
トータル ブロック RAM (Kbit)		8,208	11,664
デジタル クロック マネージャ (DCM)		12	12
フェーズ ロック ループ		6	6
シングルエンド ピンの最大数 (4)		680	680
DSP48E スライス		80	96
PCI Express エンドポイント ブロック		1	1
10/100/1000 イーサネット MAC ブロック		4	4
RocketIO™ GTX 高速トランシーバ		40	48
パッケージ (7, 8) エリア			
FFA パッケージ (FF) : フリップチップ ファインピッチ BGA (ボールピッチ 1.0 mm)			
FF1156	35 x 35 mm	360 (40)	
FF1759	42.5 x 42.5 mm	680 (40)	680 (48)

駆者として新しいプロセス技術の採用を行ってきました。ムーアの法則に基づく、同じ面積に実装できる FPGA のロジック容量は 2 倍になっていきます。それにより従来では搭載できなかった新たな機能の追加が可能になります。FPGA の世代が新しくなるたびに、従来 NPU が実行していた機能を FPGA に代替できる可能性が高まります。プロトコル変換やインターフェイ

スの機能性をワンチップ上に統合することにより、ルーターの処理能力が向上し、全体の部材コストの低減に加え消費電力も低減されることから、最終的にはネットワーク全体の運用コストが削減されます。さらに、FPGA はソフトウェアと同様にハードウェアのリコンフィギュレーションができ、その結果フィールドでの仕様変更が可能になります。したがってネットワーク機

器のベンダは、自社製品が稼動中でも市場でアップグレードする機会が得られます。

FPGA は、さまざまな分野のなかでも特に有線通信アプリケーションに最適な形で急速に進化しており、ネットワーク機器設計者が次世代ルーターに採用する機会はますます増えています。ネットワーク インターフェイスのスピードが増加している状況に対応するため、新世代 FPGA には数

ブロードバンドの大金をめぐる戦い

最近電話会社では、競合するケーブル会社に音声サービスの利用者を横取りされ、収益の落ち込みに直面しています。この打開策として、ネットワークを補強してマルチメディア サービスの提供を急いでいます。これは潜在的に、次世代ブロードバンド製品の新たな成長を後押しすることになるでしょう。

「ここ数年間、電話会社は驚くべき割合で加入者数を減らしてきました。」と、iSuppli 社のアナリスト Steve Rago 氏は述べています。「毎年、およそ 4 ～ 10 パーセントの加入者が他のサービスに奪われています。」

この現象にはいくつかの理由が考えられます。「まず第 1 は、多くの人々が携帯電話を唯一の電話回線として使用していることです。」そして、「第 2 の理由は、インターネット用の第 2 の回線の必要性の有無が挙げられます。場合によってはファックスの必要性さえ無くなりつつあります。ブロードバンドがあればインターネット向けの第 2 の回線は不要です。」と Rago 氏は述べています。加えて、ケーブル マルチサービス オペレータ (MSO) は、音声サービスをケーブル TV やインターネットと一緒にまとめることによって、従来の音声サービスの利用者の獲得に成功している、と指摘しています。昨年の第 4 四半期に、「米国だけで、ケーブル会社は 100 万人におよぶ音声サービスの加入者を獲得しました。」と、Rago 氏は述べています。今、同様の変化が世界的規模で起きています。音声ネットワークが採用されて 12 年位しかたっていない中国本土でさえ、同じ現象が起きていると指摘しています。

Rago 氏の指摘によると、通信事業者だけは現在提供しているブロードバンド サービスからの売り上げ増加を享受しています。しかし、音声サービスの売上高の損失を相殺するまでには至っていません。「彼らの最終結果は、売上高の成長でみればほとんど変わらないか、多少成長は減衰しています。したがって、ウォール街に対してはあまり良い立場にあるとは言えません。」と、述べています。「通信事業者がビジネスに対する基本方針を変えない限り、彼らは消滅してしまうでしょう。もはや彼らを必要としている人は誰もいません。」

その一方で、有線分野での彼らの競争相手である MSO もさほど大きな成長をしているわけではない、と Rago 氏は述べています。「実際には、競争相手である衛星通信会社と通信事業者の参入により、売上高は横ばいか、やや低落傾向にさえあります。」と、同氏。

世界中の電話会社は、会社を成長軌道に戻すために、音声サービスに他のサービスとともにビデオを付加価値サービスとして追加することを同業他社と決定したようだ、と Rago 氏は述べています。彼らは、インターネット ベースのサービスの一つ、特にタイム シフティング TV に期待をかけています。これは、見たいプログラムをいつでも見たい時間に見ることができるようになるサービスです。「現在見ている TV 方式からのパラダイムのシフトと言えます。それは、テレコム

会社が IPTV を採用することによる MSO にはない利点の一つです。」

さらに通信事業者は、毎秒あたりのビット数を基準にして顧客に請求するのではなく、MSO が今日やっているものと同じ方式を採用することに決定した、と Rago 氏は述べています。「ビデオ サービスに対しての支払い (たとえば、IPTV) や、音声その他サービスに対しても料金を支払う必要があります。プランにどんなサービスを追加するかによって、支払金額が決まります。」ほとんどの電話会社がこの新しいサービスをすでに提供しているか、今後提供を計画している、と Rago 氏は述べています。

数 10 億ドル争奪への課題

一方で、MSO は従来の音声サービスの加入者を彼らのマルチメディア ミックスに引き込もうとする試みを今後も続けることでしょう。おそらく MSO は、彼ら独自の付加価値サービスを用意しているでしょう。

電話会社と MSO が共通に抱える数 10 億ドル争奪戦の課題は、いかに成長を達成するかではなく、いかに持続可能な成長を達成するかにあります。

その方法の一つは、「新しいサービスをすべて提供できる十分な機能を家庭に引き込むことです。」と、Rago 氏は述べています。世界的に DSL、とくに ADSL はユーザー規模で最大級のものだと彼は述べています。「しかし、ブロードバンド DSL や光ファイバーを家庭に引くことが多くなってきています。あるいは、家の近くまでは光ファイバーで、緑石の近くまでは BDSL のような形式もあります。新しいサービスでいうと、光ファイバーを家庭に引くのは 2 番目となり、それは、ケーブル モデムをはるかに凌ぐ勢いです。」

もちろん、アクセス機器をアップグレードして新しいサービスに対応することが、これらを可能にする鍵となります。「我々は 30Mbps ～ 100Mbps のスピードに対応した機器に注目しています。」と Rago 氏は述べています。タイム シフティング TV やビデオ オン デマンドなどの新しいサービスは、ネットワークのバンド幅にかなりのプレッシャーをかけることになります。「革新と強化に対する主なニーズは、長距離とメトロ ネットワーキングの分野で求められているでしょう。」それはまた、高速データ通信向け民生用デバイスの成長をもたらす可能性もあります。逆に、そのデバイスが次世代サービスの形態要件を決定するかもしれません。

実際、「ブロードバンドの大金をめぐる争奪戦」は新しい技術とサービスを生み、究極としてその技術は関連分野の技術革新につながります。誰がその戦いに勝利するかは、現時点では推測の域を出ていない、と Rago 氏は述べています。

詳細は iSuppli 社の民生通信に関する最新レポートで確認してください。

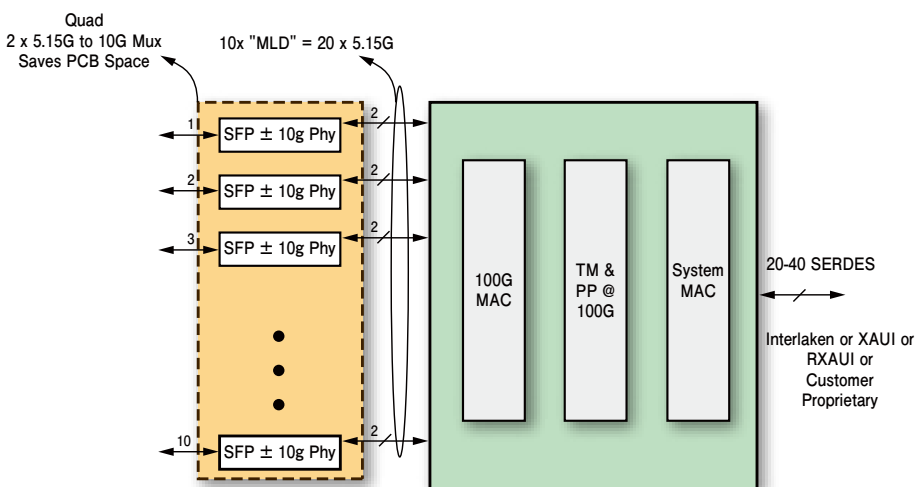
多くの高速トランシーバ機能が提供されており、ネットワーク全体のバンド幅が増加しても対応可能です。たとえば、Virtex®-5 TXT デバイス (表 1) には、6.5Gbps で動作する RocketIO™ マルチレート トランシーバが最大で 48 個搭載されています。このトランシーバをすべて使用するとデバイスの総バンド幅は 312 Gbps となり、高速ネットワークブリッジの構築には十分なものとなります。

高速トランシーバに加えて、最新 FPGA のロジックセル数はほぼ 2 倍になっており、これはムーアの法則にかなうものです。新しく追加されたロジックセルを使用することで、FPGA により多くの機能性を配置することが可能となり、従来 NPU に割り当てていた機能を FPGA に実装することも可能になります。

機器メーカーにとって、設計する機器の世代ごとに NPU を開発したり、設計内容に応じて適切な NPU を選択することは最も困難な課題である、と Brebner は述べています。ルーターの世代ごとに、NPU の性能を最大限になるよう設計することでシステム統合時に新たな問題が生じたり、最適な NPU の選択が複雑化し難しくなったりしています。「NPU は市場で最も手に負えない分野です。NPU はそれぞれ、いろいろな特定分野の機能を満たすよう特殊な方法で設計されています。」と、同氏。NPU ベンダの業界は不安定で、NPU の設計会社も参入や撤退を繰り返しています。その結果、Cisco Systems 社などの大手ベンダのみが独自の製品を開発することになったのです。

FPGA は世代ごとに進化を重ねており、設計者自身が NPU の知的設計資産 (IP コア) を FPGA に構築する機会が増えてきています。OEM メーカーは FPGA をシステムにあわせてリコンフィギュレーションすることが可能なため、異なるプロトコルのデータパケットが入ってきた際、そのプロトコルに最適な NPU アーキテクチャを FPGA に実装することができます。また、FPGA でセキュリティチェックを実行し、転送先までの最速ルートを探索して、そこにデータを送ることもできます。

図 2 - Virtex-5 FPGA にインプリメントされた Sarance Technologies 社の 100GE MAC ソリューション



「従来 FPGA は、エンベデッド RISC 機能や簡易な制御機能の実行に使用されてきました。」と、長期間通信分野に従事し、EDN 誌の新しい FPGA Gurus Web サイトのモデレータでもある Loring Wirbel 氏は述べています。「今日の FPGA は多くのデータパス機能を取り扱えるようになってきています。FPGA 1 チップで、企業内のアグリゲーションボックス用途や、大規模スイッチングセンタのブレードの機能を担うことができます。FPGA に実装する機能を適切に分割することで、コプロセッシングする必要はなくなります。大きな流れとして、ネットワークプロセッサ (NPU) はゆっくりではあるが確実に終焉を迎えつつあり、一方 FPGA が NPU の機能に取って代わる時代を迎えています。」

従来、新世代の機器が市場投入された際、NPU ベンダが提供するパケット転送エンジンを市場に送り出せる機会は、ほんのわずかな期間しかありませんでした。瞬きする間に機会は通り過ぎ、その転送エンジンは FPGA によって取って代わられてしまう、と Wirbel 氏は指摘しています。

「40G や 100G ネットワークに移行する際には、パケット通信のみを行う非常に高速なエンジンが一時的に使用されることがあります。これは、1G と 10G ネットワークへの移行時にも起こった現象で

す。」と、Wirbel 氏は述べています。「しかし、新しい標準への移行時期は限られていて、多くの人は ASSP を顧みることなく、FPGA に目を向けることでしょう。すべての世代で ASSP が使用されるわずかな機会がありましたが、それもどんどん少なくなってきており、最終的にはまったく使用されなくなるでしょう。」

有線通信向け先進 FPGA 技術

ザイリンクスの大規模 Virtex-5 TXT XC5VTX240T FPGA には、37,440 のロジックスライスが搭載されており、ロジックセル数の合計は 239,616 になります。設計チームや IP コアのベンダは、今日先進の FPGA アーキテクチャを使用することで、XAUI や RXAUI、Interlaken、Sonet、ODN をはじめ多くの標準規格に対応できる革新的なソリューションを開発する機会が得られます。

ザイリンクスは、その他にも Sarance Technologies 社との協業により業界初の 100GE メディアアクセスコントローラ (MAC) を開発しました。これは、IEEE 802.3ba に準拠した全機能を搭載したソリューションで、Virtex-5 FPGA にインプリメントされています (図 2)。

Sarance 社は、2008 年の中ごろに

100GE MAC ソリューションの完成を発表しました。これは、世界的装置ベンダの次世代機器のハードウェア プロトタイプ上で動作するもので、Virtex-5 FXT FPGA を 2 個、外部 10Gbps 物理層デバイスを 10 個、それに各種のシステム側インターフェイスを使用しています。

新しい Virtex-5 TXT FPGA プラットフォームがサポートしている 100GE MAC から Interlaken へのブリッジ ソリューションは、1 個の FPGA と 3 個の外部クワッド SERDES マルチプレクサに機能性を凝縮した低リスクの手法です。このインプリメンテーション手法では、64 B / 66 B、64 B / 67 B エンコード / デコード ギャップボックスが GTX トランシーバ内に構築されているため、回路設計に必要なロジック数は約 1/5 に削減され、消費電力も低減されます。

2008 年 6 月、通信機器の最大手 Comcast Corp. 社は、業界初の 100GE ルーター インターフェイスを使用して、フィラデルフィアとバージニア州マクレーンを結ぶ既存の基幹インフラ上で

100GE 技術のテストに成功しました。このシステムでは同じく Sarance Technologies 社の High Speed Ethernet IP Core (HSEC) を使用しており、現在は Virtex-5 TXT プラットフォーム上に実装されています。

100GE 分野でのデモは、これ以前にも行われています。2006 年 11 月、ザイリンクス FPGA を使用したシステムで、実運用されているネットワークを介して世界初の 100GE 送信テストが行われました。このデモは、高性能コンピューティングやネットワークング、ストレージおよび解析を扱う SC06 国際会議のショーケースで行われました。

Finisar 社は、Level 3 Communications 社、Internet2 社およびサンタクルーズのカリフォルニア大学チームと共同で 100GE トラフィックの送信を実演しました。使用した回線は、フロリダ州タンパにある展示サイトとヒューストンを結ぶ Level 3 社の DWDM ネットワークで、折り返しの総距離は 4,000 マイルに及びます。

このデモでは、ザイリンクス FPGA A は 10 本の電気信号から、10 本の 10Gbps XFP 光トランシーバへの変換をしています。この光トランシーバを通して、Infinera 社の商業的に利用可能な DTN Switched WDM System に送られ、これが Level 3 ネットワークに伝送されました。

FPGA の技術は加速度的に発展しています。発展を重ねるごとにムーアの法則により高集積化が達成されています。通信機器の設計者は、FPGA により高バンド幅の次世代ネットワークを構築することが可能となります。ネットワークの設計者は、遠くない将来、FPGA にシステム設計の中心的な役割を与えることになるでしょう。その役割がどの程度重要なものになるかは、シリコンだけではなく、設計者が自由に使用可能な IP コアやハードウェア、ソフトウェア ツールにも依存します。ザイリンクスは、今後も業界を牽引しながら新しいプログラマブル ロジック ソリューションを確立し、有線通信市場に技術革新をもたらすための努力を続けます。

GET ON TARGET



パートナーの皆様御社の製品・サービスを Xcell journal 誌上で PR してみませんか？

Xcell Journal は、プログラマブル ロジック ユーザーへ、ザイリンクス製品／ツールの最新情報をはじめ、システム／アプリケーションの解説、サービス／サポート情報、サードパーティ各社のツール情報などをお届けしています。

現在では日本各地の 10,000 名を超える幅広い分野のエンジニアの皆様にご愛読いただいております。ザイリンクスが主催・参加するイベントでも広く配布しています。

貴社製品／ソリューションのプロモーションに非常に効果的なメディアです。

広告掲載に関するお問い合わせ先

Xcell Journal 日本語版への広告出向に関するお問い合わせは
e-mail にてご連絡下さい。

有限会社 エイ・シー・シー sohyama@jcom.home.ne.jp



ThreadX for Xilinx

MicroBlaze, PPC405, PPC440 に対応済み！

軽い！早い！
業界最高速の
リアルタイムOS



THREADX®

THREADX^{μITRON}

高性能な FPGA の複数のコンポーネントを同時に動作させるためには、リアルタイム OS は欠かせません。

ThreadX は、米国 Express Logic 社が組み込み用に設計開発した高速なリアルタイム OS (RTOS) です。

ThreadXはこのクラスのRTOSとしては業界最高速であり、PicoKernel(TM)と名づけた小さなフットプリントでリアルタイムのレスポンスを要求する組み込みアプリケーションには最適な環境を提供しています。

ThreadX-μITRONは、ThreadX に対応したμITRONライブラリです。ユーザアプリケーションは ThreadX を意識せず、純粋なμITRON RTOS として使用することができます。

NETXTM

- ThreadX 専用ネットワークプロトコルスタック
- コンパクトで高速
- プロセッサに非依存
- DNS や FTP などの上位プロトコルも提供可能
- BSD 互換ソケットレイヤも用意

FILEXTM

- ThreadX 専用 FAT ファイルシステム
- コンパクトで高速
- プロセッサに非依存

ThreadX の評価版 (MicroBlaze 版、PPC405 版) を用意しています。ぜひお試しください！

<http://rtos.jp/download/demo.html#Xilinx>



株式会社 グレープシステム® 営業部

横浜市西区みなとみらい 2-3-3 クイーンズタワー B 8F 〒220-6108
TEL:045-222-3761 FAX:045-222-3760

e-mail threadx@info.grape.co.jp

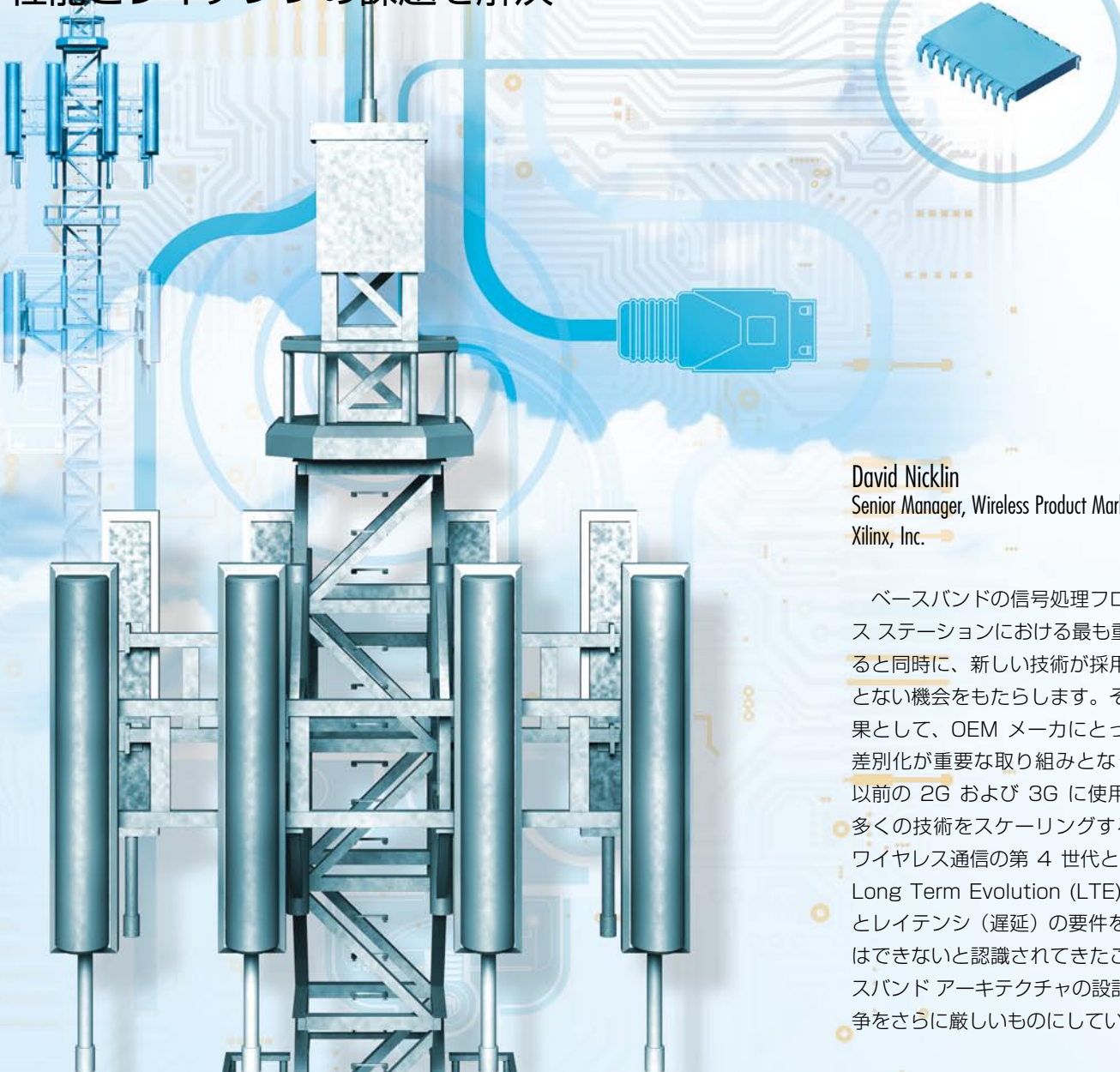
URL <http://rtos.jp/>

*各製品名は各メーカーの登録商標または商標です。

Baseband Development for 3GPP-LTE Just Got Easier

3GPP-LTE 向けベースバンドの開発がより容易に

ザイリンクスの LTE-Channel Encoder と Decoder により、Layer-1 サブシステムの開発を加速し、4G ワイヤレス通信における性能とレイテンシの課題を解決



David Nicklin
Senior Manager, Wireless Product Marketing
Xilinx, Inc.

ベースバンドの信号処理フローは、ベースステーションにおける最も重要な鍵であると同時に、新しい技術が採用されるまたとない機会をもたらします。その当然の結果として、OEM メーカーにとっては製品の差別化が重要な取り組みとなっています。以前の 2G および 3G に使用されてきた多くの技術をスケーリングするだけでは、ワイヤレス通信の第 4 世代となる 3GPP Long Term Evolution (LTE) 技術の性能とレイテンシ（遅延）の要件を満たすことはできないと認識されてきたことも、ベースバンドアーキテクチャの設計における競争をさらに厳しいものにしていきます。

一連の信号処理には、これまで以上の処理量が要求されているだけでなく、すべての信号処理を短時間で完了させる性能が求められています。さらに、システム設計者は、オペレーターからのシステム コストや運用コストの削減目標を達成するシステムを開発する必要があります。このためベースバンド信号処理システムの設計は、図 1 に示すような条件や課題をクリアしなければならないのです。

FPGA ベースのソリューションでは、先述の要求すべてを満たすことができ、通常問われる性能の問題やボトルネックが解消されます。ザイリンクスが新たにリリースした LTE Uplink Channel Decoder および LTE Downlink Channel Encoder LogiCORE™ は、Layer-1 で必要とされる多数のファンクションを 1 つにまとめ IP コア ソリューションとして提供するもので、このようなシステムへの FPGA の導入を容易にします。

シリコン技術の進歩は、今まで以上に複雑なアルゴリズムの実現が可能となり、それがワイヤレス通信分野における成功の鍵となっています。この成功例の 1 つは、3G ネットワークにおけるターボ符号によるエラー訂正テクニックの普及であり、これは 10 年を待たずして市場製品に広く採用されるようになった設計方法です。技術革新は日々加速化しており、MIMO (Multiple-Input, Multiple-Output) アンテナ技術によって、ワイヤレス通信に空間次元が用いられるようになったことは、その顕著な一例です。

しかし、4G エア インターフェイスの登場により、従来の DSP プロセッサ中心のチャンネル カード アーキテクチャではこのような現実への対応が難しくなっています。従来どおり FPGA と DSP で機能分割しては、莫大な量のデータが両デバイス間を行き来するために生じるボトルネックにより、十分なパフォーマンスを出すことができません。

それでは、このボトルネックはどのように解決すればよいのでしょうか。その鍵は、Layer-1 システム アーキテクチャを簡素化し、チップ間の不要なデータ転送をすべ

図 1 - ベースバンド信号処理における課題

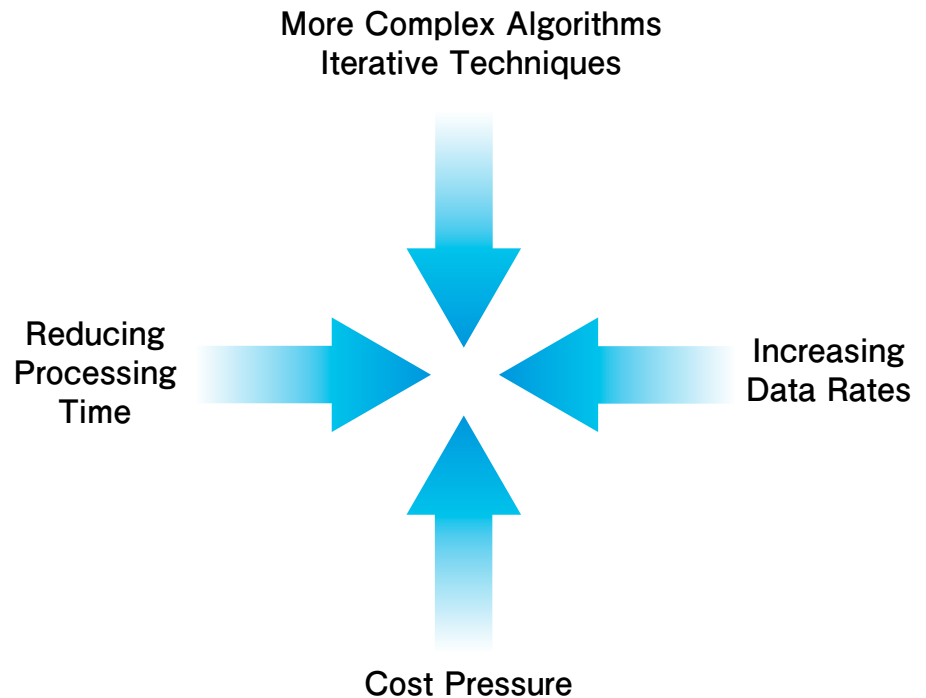
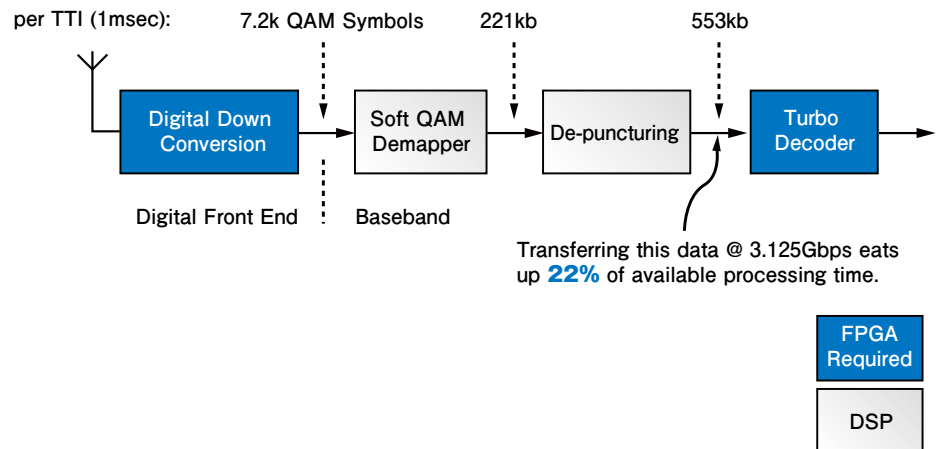


図 2 - 典型的な LTE システムで FPGA と DSP 間に必要なデータ レート



てなくすことにあります。ただし、DSP プロセッサで実現するアーキテクチャのスケラビリティでは問題が生じます。Layer-1 のファンクションのほとんどを DSP ではなく FPGA に移行するには、多数の IP コア、ソフトウェア、サポートなどが必要となります。

Layer-1 デザインの簡素化

FPGA を 1 つのコプロセッサとして採用し、DSP プロセッサではなく FPGA にターボ デコーディング機能を持たせる際に生じる問題点について詳しく考察してみましょう。ザイリンクスのシステム設

計者が、典型的な LTE ベースバンド デザインで図 2 のように処理を分割させている場合の効率を解析したところ、SRIO 接続を介した DSP プロセッサと FPGA 間のデータ伝送だけで、許容レイテンシの 20% 以上が使用されることがわかりました。しかも、これはワースト ケースとはほど遠い状況です。たとえば、64-QAM、1/3 コード レートの 2 MIMO コードワードなど、高次変調方式でコード化されたデータを 20MHz LTE のフル バンドで追加すると、許容レイテンシに占める割合はさらに大きくなります。

この問題に対して、より高速な数ギガビット トランシーバを追加接続することでバンド幅を増やし、データを伝送するという単純な回避策が考えられます。確かにこのようなシステムは構築可能ですが、システムの消費電力が不必要に増大してしまいます。その理由は、相対的に消費電力が多い高速シリアル接続でデータを伝送するだけでなく、ブリッジ ファンクションが複製されることで、より多くのハードウェア リソースが使用されるためです。

ここに上記の方法よりも効率的で最適化されたソリューションがあります。Layer-1 ファンクションのほとんどを FPGA に取り込むことにより、この不必要なオーバーヘッドを解消してシステムのスループットとレイテンシを改善すると同時に、消費電力の要件を下げるすることができます。

消費電力の低減だけでも、信頼性の改善に直接つながり、システム コストと運用コストの削減になります。

このようなアーキテクチャでは DSP は不要となります。必要に応じて、DSP で低レートファンクションを実行させることも可能です。そのための機能分割は Layer-1 ベースバンド処理全体を FPGA に実装し、メディア アクセス制御 (MAC) や HARQ 処理など上位 Layer のファンクションを、より費用対効果の高い汎用プロセッサやネットワーク プロセッサに任せることです。これらのプロセッサは、バックホールとの接続に必要なファンクションを追加することも可能です。高い性能と短い処理時間が必要とされるファンクションすべてを 1 つの FPGA に効率よく統合することで、遅延とバンド幅に対する制限を軽減させることができ、分割もずっと容易になります。

このようなアプローチを採用する際の主な障害は、設計構想からハードウェア実装までのプロセスをいかに簡潔にできるかにあります。また、DSP 中心のデザイン フローに慣れた設計者にとっては、FPGA の性能を最大限に生かしながら、そこにベースバンド処理機能を迅速かつ効率的に開発できるようにサポートする IP コアと開発ツールが必要になります。

ザイリンクスの LTE Uplink Channel Decoder および LTE Downlink Channel

Encoder LogiCORE は、重要な Layer-1 ファンクションの多くを 1 つの IP コア ソリューションとして提供するもので、先に述べたような障害を克服できます。この IP コア ソリューションは、ザイリンクス CORE Generator™ ツールの GUI でカスタマイズ可能です。このデザイン フローにより、FPGA の設計経験が浅いエンジニアであっても広範なシステム デザインに従事できるため、開発とデザイン統合にかかるコストが大幅に削減されます。

来るべき世界へ

より高速な接続と低レイテンシの実現は、LTE および 4G を超えた将来のシステムでも、重要な要件として常に求められます。より新しいデータ中心のワイヤレス通信システムが発展するに伴い、DSP と FPGA 間の機能分割に従来の方法を採用してきた多くの企業は、分割したチップ間でデータを伝送させる場合のオーバーヘッドが許容範囲を超えた負荷になることに気付きます。FPGA ベースのソリューションは、製品設計を優位に進めたい設計者にとって、より手の届きやすいアプローチになっています。従来のシステム設計手法にとらわれない設計者は、競合他社が経験している性能の問題とボトルネックを克服した製品を市場に提供することが可能になるのです。●●●

LogiCORE について

先頃ザイリンクスは、LTE Channel Encoder および Decoder LogiCORE 製品をリリースしました。本製品は、3GPP TS 36.211 v8.2.0 と TS 36.212 v8.2.0 (2008-03) 規格に準拠し、3GPP rel8 E-UTRA eNB ベースバンド処理用に設計されています。これらの製品は、ノーマル (ショート) CP、64-QAM 変調、2 MIMO コードワードで、最大バンド幅が 20MHz までの異なるコンフィギュレーションをサポートします。エンコーダとデコーダはともに FDD と TDD フレーム構造に対応可能なことから、TD-SCDMA 規格から発展してきたシステムにも最適です。

これらはスタンドアロンで、パラメータ指定された IP コア

ブロックとして提供され、Coregen ソフトウェア ツールでお客様のデザインに容易に組み込むことができます。さらに、デザインへの統合を容易にするため、RTL シミュレーション環境、システム シミュレーション用の C モデル等をセットにして提供しています。

新しい LogiCORE 製品の詳細は、ザイリンクス ウェブ サイトの IP コア ページ (japan.xilinx.com/ipcenter) をご覧ください。ワイヤレス通信のページ (japan.xilinx.com/esp/wireless) からは、リファレンス デザインやソリューションにアクセス可能です。

Virtex-5 Powers Reconfigurable, Rugged PC

Virtex-5 がリコンフィギュラブルで堅牢な PC 開発を支援

RMT 社の SwitchBack はザイリンクス Virtex-5 FPGA を PC に採用し、フィールドでのカスタマイズや使用中のアップグレードに対応

Shane Lewis
Director of Technology Development
RMT, Inc.
slewis@ropermobile.com

米軍および鉱工業、運輸、倉庫、物流および公安などの重工業に携わる企業では、採用するパーソナル コンピュータに、極めて厳しい条件を設けています。PC は何よりもまず、物理的外圧、極暑、極寒、湿気への暴露、水没に対する十分な耐性を備えていなければなりません。同時に、コンピューティング関連の機能が市販されている最新の PC と同程度でも、セキュリティと世界規模の通信機能においては最新の PC 以上の性能を持つ必要があります。この種のコンピュータのユーザーは、極めて重要なタスクをターゲットにした特別なペリフェラル機能も要求しますが、近年まで、これらニーズを完全に満たしていない標準 PC の使用を強いられてきました。

このような不足点は、モジュラーでカスタマイズできるコンピューティング ソリューションを設計するという非常に大きな課題とともに、RMT 社の設計グループに提起されました。このソリューションは、顧客の厳密な要求事項を満たし、彼らの期待に応える「共通のプラットフォーム」でなければなりません。経験豊富な R&D チームは、「万能タイプ」のデバイスを構築する際に陥る問題点について知識を有していました。それは、動作はしても最適化され



てはいないデバイスを構築してしまい、苦しい妥協案でその場をしのぐ結果になるということです。設計チームは、不利な条件を克服し、真に受容可能なコンピュータプラットフォームの設計に着手しました。結果、このコンピュータプラットフォームは、回路レベルをフィールドでリコンフィギュレーションしたり、カスタマイズでき、しかもエレガントで、堅牢かつユーザーフレンドリーなシステムになっています。

この取り組みの結果得られたのが SwitchBack です。これはあらゆる点で従来型 PC とは異なり、ザイリンクス Virtex®-5 FPGA の技術革新を生かし、PC のアーキテクチャを再定義します。従来型 PC と SwitchBack との間には非常に大きなアーキテクチャ上の相違があります。

従来のオープン PC アーキテクチャ

現状の従来型 PC のベースは、x86 プロセッサとそれに関連したチップセットで、Linux や Windows (Windows XP や Vista) がオペレーティングシステムとして使用されています。このコードセットに埋め込まれた過去の技術に対するサポートが、PC における支配を可能にし、オペレーティングシステムとプロセッサ技術がさらに細分化されるエンベデッドコンピュータ空間に制約を与えています。Windows XP や Vista が動作可能なデスクトップ、ラップトップあるいはタブレット PC 本体のカバーを外してみると、チップセットと CPU の回路の接続形態 (トポロジー) が

良く理解できます。

ほとんどの PC において長年事実上の標準である、この堅牢で商業性に富んだアーキテクチャには、基本的な制限があります。タスク実行には、ある特定のプロセッサ向けに記述されたプログラムを実行させる、あるいは利用可能な多くの拡張ポートに外部ハードウェアとして差し込む必要があります。何ができるかは、チップセットそのものを構成する専用 ASIC の配線で厳密に定義されているのです。

SwitchBack のアーキテクチャ

RMT チームは、この設計を再考する必要がありました。開発チームは、特許出願中の SwitchBack のアーキテクチャを起草し、このアーキテクチャがフィールドでリコンフィギュラブルであると同時に Windows ベースのアプリケーションと互換性がとれるよう設計しました。エンベデッドコンピューティングの分野では、フィールドリコンフィギュレーションの概念は今日広く利用されており、その傾向は FPGA によって作られたものです。

プログラマブルロジックは、現在、x86 PC ベースのマザーボード上で各種のサポートの役割を担っていますが、SwitchBack では FPGA が主たるものであり、コンピュータファンクションの指揮をとっています (図 1)。Virtex-5 は、すべての主要サブシステムの第 1 のコントローラです。ユーザーが電源ボタンを押した瞬間から、FPGA はディスプレイを含む

すべてのペリフェラル、またデータの流れのほとんどを制御します。本スキームでは、Windows オペレーティングシステムをブートせずに、データにアクセスしてデータを表示できます。これは従来の PC では事実上不可能であった功績と言えます。SwitchBack では、さらに機能を進化させ、プロセッサやオペレーティングシステムなしでも、カスタムファンクションやペリフェラルにアクセスし、制御できるようにしています。これらは BackPack、いわゆるモジュラーシステムにプログラムされ、SwitchBack の後部側に取り付けられるもので、速度の遅いプロセッサやオペレーティングシステムに合わせることなく、ペリフェラルを完全に制御できます。

SwitchBack の核心部

SwitchBack の驚くべき高い柔軟性と制御機能は、ザイリンクス Virtex-5 LX30T に基づくアーキテクチャ上の設計により可能となりました。RMT チームは、豊富な内部リソースのみならず RocketIO™ と PCI Express® エンドポイントブロックを備えていることから Virtex-5 を選択しました。そして、PCI Express インターフェイスをエンベデッドシステムとインテル x86 システム間の主要な接続ポイントにしました。コンポーネント間にはほかのインターフェイスブリッジもありますが、PCI Express インターフェイスが、処理と制御のための主要なデータパイプラインです。

図 1 - 従来型 PC アーキテクチャ (左) と革新的な SwitchBack (右) の相違: SwitchBack では FPGA を最上位コントローラとして使用しています。これにより処理時間を改善し、さらに SwitchBack をリコンフィギュラブルでカスタマイズ可能にします。

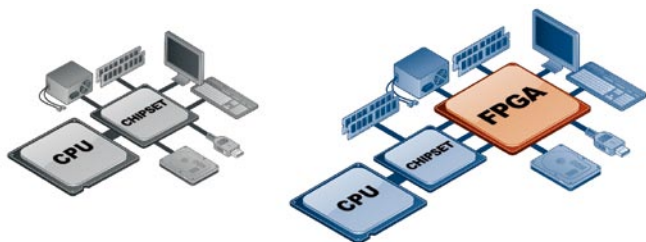
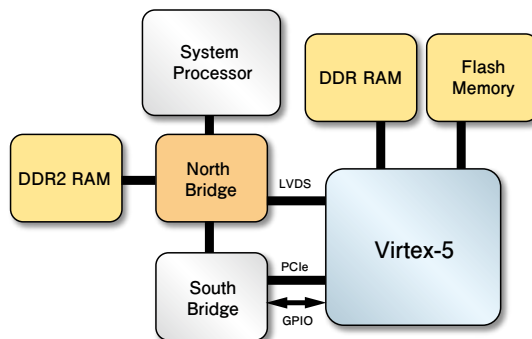


図 2 - SwitchBack のアーキテクチャでは、最上位のシステム制御機能は Virtex-5 FPGA が有し、メイン x86 CPU プロセッサではありません。



ハードウェアの設計

SwitchBack ハードウェア設計の基本的なレイアウトは、本質的に、独立した 2 つのシステムで構成されます。この場合、x86 CPU プロセッサではなく、Virtex-5 FPGA が最上位の制御システムとなります（図 2）。システムがブートアップすると、直ちに実際のコンフィギュレーションが実行され、続いて第 2 のシステムのブートが許可されます。

さらに、FPGA はコンフィギュレーションとプログラムのストレージ用に、RAM とフラッシュ メモリを内蔵しており、これらは初期設定とは別のオペレーションを FPGA に書き込む場合に使用されます。この革命的なアーキテクチャと FPGA 定義のアルゴリズムは、通常の PC がなしえない重要な機能を提供します。その機能には、メイン プロセッサや当該ベース チップセットの許可の元でのシステム リソースの制御、また SwitchBack の BackPack にプログラムされたものを含むペリフェラルを独立かつ自主的に制御する 2 つの機能があります。さらに FPGA には、メイン プロセッサを支援する、プロセッサから独立したファンクションもあります。

システム リソースとペリフェラルの制御は複雑ではなく、エンベデッド業界ではよく理解されています。しかし、プロセッサから独立したファンクションの使用には、SwitchBack が持つ性能を生かす必要が生まれてきます。オプションには、リコンフィギャブル ハードウェア、オープン アーキテクチャ向けのオープン FPGA、BackPack による追加のカスタマイゼーション、BackPack モジュラー開発キットなどがあります。

リコンフィギャブル ハードウェア

Virtex-5 の内部リソース アレイ (ExpressFabric アーキテクチャ、ブロック RAM、1.25G ビット / 秒 Select I/O および DSP48E スライス) では、通常メイン プロセッサのソフトウェアで実行されるファンクションやプロセスを、これら FPGA のリソースで生成し実行することで、数多くの可能性が提供されます。FPGA が備えるこれらの特長を活用し、多くの機能を FPGA にインプリメントすることでメイン プロセッサの負荷を軽減したり、標準 PC の物理的拡張カードのように機能する全く新しいサブシステムを生成す

ることができます。

2 つのシステム間に PCI Express バスを使用することで、FPGA 上に形成された新しいハードウェアを拡張ポートに差し込まれた物理的なハードウェアのように、メイン プロセッサに接続できます（図 3）。これにより、メイン x86 プロセッサとは独立して動作する新しいタイプのデバイスの構築が可能となります。デバイスあるいはファンクションには、データ フォーマット変換、カスタム ロジック インターフェイス、ハードウェア エミュレーション、独立したマイクロプロセッサ、通信用デバイス、数値演算用コアおよび自立した Back-Pack 制御などが含まれます。

実際、これらのファンクションは、ファンクションを実装した物理的な回路カードがないにもかかわらず、オペレーティングシステムでは個別のハードウェアに見えるため「仮想デバイス」と呼ばれています。複数のデバイスを同時に実装できるため、オンボードのチップセットが認識する機能をはるかに超えたプラットフォームへと拡張することになります。

オープン アーキテクチャのためのオープン FPGA

理念の一部として、PC のオープン アーキテクチャ プラットフォームを維持し、その柔軟性を拡大しながら FPGA をその中に含めるという考えがありました。Virtex-5 FPGA の集積度は、SwitchBack が主要制御機能に必要とするものよりも大きなものです。意図的に大きな FPGA を選ぶことで、顧客のプログラミングと機能性を SwitchBack に追加できるようにしました。これにより、複数の独立したサブシステムの並列動作で得られるものと同じ成果を実現できる、真にカスタマイズされた精度の高いツールの開発が可能となります。

我々は意図的に、SwitchBack のシステム マスタである Virtex-5 FPGA のリソースを使用しないようにしました。たとえば、Virtex-5 LX30T FPGA には 32 の DSP48E スライスがありますが、SwitchBack で使用しているのは 1 つのみで、残りの 31 はエンド ユーザー用と

図 3 - FPGA 内に形成されたすべてのリコンフィギャブル ハードウェアはメイン プロセッサに接続でき、プロセッサは拡張ポートに挿入された実ハードウェアに対するのと同様に、これらへアクセス可能です。



なっています。ユーザーが必要とするリソースの量と購入時の SwitchBack のコンフィギュレーションによりますが、レジスタ、LUT、BRAM、DCM および PLL など残りのリソースはユーザーの特定用途向けに使用可能となっています。一般に、SwitchBack がシステム管理と汎用処理に使用しているのは FPGA の容量の半分以下で、残りのリソースの大半はユーザーファンクションの定義用です。

カスタム アップデート インターフェイス ツールにより、SwitchBack 内のフラッシュ メモリを容易にアップデートできます。この簡単なソフトウェア アップデートには、FPGA のコンフィギュレーション ファイルを変更するための JTAG や特別な機器は必要ありません。新ハードウェアのインストールは迅速かつ容易で、SwitchBack システムをリブートした際に Hardware Manager 内に新しいハードウェアが表示されれば、直ちに使用できます。

また FPGA に対する SwitchBack の要件を、インプリメントが容易なコアに統合しました。したがって、エンド ユーザーは FPGA の未使用領域にロジック、レジスタやバスを簡単に追加できます。

さらにファームウェア開発キット (FDK) を使用することで、ミッションの変更に伴う特別なニーズ向けに SwitchBack を修正し、リコンフィギュレーションできます。FPGA に対してユニーク モジュールのアップグレード機能や、カスタム ロジック変更機能（あるいはその両機能）を使用すれば、SwitchBack を現場の状況に素早く適合させることが可能です。このスキームにより、フィールドでシステム効率の高い再設計が可能となるのです。FDK にこの機能を追加することで、FPGA の豊富な経験を持ち、相応の配置・配線ツールを使用するユーザーは、そのニーズを十分に満たした SwitchBack を開発できます。

BackPack によるさらなるカスタマイゼーション

SwitchBack をさらにカスタマイズするには、BackPack 技術を利用します。BackPack はユーザー固有のモジュール

で、SwitchBack の後部にしっかりと取り付けることができます。SwitchBack は、RMT チームが当初は、外部ペリフェラルの必要性を排除し、複数のポートを追加する目的で開発されました。BackPack では、そのサイズ、形状、複雑性において無限の配列が可能で、付加的な処理機能を取り扱うことができます。たとえば、このパーソナル コンピュータにスーパーコンピュータ並の計算能力を与えることが可能となります。このように、BackPack はフィールドでカスタマイズ可能なシステムで、SwitchBack を高度に統合化された精密なツールへと変身させます。

RMT チームは、FPGA の GPIO を BackPack ポートに直接接続しました。したがって、FPGA 内のロジックは BackPack に直接アクセス可能となり、メインシステム プロセッサを介せず、すべてのタイプのデバイスを制御できるようになっています。リプログラマブル FPGA と外部接続性への無限の潜在能力を組み合わせることにより、SwitchBack の仕様は完全に達成されます。

モジュラー開発キット

BackPack の成功を踏まえると、適切なツール キットを提供すれば、FPGA の知識が豊富な設計者は各自の BackPack を開発しプログラムできることがわかりました。SwitchBack のモジュラー開発キット (MDK) を使用することで、SwitchBack 独自のアーキテクチャを利用するカスタム BackPack が設計可能です。多くの場合、顧客は電子デバイスや回路カードを持っており、それらを短時間にテストしたり展開したりするために、システム上に統合したいと思っています。こういった作業は MDK を使用すれば簡単に行えます。MDK では実動作する回路基板、ケーブル、回路図と配線 CAD データを提供しているので、BackPack を数日で完成させることが可能です。

また、SwitchBack の オン ボード FPGA と BackPack 技術を使用すれば、特別な機能のサブシステムを構築してコ

ンピュータに素早く結合できます。BackPack はコンピュータの一部ですが、完全に自立して動作し、また処理データのみを共有することで、従来の方法 (USB など) でデバイスを追加した場合に生じるメイン プロセッサへの過負荷状態を回避できます。したがって、メイン プロセッサに一切負担をかけずに、同等あるいはそれ以上の処理機能を持つ BackPack をインプリメントできます。

ザイリンクス Virtex-5 は DSP48E スライスを内蔵しているため、これらを使用すれば機能強化に加え、効率を改善した上で追加の信号処理を行うことができ、画像処理、ソフトウェア ラジオ、暗号作成、ネットワーク セキュリティおよびアナログ モデムなどが、その応用例として挙げられます。

また、特定のファンクション内のアナログ部を BackPack に構築し、演算処理を SwitchBack に任せることで、そのファンクションの性能を向上させることが可能です。

設計グループは Virtex-5 を革新的に駆使し、SwitchBack を完成させました。したがって、完全に最適化されていないコンピュータに接続された種々のペリフェラルの取り合わせに妥協する必要はありません。SwitchBack を使用すれば、ミッション クリティカルなアプリケーション用の素早いシステム設計や展開が短期間に達成できます。

SwitchBack は、コンピュータ技術進化の次のステップを具現化するものです。リコンフィギャブルな PC プラットフォームにより、フィールドでカスタマイズできるだけでなく、動作中のアップグレードをサポートします。これは、極めて重要なアプリケーションを中断させることなく実行できるため、米軍、鉱工業、運輸、倉庫、物流そして公安などの重要な市場での運用に特に適しています。

SwitchBack の詳細とその革新的なアーキテクチャについては、www.ropermobile.com/products/switchback をご覧いただくか、RMT, Inc. の著者に E メール (slewis@ropermobile.com) または電話 (480) 705-4200, ext. 306) でご連絡ください。🌈

Virtex-5 Propels Ultrawideband Comms and Ranging

Virtex-5 は超広帯域 (UWB) 通信と正確な測距を実現

欧州の PULSERS プロジェクトでは、インパルス無線 UWB システムにザイリンクスの MicroBlaze プロセッサ搭載 FPGA を採用

Guy Eschemann
Research Engineer
Sennheiser electronic GmbH & Co. KG
Guy.Eschemann@gmail.com

Heinz Lüdiger
Project Manager
IMST GmbH
luediger@imst.de

Birgit Kull
Senior Scientist
IMST GmbH
kull@imst.de

2002 年に連邦通信委員会が、ライセンスなしで超広帯域 (UWB) 無線技術の使用を認可して以来、この技術を利用したワイヤレス USB などの商業アプリケーションの多くで、高いデータ レート送信は周波数領域変調技術 (OFDM など) をベースとしてきました。この確立された方法と並行する形で、UWB は、パルス幅が約ナノ秒である超短パルスに基づく別のデータ送信の可能性を提示します。いわゆるインパルス無線 (IR) システムでは、位置や振幅

図 1 - システムは、カスタムの UWB ドーター ボードに接続された標準のザイリンクス ML506 ボードで構成されています。

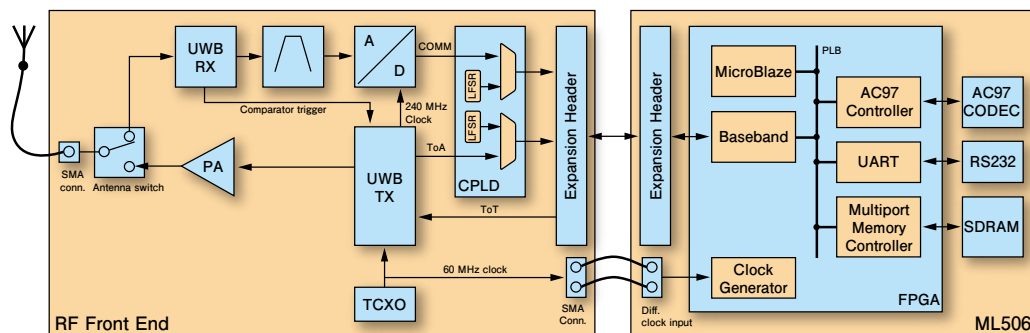


図 2 - 3つのビーコン スロットで構成される周期的ビーコン フレームは、時間ホッピング フレームと交互に配置されています。

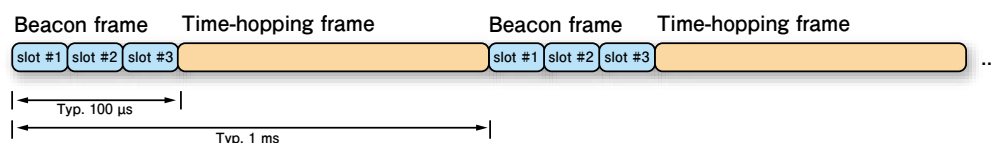


表 1 - UWB 通信と測距システムの特徴

Center frequency	7.68 GHz
Baseband bandwidth	750 MHz
Expected range	25 - 30 meters
Actual range	3 m (due to local-oscillator crosstalk)
Ranging resolution	3.9 cm
Communication data rate	> 1 Mbit/s

などパルスのパラメータのうち 1 つ、または複数を変調することで情報を送信します。同時にパルスの伝送時間を計測することにより、センチメートル (cm) 単位で正確な測距 (距離測定) 機能をインプリメントできます [1]。これにより UWB は、物流 (パッケージの追跡)、製造、搜索救助 (消防士との連絡と位置確認) あるいはハイテクを用いたツアー ガイドのような種々の分野で、位置認識アプリケーションの新しい領域を開拓しています。

欧州の PULSERS Phase II Project は、UWB 無線技術のための産業主導の共同体 (30 の主要な企業と学術組織で構成)

であり、IR-UWB の通信と測距システム [2] の設計とインプリメンテーションに着手しました。このシステムのデータ送信機能は約メガバイト / 秒単位で、測距精度は 4cm です。我々が開発しているシステムは、等価な一組の個別ノードで構成され、各ノードはネットワーク上の他ノードと通信してノード間の距離を測定できます。各ノードは、標準のザイリンクス ML506 開発ボードにカスタムの UWB ドーターボードが接続されている構成です (図 1 参照)。また、高性能 Virtex®-5 SXT アーキテクチャと柔軟性の高い MicroBlaze™ ソフト プロセッサを組み合わせることにより、ベースバンド信号チェーン全体とシステム内のすべての高層レイヤを 1 個の FPGA にインプリメントできました。

IR-UWB 通信と測距

このシステムでは、情報を送信するために、実行可能な 4 つのパルス位置 (4PPM) による簡単なパルス位置変調を採用しています。また、ここでは各パルスが 2 ビットをエンコードします。図 2 に示すように、パルスはそれぞれのフレームにグループ化

され、ビーコン フレームと時間ホッピング フレームのあらかじめ定義されたラスタで送信されます。各ビーコン フレームは 3 つの等価なビーコン スロットで構成されているため、ユーザーは測距や通信の目的で使用できます。当初、時間ホッピング コードに基づいた、時間ホッピング フレームを使用した高速データ送信を考えましたが、この技術の採用を今後の製品で検討しています。現段階では、すべてのデータ送信は、ビーコン フレームで行われます。

距離の測定については、双方向測距として知られる方法で行いました。この方法では、測距リクエストの送信と遠隔ノードからのアンサー受

信との間で発生する遅延時間を計測します (補足記事を参照)。測距リクエストは常にビーコン スロット 1 で送信されますが、測距アンサーはスロット 3 で戻ってくることを想定しています。したがって、遠隔ノードには、受信した測距リクエストの処理用に、また測距アンサーを送信するスケジューリング用に、ビーコン スロット 1 個 (スロット 2、約 33 マイクロ秒) 分の時間が与えられます。

システム アーキテクチャ

UWB ドーター ボードは、インパルス トランスミッタ用 ASIC とインコヒーレント レシーバ用 ASIC の両方を搭載しています。これらの ASIC は、IHP 社の 0.25 ミクロン SiGe: C BiCMOS 技術を駆使し、本プロジェクト用に特別に設計されたものです [3, 4]。

図 3 に示すように UWB パルスを生成するトランスミッタ ASIC は、生成されたパルスの振幅および位置の両方の変調が可能です。トランスミッタ ASIC には 3.84GHz のカウンタが内蔵されており、送信パルスの送信時間を正確にスケジュー

リングし、受信パルスの到着時間を測定するために使用されます。

レシーバ ASIC の内部では、受信経路が 2 つに分かれています。比較的バンド幅が狭い (120MHz) 第 1 の経路は、通信目的とおおよそのパルス タイミング目的に使用されます。インパルス バンド幅全体 (750MHz) を利用している第 2 の経路では、正確なタイミングでパルスを発生します。ここでは、高速コンパレータが到来パルスを検出し、このコンパレータの出力で、トランスミッタ ASIC 内部で動作している 3.84GHz カウンタの読み出しがトリガされます。したがって、各受信パルスの到着時間は、260ps の分解能で測定されます。これを空間分解能に置き換えると約 8 cm に相当します。

ドーター ボードでは Virtex-5 FPGA 内のベースバンド モジュールに 120MHz で動作する 2 本のデータ バスが接続されています。通信 (COMM) バスは ADC のサンプルを伝達し、一方で到着時間バスは受信パルスに関連した高分解能のタイム スタンプを伝えます。両バスは XC95144XV CPLD に組み込まれていますが (厳密には必要ではありません)、デバッグ用途には役立ちました。バス上の一連の疑似乱数を FPGA に出力するよう、CPLD を設定できます。次に、この CPLD の出力を利用して FPGA の入力タイミングを調整し、さらにバス ラインのインテグリティを検証します。この 2 つのタスクは、送信されたデータ シーケンスの演繹的知識がなければ実行が難しいものでした。

FPGA 内部のベースバンド モジュー

ル (図 4 参照) は、送信されるパルスのエンコードと受信したパルスのデコードの両処理を引き受けます。ベースバンド モジュールの送信部分は比較的簡単な構成で、多くが外部 (CRC) コーディングおよび内部 (畳み込み) コーディングで構成されています。受信部分のインプリメンテーションには、特に、チャンネル推定器とカスタムのビタビ デコーダが含まれていますので、非常に多くのリソースを消費します。ベースバンド モジュールとプロセッサは、Processor Local Bus (PLB) インターフェイスによって接続されています。

ソフトウェアのデバッグと比較して、プログラマブル ロジックのデバッグは非常に難しいものですが、ChipScope™ Pro ツールを統合ロジック アナライザやバスアナライザ コンフィギュレーションと併せて使用したため、デバッグ作業に役立ちました。ロジック アナライザは、COMM のバーストおよび到着時間のサンプルを同時にキャプチャし、実環境データを MATLAB® シミュレータに供給するために有用です。またベースバンド モジュールの PLB インターフェイスに関連する問題のデバッグには、バス アナライザが役立ちました。

プロセッサ システム

プロセッサ システム は、Xilinx Platform Studio (XPS) デザイン ツールに含まれるベース システム ビルダーウィザードを使用して生成されたものですが、最初から完全に動作するシステムとなっ

ていました。その後、ベース システムに少しずつ変更を加え、最終的には図 1 の FPGA セクションに示されたシステムを得るに至りました。特に、差動クロック入力へのスイッチングおよびベースバンド モジュールの PLB への接続が、これら変更の例として挙げられます。

ソフトウェア アプリケーションは、Xilkernel のトップに位置するエンベデッド MicroBlaze プロセッサで実行されます。この Xilkernel は、小さなアプリケーションに完全に適合した最小のリアルタイム オペレーティング システムです。本ソフトウェア アプリケーションは、同時に実行される次の 3 つのスレッドに分割されます。

- UWB スレッドは、ベースバンド モジュールのコンフィギュレーションおよび動作を管理します。
- アプリケーション スレッドは、システムがデータ送信モードで使用された場合に、オーディオ データの収集およびプレイバック動作を担います。
- RS232 スレッドは、グラフィカル ユーザ インターフェイス (GUI) 機能を実行する外部 PC と通信します。

XPS が使用する GNU 開発チェーンはほかの複数プラットフォームで利用できます。したがって、エンベデッド ターゲット上ではなく、ホスト PC 上 (たとえば、Cygwin 環境を使用して) でハードウェアとは独立したコード モジュールを容易にコンパイルし、テストも可能でした。このため、デバッグがずっと容易になりました。最終テストのみエンベデッド ターゲッ

図 3 - UWB パルスは、ガウス分布包絡線を有する 7.68GHz の搬送波で構成されています。

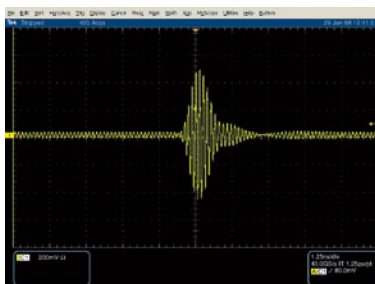
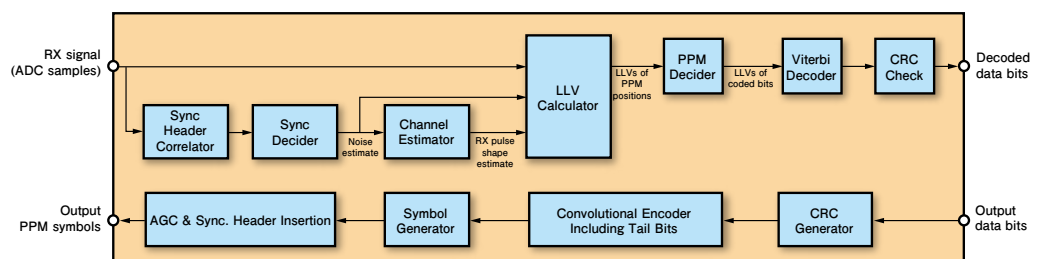


図 4 - ベースバンド モジュールの受信チェーン (上) と送信チェーン。



ト上で行う必要がありましたが、GDB のようなソースレベルのデバッガを利用できたことは、本当に幸いでした。さらにザイリンクスのアプリケーションノート XAPP1037 [6] を参照し、ソフトウェアをデバッグする上で有用な多くの手段を手に入れることができました。

UWB ASIC に関するハードウェア上の問題が発生したため、このシステムの公称測定距離は、最初に設定していた 25 ~ 30m から現在は 3m に制限されています。とはいえ、本システムの通信および測距の機能を実証できたことは、このプロジェクトは大いなる成功といえます。

将来的には、UWB ASIC を再設計してシステムの動作範囲を広げること、さら

に多角的機能をインプリメントすることによって単なる測距システムから実際の室内位置決めシステムへ昇格させることを目標としています。

詳細は、http://www.imst.de/de/forschung_pul.php をご覧いただくか、luediger@imst.de に E メールにてご連絡ください。

謝辞

EADS の Erwin Stenzel 氏と Daniel Kotzor 氏、IHP の Gunter Fischer 氏、IMST の Thorsten Kohl 氏、Jac Romme 氏、Norbert Schmidt 氏、Hannover にある Leibniz University の Maria Dolores Pérez-Guirao 氏、Sennheiser の Axel Schmid 氏、および RadioLabs の Dajana Cassioli 氏に対して、こ

のプロジェクトに貢献していただいたことに謝意を申し上げます。また、この記事のドラフトをレビューしていただいた Sennheiser の Steven Backer 氏に感謝いたします。

この研究は、Information Society Technologies 社の統合プロジェクト PULSERS Phase II の下、欧州委員会により共同設立されたものです。

参考資料

- [1] S. Gezici, Z. Tian, G. B. Giannakis, H. Kobayashi, A. F. Molisch, H. V. Poor and Z. Sahinoglu, "Localization via Ultra-Wideband Radios," IEEE Signal Processing Magazine, July 2005.
- [2] H. Lüdiger, B. Kull, M. D. Perez-Guirao, "An Ultra-Wideband Approach towards Autonomous Radio Control and Positioning Systems in Manufacturing & Logistics Processes," Proceedings of the 4th Workshop on Positioning, Navigation and Communication, Hannover, Germany, March 2007.
- [3] G. Fischer, O. Klymenko, D. Martynenko, "Time-of-Arrival Measurement Extension to a Non-Coherent Impulse Radio UWB Transceiver," Proceedings of the 5th Workshop on Positioning, Navigation and Communication, Hannover, Germany, March 2008.
- [4] O. Klymenko, G. Fischer, D. Martynenko, "A High Band Non-Coherent Impulse Radio UWB Receiver," Proceedings of the IEEE International Conference on Ultra-Wideband, ICUWB 2008, Hannover, Germany, September 2008.
- [5] P. Alfke, "Efficient Shift Registers, LFSR Counters, and Long Pseudo-Random Sequence Generators," XAPP052 application note.
- [6] B. Hill, "Introduction to Software Debugging on Xilinx MicroBlaze Embedded Platforms," XAPP1037.

双方向測距の補足説明

インパルス無線 UWB システムに採用した技術、すなわち双方向測距では、ノード A とノード B 間の距離を次の技術を使用して決定します（図を参照）。

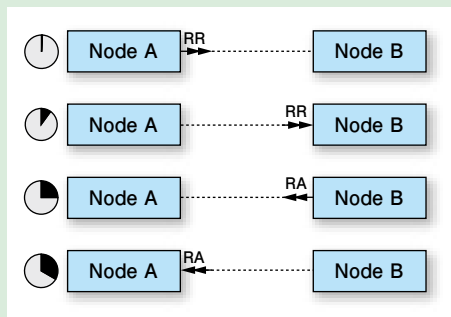
1. ノード A がノード B に測距リクエストを送り、高分解能クロックを起動します (3.84GHz)。
2. ノード B は、信号の伝播遅延時間 t_{prop} の経過後、測距リクエストを受信します。 t_{prop} はノード A、B 間の距離に比例します。
3. ノード B は、決められた処理遅延時間 t_{proc} の経過後、測距アンサーをノード A に送り返します。
4. 測距アンサーを受信すると、ノード A は時間 t_{tt} でクロックを停止させます。その後、単方向信号伝播遅延の $t_{\text{prop}} = (t_{\text{tt}} - t_{\text{proc}})/2$ を使用した計算が可能となり、これに光の速度（約 30 万キロ / 秒）を乗算すると、A - B 間の距離が得られます。

3.84GHz クロックの時間分解能は 260 ピコ秒であるため、約 8cm が空間分解能となります。ただし、無線信号は 2 つのノード間を往復するため、距離は 4cm の分解能で決定できます。

移動するノードおよび同一直線上にない 3 つの固定ノード間の距離がわかると、移動するノードは、2 次元（平面）での自身の位置を計算できます。同一平面上にない 4 つの固定ノードを使用すれば、3 次元（立体）での自身の位置さえ見つけることが可能です。

双方向測距プロセス

- Guy Eschemann, Heinz Lüdiger and Birgit Kull



無線 画像

リアルタイム処理に最適!!

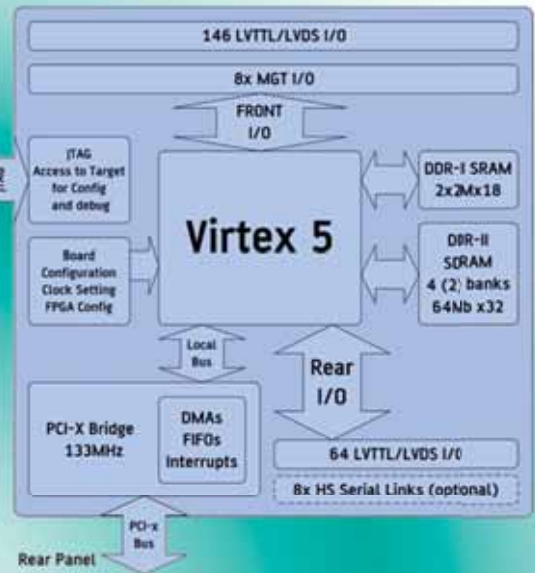
* 無線&画像処理用大規模FPGA搭載ボード

ユーザアルゴリズムをインプリメントするための大規模FPGAとデータIF用FPGAを搭載したボード

ADM-XRC-5T2

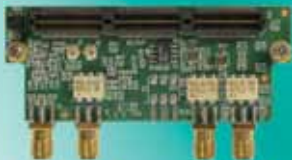


分類		仕様
FPGA	Virtex-5	LX220T, LX330T, SX240T, FX100T, FX200Tより選択
	SDRAM	DDR II SDRAM 512MB ~1GB
	SSRAM	DDR II SSRAM 8MB
	FLASH	4MB
データ入出力		各種I/Oモジュールを搭載可能
FPGA開発		Matlab / Simulink対応
サポートOS		Windows, Linux, VxWorks
ボードタイプ		PMC/XMC, PCI, PCIe x8, CompactPCIへの変換も可能



* FPGAボード搭載用各種I/Oモジュール

FPGAボードのフロント部に直接搭載可能な、無線信号や画像処理用のI/Oモジュールを各種用意
A/DやD/Aのほか、各種入出力IFを用意しているので、アナログからデジタルまでデータ取込み可能



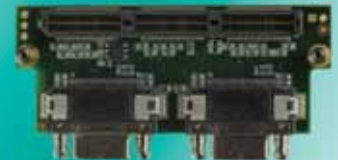
1.5GHz 8bit 2ch A/D



80MHz A/D & 160MHz D/A



Optical 4ch



Camera Link 2ch

FPGAボード搭載用 XRM I/Oモジュール						
分類	仕様					
A/D & D/A	3GHz 8bit 1ch A/D	1.5GHz 8bit 2ch A/D	500MHz 12bit 2ch A/D	250MHz 14bit 2ch A/D	125MHz 14bit 2ch A/D	80MHz 14bit 1ch A/D & 160MHz 16bit 2ch D/A
	-	1GHz 16bit 2ch D/A	-	275MHz 14bit 2ch D/A	-	
その他	HD-SDI IN & OUT x 2ch	S-Video & SVGA	HSSDC2 4ch	Rapid I/O 2ch	FPDP	MDR 26 I/O
	CameraLink 1ch or MiniCameraLink 2ch	LVDS 146 I/O LVDS 36 I/O	10/100 Ethernet & RS-232 & LVDS	Optical 1ch/2ch/4ch	128/256/512MB DDR SDRAM	2/4/8/16MB ZBT SSRAM

* FPGAボード搭載用キャリアボード

FPGAボードをPC環境下で利用する為のキャリアボード
2枚のFPGAボードを同時に搭載可能



PCI Express x8



PCI 66/64

(お問合わせは)
sales@mish.co.jp
http://www.mish.co.jp/

MISH
INTERNATIONAL

株式会社ミツシェインターナショナル
TEL 042-538-7650 FAX 042-534-1610
〒190-0004 東京都立川市柏町4-56-1

FPGA-Powered Platform Controls Industrial Motors for Maximum Efficiency

FPGA 搭載のプラットフォームで産業用モーターを最大効率で制御

National Instruments 社が、最適なモーター制御が必要な産業装置メーカーの CompactRIO 設計にザイリンクス FPGA を採用

Greg Crouch
Embedded Systems Business Director
National Instruments
greg.crouch@ni.com

規制強化で工場の運営経費削減が求められる中、機械メーカーは製品の電力効率を向上させるための解決策を模索しています。冷暖房空調設備と並んで、工場内で電力を多く消費するものとしては、温水暖房器、照明、オフィス機器、特に機械類が挙げられます。さらに具体的に言うと、工場内の機械で使用されるモーターの消費電力は、一般的な産業施設での全電気エネルギー消費の約 3 分の 2 を占めています。モーターは送風機、ポンプ、コンプレッサ、コンベヤ、工作機械、ミキサ、シュレッドなどあらゆる機器で使用されています。

機械類を制御するモーターから最大の効率を引き出す方法の 1 つは、効率の最適化を目指したより高度なベクトル制御 (Field-Oriented Control) を採用することです (補足記事「モーター効率がより良い結果を招く」を参照)。この効率の最適化に向けて、National Instruments (NI) 社の開発チームは、演算性能と柔軟性に優れたエンベデッドコントローラを設計するた

めに、リコンフィギュラブル I/O (RIO) と呼ばれる一般的なハードウェア アーキテクチャのベースにザイリンクスの FPGA を採用しました。NI のカスタムでもある機械メーカーは、モーター効率を改善するベクトル制御 (FOC) 技術を利用するためのプラットフォームとして RIO を使用しています。

現在 RIO アーキテクチャは EUROelectronics, Srl 社のシステムを含め、多数のシステムで展開されています。このアーキテクチャを利用することで、EUROelectronics 社はプロトタイプから最終的な機械の完成までをわずか 3 か月で成し遂げました (図 1)。

機械設計時間の短縮

米国エネルギー省のデータによると、モーターを 4 ~ 6% 効率の高いものに切り替えた機械メーカーは、それを年間 4,000 時間以上稼働させるとして、投資経費をちょうど 2 年間で取り戻しています。残念ながら、多くの機械で使用するホスト モーターは非常に大きく、置き換えには高いコストがかかります。このような

場合、最新の駆動制御アルゴリズムとコントローラ ハードウェアの採用が経費削減につながります。

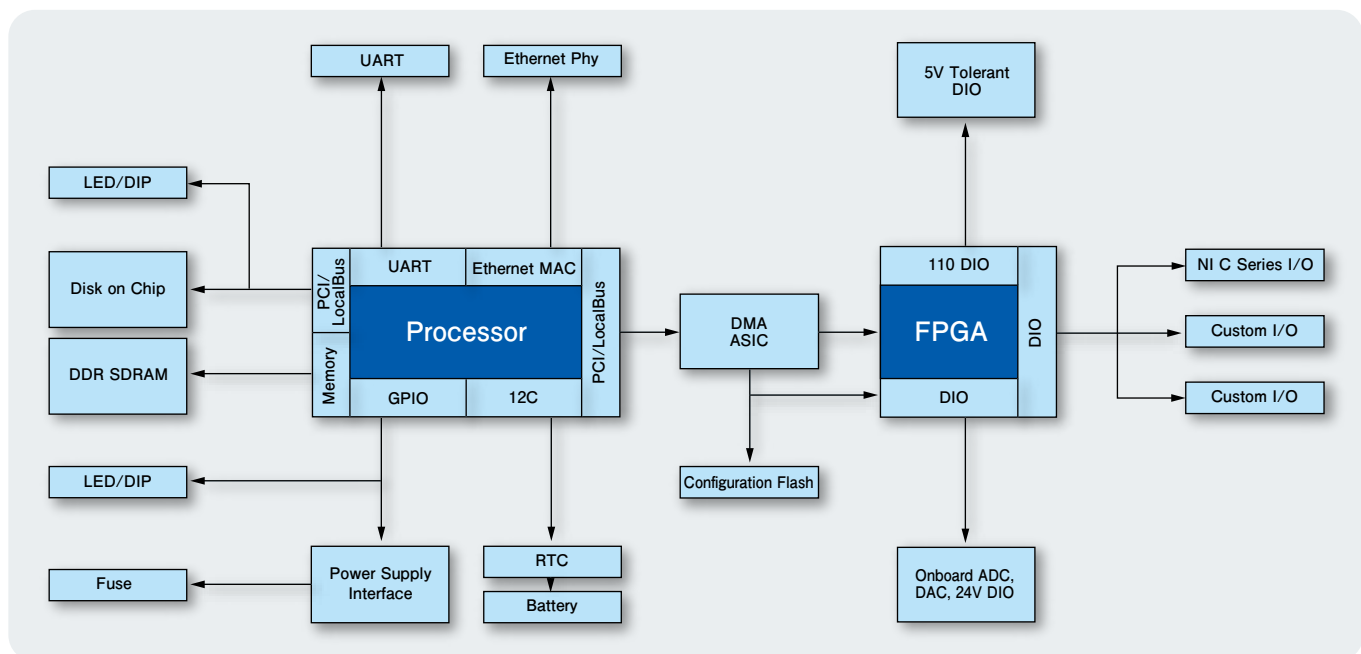
2 番目の課題は、ブラシレス DC モーターと永久磁石同期 AC モーター (PMSM) の統合制御は複雑であるという

ことです。この両モーターは一般的にブラシレス DC モーター (BLDC) に分類されます。多くの機械メーカーには、多様なアナログ センサとデジタル センサに対してリアルタイムの閉ループ制御ができる、エンベデッド コントローラの構築に必要なソ

図 1 - エンベデッド機械メーカー EUROelectronics 社は、FPGA ベースのベクトル制御により電力使用を削減



図 2 - NI 社のシングルボード RIO と CompactRIO コンフィギュレーションのためのモジュラー RIO アーキテクチャ ベース フレームワーク



ソフトウェアやハードウェア設計の専門知識がありません。

エンベデッド機械メーカーが設計に要する時間を短縮できるよう、RIO ベースのアーキテクチャの 1 つを採用して CompactRIO という製品を開発しました。これらの FPGA ベースの構造には、ザイリンクス Virtex® -5 LX85 や Spartan® -3 で構築されたシステムと Virtex-II 1M ゲート ベースのバックプレーンが含まれ、複数の周波数をサポートする PowerPC® 603e ベースのプロセッサが組み込まれています (図 2)。

RIO フレームワークには、コンフィギュレーション ソフトウェア ユーティリティとダイナミック I/O リコンフィギュレーション機能が構築されているため、最終的なアプリケーション プログラマやデジタル デザイン エンジニアは、セットアップや再利用に費やす時間を短縮できます。また、コンフィギュレーション ソフトウェアは、システムにインストールされたカスタム ハードウェアを自動検出でき、I/O ペリフェラルに付属の診断テストによって、I/O デバイスが正常に動作しているかを確認できます。設計者はカスタム回路をザイリンクス FPGA に直接接続し、ザイリンクス ツールや NI LabVIEW FPGA Module を使用して、ロジックを設計できます。

機械メーカーは、ダイナミック コンフィギュレーションを利用することで、ハードウェアの再利用が可能になります。同時に、最終版の新規 I/O 設計が完成する前に、ハイレベル アプリケーションのコーディングに着手できます。

ドライバ ソフトウェアと関連する API が正しく実行されなかったり、I/O 回路がインストールされずにデバイス固有のエラーが返されるなどの問題を避けるため、ソフトウェア開発者は通常、アプリケーション内の I/O 回路コードを一時的に置き換えるシミュレーション用サブルーチンを作成します。しかし、この方法ではアプリケーションの開発が難しくなり、実質的にコードのデバッグが不可能となります。NI の RIO ミドルウェア ドライバ アーキテクチャには、シミュレーション コードをドライバに直接統合する機能が含まれているため、コードの再利用とデバッグが簡単に実行できます。

図 3 はエンベデッド ミドルウェアのソフトウェア設計の階層構造例を示します。ミドルウェア ドライバとシステム サービスの有効性は、機械メーカーの多方面に展開される数千にもおよびアプリケーションで実証されています。パラレルおよびマルチスレッド セーフ エンベデッド ミドルウェア ドライバは、RIO に欠くことので

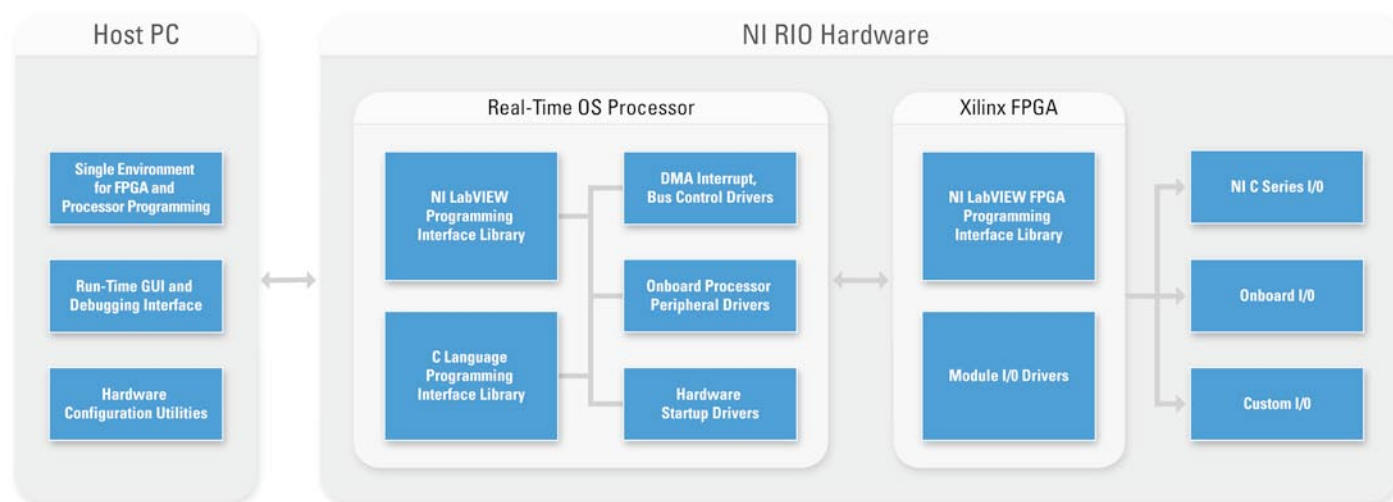
きないエレメントです。これにより、マルチスレッド セーフ関数とリエントラント (再入可能) 関数をマルチスレッドから同時に呼び出しても、動作は中断することなく正常に実行されます。また、パラレルでコードを記述したり、性能を最適化するための重要な機能です。リエントラント機能がないドライバはパフォーマンスを低下させ、最悪の場合、クラッシュを引き起こします。コードは、ほかのスレッドが各関数の使用を終了するまで、スレッドへのアクセスできません。このようなコード内での不必要な依存関係を取り除くという点でも、リエントラント機能は非常に重要です。

FPGA 制御アルゴリズムによる支援

ブラシレス DC モーターと永久磁石同期 AC モーターは、ともにブラシレス DC モーターと考えられていますが、ステータ (固定子) の巻線方法が異なります。回転すると、BLDC のステータの巻線は台形状の逆起電力電圧を発生するように巻かれています。PMSM の電圧は正弦波の形状です。

ブラシレス DC モーターは AC インダクション (誘導) モーターよりも高価なものです。高度なアルゴリズムで制御すれば、

図 3-プロセッサ ミドルウェア ドライバを使用すると、機械メーカーはカスタムの回路設計に注力できます。これらのドライバは、標準ヘッダ コネクタを介して、ザイリンクスの FPGA にリンクできます。



優れたエネルギー効率と性能性を発揮します。さらに、スケーリングにより、高出力かつ高速のアプリケーションへの対応も可能です。AC インダクション モーターが今のところ市場を独占していますが、ARC Advisory Group の調査によると、過去 5 年間でブラシレス DC モーターの販売台数

は 4 倍に増え、売上高は 12 億米ドルを超えています。

BLDC モーターは同期モーターの 1 種です。つまり、ステータが作り出す磁場とローター（回転子）の外の磁場が同じ周波数で回転することを意味します。通常 BLDC は 3 相モーターで、このステータ

は積層鋼板で成り、巻線は内周に沿って軸方向にカットされたスロット（細長い穴）に配置されます。ほとんどの BLDC モーターでは 3 本のステータ巻線が星状に結合されています。この内部構造は巻線というよりも、ローター上に永久磁石のペアが配置されるインダクション モーターの構造

モーター効率がより良い結果を招く

Wil Florentino

Product Marketing Manager, ISM Vertical Market, Xilinx

今日、工場内にあるモーターで駆動される装置の電気エネルギー消費量は、全体の 3 分の 2 を占めていると考えられています。この事実は、装置メーカーに対して、よりエネルギー効率の高いシステム開発を目指すよう課題を投げかけています。この課題には、高効率なモーターを選択する、設計負荷に見合った適切なサイズのモーターを使用する、高性能で高速なフィードバックと制御によってモーターの性能を改善するなど、さまざまな方法で取り組むことができます。

効率評価をチェック

既存のモーターをさらにエネルギー効率の良いモデルに置き換えるだけでも、初期コストのわずかな増分以上の効果をもたらします。年間 8,000 時間稼働する 500 馬力のモーターを、効率評価が 5% 高いモデルに切り替えた場合、年間の電気料金が \$12,000、170 キロワット時に相当する分が節約できます。あるユーティリティ企業と公的機関は、先行投資コストを相殺するよう、ユーザーに助成金を提供して NEMA Premium Motor（超高効率 NEMA モーター）にアップグレードすることを奨励しています。NEMA Premium Motor は、電子製造業の全米業界団体によって認定されています。

サイズと負荷が問題

一般的に、モーター効率はモーターにかかる負荷の量によって変化します。全負荷でのモーター効率は 85 ~ 97% となり、負荷を 70 ~ 80% にすると効率は最大になります。モーターサイズをわずかに大きく（最大 25%）するだけで、実際に効率を向上できます。同様に、モーターの全負荷時の回転数をわずか 40RPM でも増やすと、モーターにかかる負荷が 3 ~ 6% 増加する結果となり、エネルギー消費が 7% 増加するために NEMA Premium Motor で期待されるエネルギーおよび費用の節約は相殺されてしまいます。

FOC でさらにエネルギーを節約

モーターへの負荷は一定ではありません。したがって、モ-

ーターからのフィードバックは、少しずつ変化する負荷を追跡するのに役立ちます。3 相電気モーター可変速度動作に対する従来のスカラー制御技術は、インプリメンテーションは簡単ですが性能が制限されます。ベクトル制御とも呼ばれる FOC (Field-Oriented Control) は、フィードバックが高速で、すべての PWM サイクルで電流を制御することでトルクを厳密に制御できるため、より適した方法と言えます。FOC はこのように、電流が本質的に制限されることを前提として機能します。別の利点としては、トルクや回転速度を犠牲にせずに小さなモーターを使用できること、高速回転でもより好ましい動的応答が得られることが挙げられます。

小さなモーターを使用できるかどうかは別にしても、FOC はモーターのエネルギー消費を低減し、かつ効率を向上できます。たとえば、AC インダクション モーター内に FOC をインプリメントした場合、非ベクトル制御アプローチに対して、最大 25% までモーター効率を改善できます。米国エネルギー省は、FOC などのエネルギー節約技術をインプリメントすることで、動作マージンを 1 ~ 5% 下げることができるとしています。この数値は、一般的なプラントの動作マージンが 16% であることを考えると、非常に大きな値と言えます。

科学と芸術

デザインに最も効率的なモーターと駆動システムを組み込むには、明確な科学と多少の芸術が必要です。選択肢としては、予期される負荷に適したサイズのモーターを選択することから、FOC のような複雑なモーター制御アルゴリズムを使用して性能の限界を押し上げることなどが考えられます。

モーター制御システムの効率を上げる利点は、製造コストの削減から始まります。流体を移動させているか、ドリルを使用しているか、あるいはロボット アームを制御しているかなどに関わらず、モーターの選択と制御技術は最終的な収益に影響を与えます。またエネルギー消費の削減が環境にもたらす影響は、限られた自然資源を一層効率的に活用することにつながります。

と類似しています。

その名前が示すように、ブラシレス DC モーターは、ブラシなしで動作するように設計されています。つまり、ブラシが提供する整流（コミュテーション）は電子的に処理する必要があり、BLDC モーターを回転させるには、1 つのシーケンスでステータの巻線に電流を流します。巻線に一度に流す電流量を計算するにはローターの位置を知る必要がありますが、通常、この位置はステータに埋め込まれたホール効果センサを使用して測定されます。これらセンサの信号を 3 つ組み合わせることで、制御機器は整流の正確なシーケンスを決定できます。

ブラシレス モーターでは、ローターに受動素子の巻線ではなく永久磁石を用いているため、そのサイズと重量の割には、インダクション モーターよりも本質的に高出力を得ることができます。ただし、高効率動作は、FPGA ベースのコントローラに依存します。

FPGA ベースのアルゴリズム制御は、マイクロプロセッサによる制御よりも高効率で、台形制御、正弦波制御およびベクトル制御など、広範な制御システム アルゴリズム

ムが利用できます。

台形あるいは 6 ステップ制御は最も簡単な制御方法であると同時に、最も性能が低い方法でもあります。6 つの各整流ステップでは、モーター ドライバは、2 つの巻線間の電流パスにのみ関与し、第 3 のモーター フェーズは非接続状態です。しかし、トルクのリップルは、振動、ノイズ、機械の疲弊を誘起し、サーボ性能は大幅に低下します。

正弦波制御は、voltage-over-frequency 整流とも呼ばれ、上記の問題に対応します。正弦波コントローラでは、スムーズに変化する電流によって 3 つのモーター巻線を駆動することで、トルクのリップル問題は解消され、スムーズな回転が可能となります。正弦波整流の基本的な弱点は、時間とともに変化するモーター電流を基礎的な比例積分 (PI) 制御アルゴリズムで制御していることで、フェーズ（位相）間の相互作用が考慮されていません。その結果、高速回転の場合には性能が低下することになります。

ベクトル制御としても知られる FOC は、モーターの高速回転時に効率性を向上させるよう正弦波制御を改善します。これによ

り、ほかの制御技術と比較して、電源入力 1 ワット当たり最も大きなトルクを引き出し、さらに負荷が変動しても正確で応答速度の速い制御が可能となります。また FOC は、ステータとローターの磁束を完全に維持することで、過渡運転時でも効率を最適化します。

FOC の詳細

FOC がどのように機能するかを理解する方法として、座標参照の変換過程を考えてみてください。ステータの観点から AC モーターの動作を想像すると、正弦波入力電流がステータに入っていることがわかります。時間とともに変化するこの信号が、回転する磁束を生成します。ローターの回転速度は回転する磁束ベクトルの関数です。固定された静止位置からのステータ電流と回転する磁束ベクトルは、AC（時間的に交互に変化する）量に見えます。

次に、モーターの内部にいて、ステータ電流が生成する回転磁束ベクトルと同じ速度で、回転するローターと一緒に動くところを考えてみてください。定常状態条件下で、上記の視点でモーターを観察すると、ステータ電流は一定値のように見え、回転する磁束ベクトルは固定されています。つまり、ステータ電流を制御して必要なローター電流を得なければならず、座標参照を変換することにより、簡単な PI 制御ループを用いて DC 値などのステータ電流を制御できます。

FOC アルゴリズムは、時間と回転速度の依存関係を取り除き、磁束とトルクそれぞれの直接的な独立制御を可能にすることで機能します。これは、クラーク パーク変換と呼ばれる数学公式を使用し、モーターの電気的状態を時不変の 2 次元回転座標に変換することで可能となります。

電機工学を制御する効率的な方法として、空間ベクトル パルス幅変調 (PWM) と呼ばれる手法がありますが、これはモーターの供給電圧を最大限利用し、高調波による損失を最小限にするものです。高調波は、モーターの鉄心内にエネルギーを消費する渦電流を引き起こすため、モーター効

図 4 - ザイリンクス FPGA ベースの RIO ハードウェア プラットフォームを使用した FOC インプリメンテーションのシステム図

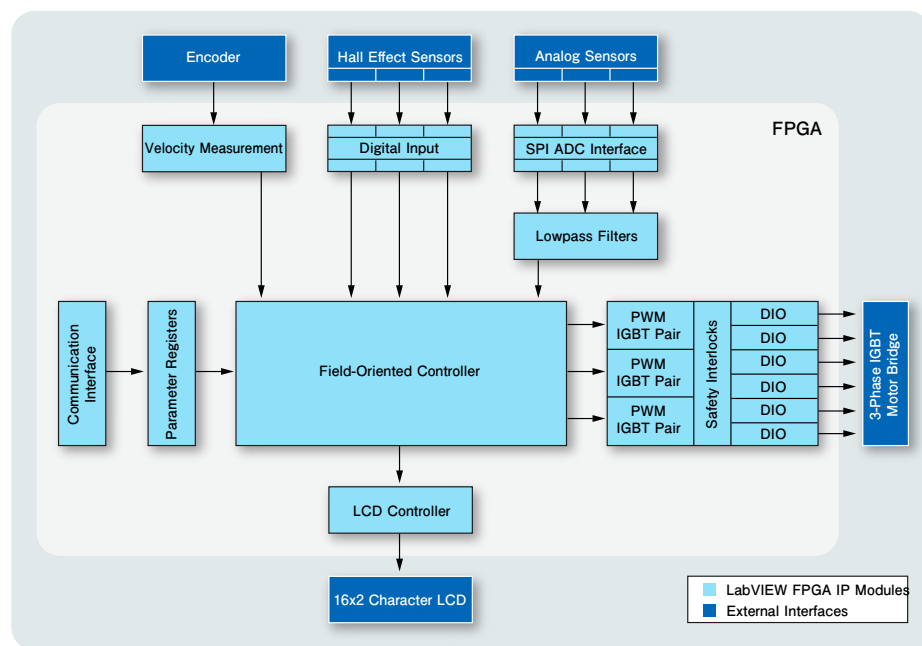
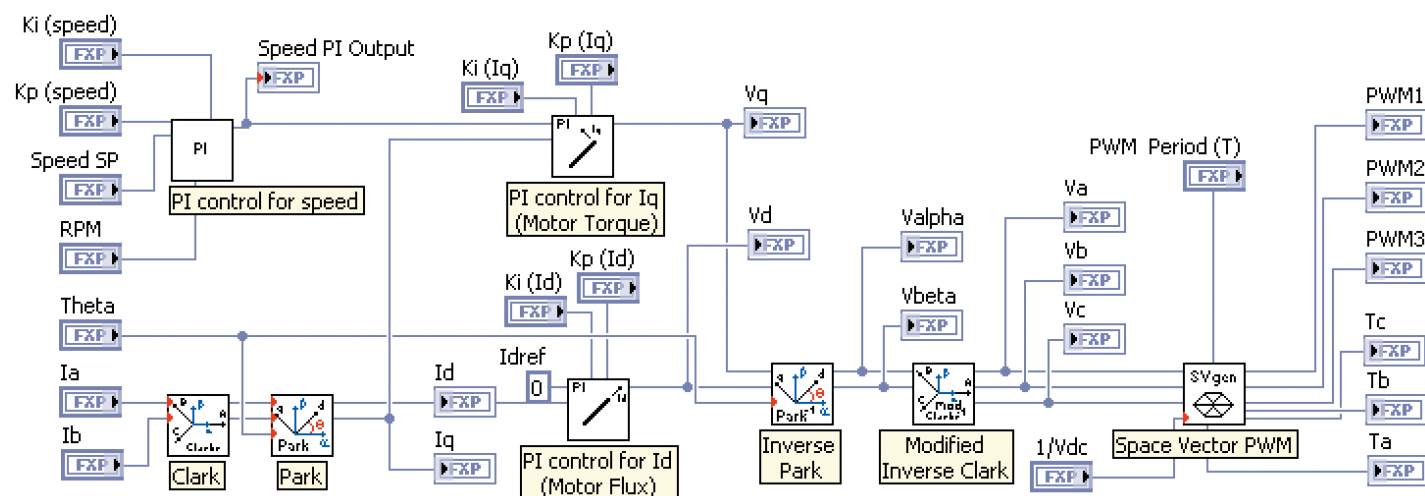


図 5 - LabVIEW FPGA のベクトル制御アルゴリズム



率を低下させる原因となります。

何よりも、AC インダクションとブラシレス DC の両モーターにベクトル制御を適用して、効率と性能を向上させることができます。また、FOC を既存のモーターに適用して、制御システムをアップグレードすることも可能です。実際、AC インダクション モーターに FOC と類似したベクトル制御技術を採用することで、サーボ モーターのような性能が実現されます。

FPGA で FOC の課題を解決

FOC をインプリメントするには強力な演算機能を持つデバイスが必要であり、この理由から FPGA はモーター制御に適していると言えます。FOC システムでは、10 ~ 100kHz のレートでベクトル制御アルゴリズムを連続的に再計算する必要があります。制御アルゴリズム処理と並行して、このアルゴリズムにタイミング上の影響を与えることなく、高速 PWM 出力などの知的財産 (IP コア) ブロックを実行しなければなりません。FPGA 生来の並列実行機能とハードウェアの信頼性により、最大 100kHz のループ レートで制御アルゴリズムを実行できます。また、同時に通信処理を行い、ホスト マイクロプロセッサ上のユーザ インターフェイス アプリケーションにデータを与えることができます。さら

に、FPGA はリコンフィギュレーション可能なことから、必要に応じて随時、制御アルゴリズムを調整できます。

図 4 は、National Instruments 社の RIO プラットフォームでザイリンクス FPGA を用いて FOC をインプリメントするシステムを示します。実際の制御アルゴリズムのほかに、FPGA は、モーターを起動するための外部電子機器を駆動する PWM 信号を生成しながら、IP コア ブロックを実行し、3 つのホール効果センサ、エンコーダと 3 つの別のアナログ センサを読み出します。ホスト プロセッサとユーザー インターフェイスへの通信は、IP コア ブロックが並行して実行します。

図 5 は、FPGA ベースの FOC アルゴリズムを使用した LabVIEW FPGA のインプリメンテーションを示します。クラーク変換は、3 軸座標を 120° (I_a , I_b , I_c) シフトして 2 軸直交座標 (I_d , I_q) に変換します。第 2 のステップではパーク変換が、固定 (I_a , I_b) 座標を切り離された 2 軸回転座標 (I_d と I_q) に変換します。この 2 軸回転座標は、簡単な PI コントローラでも制御できます。FOC システムでは逆パーク クラーク変換を使用して、2 軸回転座標をステータ巻線の固定された 3 相 AC モーター フレームに戻します。NI 社は、完全なソース IP をウェブ サイト ni.com/ipnet で提供しています。

NI 社のカスタムで、電子システムの設計と製造に携わる BAE Systems Avionics 社は、ザイリンクス FPGA を内蔵した RIO プラットフォームを使用して、既存のモーターの性能を 15% 引き上げ、さらにモーターの質量を低減することで宇宙電子工学製品の重量を削減しました。FOC の高効率性と厳重な電力制御によって、スコットランドのエジンバラにある BAE Servo Systems Technology Group は現在、以前の仕様よりも小さなモーターの仕様を採用しています。

機械メーカーの設計要件とはつまり、規制制限を満たしながらモーターの動作効率を改善し、迅速に投資に対する利潤を確保することです。制御システムのアップグレードを評価する際、エネルギー コストが低く見積もられることが多くありますが、実際に計算してみると、モーターの全寿命におけるエネルギー コストは、ハードウェア コストよりも一般的に数桁高いものになります。NI 社は、ザイリンクスの FPGA 技術に基づく標準のハードウェア ソリューションを活用することで、高い演算性能に加え、柔軟性の高いエンベデッド コントローラの提供に取り組んでいます。この組み合わせにより、厳しいユーザーの要求、特に FOC の性能要件を満たすことができるのです。

Optimizing Xilinx FPGAs for Power

ザイリンクス FPGA の 消費電力を最適化

ツールや技術を活用しトータル消費電力を管理

Matt Klein
Principal Engineer, Technical Marketing
Xilinx, Inc.
matt.klein@xilinx.com

IC のプロセス技術は、これまでの6年間で、130nm から 90nm、現在では 65nm ノードまで移行してきましたが、それぞれのプロセスで電力管理への重要性は増す一方です。トランジスタのリーク（漏洩）電流による電力損失がスタンバイモードでもかなりの量である、と各メーカーが気づき始めたのは 130nm ノードになってからでした。90nm では、IC の動作電圧は低下しましたが、リーク電流は増え続けデバイスの消費電力の大きな割合を占めました。65nm に移行してからも、この傾向は続いています。65nm ノードでのリーク電流は非常に顕著で、そのため多くの設計者は電力管理を FPGA の機能および性能の実現と同じくらい重要であると考えようになっています。

従来 FPGA は、広範なアプリケーション向けに大量の高速トランジスタを使用して設計されたため、消費電力に関して、リーク電流の低減への努力が施されたデバイスであるとはいえません。リーク電流の多いトランジスタを使用しているという点では、最新のプロセス技術で設計している他

のシリコンも同様です。しかし、FPGA のプログラマビリティにおけるメリットに加え、消費電力を正確に見積もれる関連ツールの使用も可能で、最適化テクニックを施すことで FPGA を使ったデザインや、FPGA 搭載基板の消費電力をさらに最適化することが可能です。

FPGA の消費電力は、スタティクとダイナミックの 2 種類が存在します。スタティク電力はトランジスタのリーク電流が原因で発生するため、実際にデバイスが動作していない時でも消費します。ダイナミック電力は、デバイスが動作している時に消費する電力のことです。これはトランジスタのトグル（電圧の昇降の繰り返し）によるもので、電圧、周波数、静電容量の関数となります。2 種類の電力のそれぞれが異なる動作条件のもとでどのように変化するかを理解することは非常に重要で、それを理解することで設計するデザインの電力見積もりを最適化できます。

スタティクおよびダイナミック電力とその変動

90nm の ASIC や FPGA でのリーク電流はかなり多くなりますが、65nm の場合はさらに深刻です。トランジスタから高性能を引き出すには、スレッショルド電圧を下げる必要がありますが、そうするとリーク電流も増えてしまいます。ザイリンクスはこれまでにリーク電流を減らそうと多くの試みを行ってきましたが、リークによるスタティク電力の変動は、ワーストケースと標準値との間で、およそ 2:1 となります。リーク電力はコア電圧 (V_{CCINT}) による影響が大きく、 V_{CCINT} の 3 乗で変化します。 V_{CCINT} が 5 パーセント上昇しただけでも、スタティク電力は約 15 パーセント増えます。また、リーク電流はジャンクション（あるいはダイ）温度によっても大きな影響を受けます。図 1 と 2 は、リーク電流によるスタティク電力の変化を温度と電圧の関数で表したものです。

FPGA のスタティク消費電力の他の原因として動作回路の DC（直流）電流がありますが、これはおおむねプロセス技術と

温度不変（プロセス技術と温度の影響を受けない）です。たとえば、I/O の DC 電流（HSTL、SSTL、LVDS のような終端処理を有する標準での I/O 終端電圧など）と LVDS のような電流ドライバ I/O タイプの DC 電流があります。スタティク消費電力のソースとして FPGA のアナログブロックが挙げられますが、これもほとんどの場合プロセス技術と温度不変です。これらのアナログブロックの例としては、デジタルクロックマネージャ（DCM）があり、これはザイリンクス FPGA のクロック制御エレメントです。その他の例として、ザイリンクス Virtex®-5 FPGA で使用されているフェーズロックループ（PLL）があります。また、ザイリンクス FPGA 内で入出力信号のプログラマブル遅延を選択するエレメントである IODELAY が挙げられます。

ダイナミック電力は、FPGA のコアや I/O でスイッチングの際に消費される電力です。ダイナミック電力を計算するには、トグルするトランジスタと配線の数や静電容量、トグル周波数を知る必要があります。トランジスタは、FPGA 内のロジックおよびメタル配線間のプログラマブルインターコネクトで使用されています。静電容量は、トランジスタのキャパシタンスとメタル配線のキャパシタンスからなります。ダイナミック電力の計算式は次のように表されます。

$$PD_{DYNAMIC} = nCV2f$$

n = トグルするノードの数、 C = 静電容量、 V = スイングの際の電圧幅、 f = トグル周波数を示します。

ロジックをタイトにパッキングする（FPGA 内部でアーキテクチャの変更を行う）とスイッチングトランジスタの数を減らすことができます。小さなトランジスタを使用すると、トランジスタ間の配線長を短くできるため、ダイナミック電力を低減できます。そのため、Virtex-5 FPGA 内の 65nm トランジスタでは、ゲートのキャパシタンスは小さく相互配線長が短いいため、この組み合わせでのノードの静電容量は 15 ～ 20 パーセント低減します。結果

図 1 - ダイ温度によるリーク電力の変化

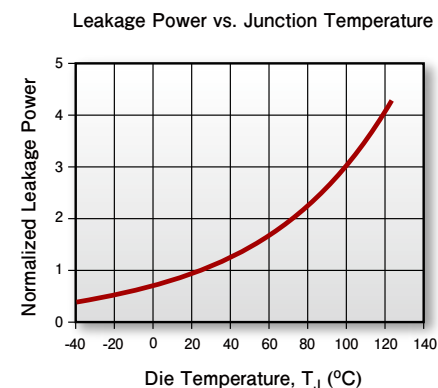
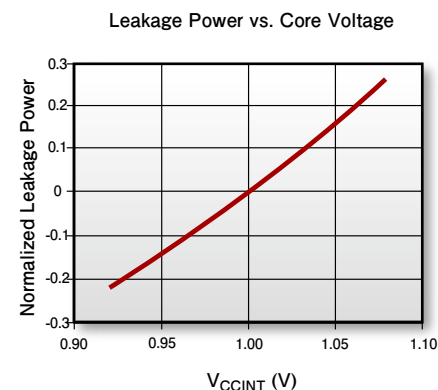


図 2 - コア電圧 (V_{CCINT}) によるリーク電力の変化



的に、ダイナミック電力も低減できます。

電圧もダイナミック電力に影響します。90nm から 65nm プロセスノードへの移行により、Virtex-5 FPGA のダイナミック電力は約 30 パーセント低減します。これは単に、 V_{CCINT} を 1.2V から 1V に下げて得られた結果です。これに加えて、アーキテクチャ上の強化を図ることにより、ダイナミック電力の正味削減は、90nm 技術と比較して、40 ～ 50 パーセント減となります。（注：ダイナミック電力は V_{CCINT} の 2 乗で変化しますが、FPGA のコアでは温度とプロセス技術不変の傾向がさらに強くなっています。）

FPGA の電力解析ツール

ザイリンクスでは 2 種類の電力解析ツール

ルを用意しています。1 つ目は、設計者がインプリメンテーション ツールを使う前に使用する XPower Estimator (XPE) スプレッドシート ツールです。また、デザインをインプリメントした後に使用する 2 つ目のツールが、XPower Analyzer です。これは、ユーザーが行った変更により、消費電力にどの程度影響したかをチェックするためのものです。

XPower Estimator は、ユーザーが記述した FPGA リソースの利用状況やトグル レート、負荷などの情報を元に、スプレッドシート上に電力見積もりを素早く行います。これは開発初期の電力評価に使用するツールで、電源やレギュレータ、システムの冷却方法 (ヒート シンク、ファンなど) の選択基準になります。

この Microsoft の Excel ベースのツールでは、デバイス指向や設計指向、システム指向での消費電力の見積もりを行うことができます。単に予測される設計パラメータ、たとえばリソースの利用状況、動作環境、クロックやトグル レートなどを入力するだけで見積もりが行えます。これを入力すると、XPE は所定のデザインの電力見積もりを計算して、トータル消費電力や最大ジャンクション温度に加え、電源レールとブロックをベースにした電力などをレポートします。

見積もりプログラムを設定するには、ツ

ールの Process ファンクションが重要になります。これにより、ブロックごとの標準消費電力とワースト ケース消費電力を知ることができます。主として、 V_{CCINT} 電源のリークによるスタティック電力はプロセス技術に大いに依存します。さらに、Voltage Source Summary により、電圧を変えた際に消費電力に及ぼす影響を素早く知ることができます。 V_{CCINT} はすべてのコア ロジックに供給されている電源の一つで、これを正しく理解しておくことが特に重要です。XPE ツールのプロセス技術変動選択と電圧変動選択により、ワースト ケースの電源規模を適切に決めることができます。

XPE のもう一つの価値の高い特長は Thermal Information/Summary で、ヒート シンクや PC 基板の特性と温度条件を指定できます。これは、そのデザインが民生用デバイスあるいは工業用デバイスの温度仕様を満たしているのかを確認するのに役立ちます。また、Block Summary はそれぞれのブロックの電力を表示し、Power Summary はスタティック電力とダイナミック電力の和を表示します。

XPE ツールのそれぞれのタブは、クロック、ロジック、I/O、ブロック RAM (BRAM)、PLL、DSP などの選択したリソースの利用状況やトグル レート等を入力するのに使用されます。

最後に、XPE の Graphs tab/sheet は、消費電力をプロセス技術や電圧、温度変動の関数としてグラフィカルに表示します。特に、Power by Function グラフィックは、それぞれの項目をリストアップしてその消費電力を示すため、最適化により最もメリットを受ける項目を特定できます。

2 つ目のザイリンクス電力解析ツール XPower Analyzer は、インプリメンテーション時に抽出した正確なリソース情報に基づいて、より正確な視点からの

電力解析結果を提供します。このツールでは、テスト ベクタやシミュレーション ベクタを使用することができますが、ベクタがなくても電力の見積もりは行えます。このツールは、FPGA デザインの物理的リソースに特長づけられた静電容量データを使用します。

XPower Analyzer は、ザイリンクスの統合ソフトウェア環境 ISE® Design Suite と連携し、内部のザイリンクス ファイル フォーマットから配置/配線後の情報を受け取ることができます。これはまた、業界標準の Value Change Dump (VCD) や Switching Activity Interchange Format (SAIF) ファイルを扱うことが可能です。

VCD か SAIF フォーマットのいずれかを使用している場合は、代表するシミュレーション ベクタを生成する必要があります。それにより、ツールはシステム内のノードのトグル レートを記録でき、またユーザーが後でこのデータにアクセスすることも可能です。これらのシミュレーション ファイルがない場合は、XPower Analyzer ツールにベクタなしのシミュレーションをさせることが可能です。この種のシミュレーションでは、数学的統計的モデリングを使用して、始動トグル レートを実際のデザイン ロジック内に伝播させます。そして、デザイン内のそれぞれのノードのトグル レートを含んだ結果を生成します。

XPower は、ベクタ ベース (VCD と SAIF からの) ファイルでも、ベクタを使用しないシミュレーションでも、配置/配線の物理的接続性と正確なリソースの利用状況を考慮します。このツールは、各ノードの動作やトグル レートと、物理リソースの特長づけられた静電容量データおよび与えられたトグル レートでの各ブロック単独のダイナミック電力との相互参照を行います。

XPower は、デザインの部分ごとにどの程度電力を消費しているかを詳細に提示してくれます。また、「what if」解析により

図 3 - ザイリンクス XPower Analyzer のサマリ ページ

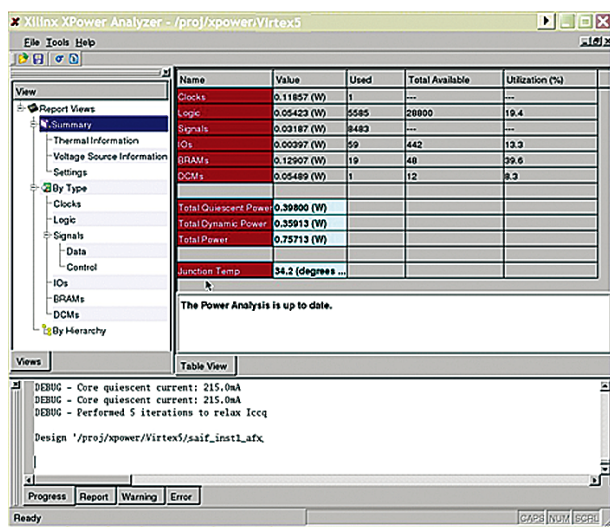


図 4 - T_DCI を使用するメモリ リードとメモリ ライト時の FPGA のピン状態

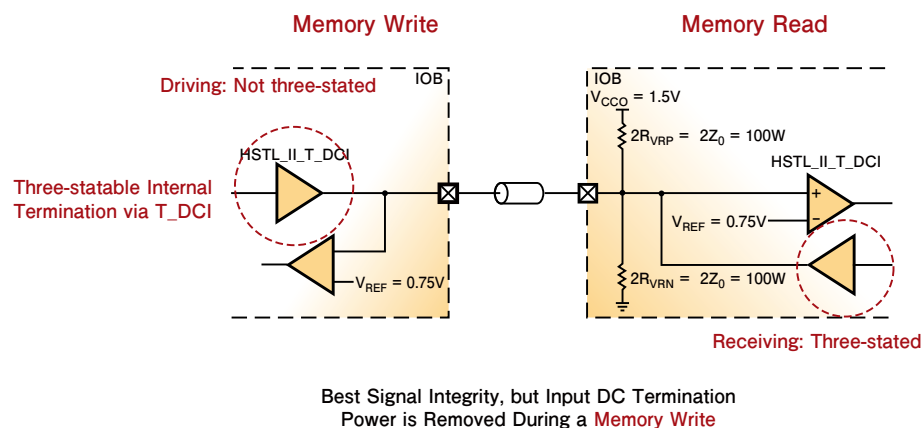



図 5 - パーツ サイズを 1 ランク下げた時のスタティク電力の削減

	Static Power Reduction Going to Smaller Device
330k → 220k	-33%
220k → 110k	-51%
110k → 85k	-24%
85k → 50k	-46%
50k → 30k	-33%

情報量を増やすことで、最適化によって最もメリットを受けるブロックがどこなのかを決定することが可能です。この最適化には、もっとも簡単なものから再設計が必要になるような複雑なものまであります。さらに、XPower では、デザインに対する実際の電力仕様を文書化することが可能で、その情報をボード レベルの作業チームに文書で伝達できます。

FPGA のデザイン テクニックで消費電力を削減

プロセス技術が 65nm にシュリンクしたことにより、Virtex-5 の消費電力は必然的に削減されてはいますが、新しいツールや設計テクニックなどを使用することにより消費電力をさらに削減できます。

その一つの方法として、最適な大きさの FPGA を採用しそのプログラマビリティを利用することで、デザインの消費電力をさらに最適化することが可能です。デザイン上の各項目の選択により、スタティクとダイナミックの両消費電力は影響を受けます。

FPGA は数々のトランジスタによって構成されているために、リーク電流によるスタティク電力は、FPGA のロジック サイズに比例します。使用している FPGA のリソース数を削減できれば、より小さなデバイスにデザインをインプリメントでき

ます。それにより、リーク電力を減らすことができます。ワンランク小さいデバイスへ移行した場合の効果を図 5 に示します。

デザイン サイズを小さくするためのテクニックをいくつか紹介しましょう。まず、ロジック ファンクションの時間的スライス処理法です。FPGA 内で 2 組の回路が 1 つの線形ファンクション セットを実行するとして、お互いがお互いのコピーだとします。その場合、1 組の回路を使用してそれを 2 倍のレートで走らせ、その回路のシングル インスタンスに流れ込むデータをマルチプレクスするようにします。これによりロジックは半分で済みます。

その他の方法として、ザイリンクス独自のパーシャル リコンフィギュレーション機能の使用が挙げられます。これは、回路の一つのセクションを別の新しいセクションに動的に置き換えるというものです。

回路ファンクションを、利用が限定されていないリソースに移動させることもできます。たとえば、ステート マシンを ブロック RAM へ、カウンタを DSP48 (ザイリンクスの乗算、加算を行う DSP ブロック) へ、レジスタをシフト レジスタ ロジックへ、ブロック RAM をルックアップ テーブル RAM (LUTRAM) へ移動させることができます。また、デザインのタイミングに関して、ロジック/レジスタの複製の原因となる、厳しい制約をかけていないかを確認することもよい方法です。

同様に、FPGA アーキテクチャにインプリメントされているハード IP コア ブロック (ブロック RAM、DSP、FIFO、Ethernet MAC、PCE Express) をフル活用することもよいでしょう。

スタティク電力を削減する他の方法は、デザインを注意深くチェックして不必要に DC 電流を流しているものを排除することです。しばしば、無関係なあるいは隠された DCM や PLL が付属したブロックをデザインに使っている場合があります。これは、ブロックの再デザイン時に DCM や PLL を取り除くのを忘れた場合や、次世代製品の開発時に過去のデザイン コードを使用した場合などに発生すると考えられます。DCM や PLL をデザインのトップ レベルに引き出すことができれば、複数のブロックがリソースを共有することになり、デザイン サイズや DC 電力をさらに削減できます。

メモリ ブロックを上手に使用することで、FPGA デザインのダイナミック消費電力、ひいては全体の消費電力の削減にもつながります。ダイナミック電力は容量 (エリアやレングス) と周波数の相関関係なので、デザインのブロック メモリへのアクセス方法を良く調べて、容量と周波数を最適化する領域を特定することも必要です。

ザイリンクス FPGA には、2 種類のメモリ アレイが含まれています。18k ビットか 36k ビット サイズで提供されてい

るブロック RAM は、大きなメモリ ブロック用に最適化されています。小さいメモリ ブロック用には FPGA のルックアップ テーブルベースの LUTRAM が最適です。ザイリンクス Virtex-5 FPGA では、LUTRAM は 64 ビット単位で提供されています。

この 2 種類のうち、一般的にはブロック RAM がより多くの電力を消費します。そのイネーブル レート（デバイスのイネーブル端子をアクティブにする頻度）は、一般的にブロック RAM 消費電力の最大の原因です。トグル レートも寄与しますが、これは二次的なものです。ブロック RAM の消費電力を最小化するには、いくつかの方法があります。たとえば、実際にリード サイクルやライト サイクルを実行するときのみブロック RAM をイネーブルするようにします。ブロック RAM は、大きなメモリ ブロック用にとっておき、小さなメモリ ブロック用には LUTRAM を使用するようにします。また、大きな複数ブロックにブロック RAM を使用する方法もあります。

その他のテクニックとしては、メモリ アレイの配置があります。エリアを最小化して性能を最大化するか、あるいは消費電力を最小化するかはいずれかを選択します。図 6 は、スピードとエリアが最適化された $2k \times 36$ ビットのストレージ アレイを示します。これは、4 個の $2k \times 9$ ビット ブロックを並列に使用し、データの更新にはすべて 4 つのブロックがイネー

ブルされるように構成されています。 $2k \times 36$ ビットのストレージ アレイを構成するには、4 個の 512×36 ビット ブロックで構成するという別の方法も使用できます。ただし、デコードされるアドレスの最下位 2 ビットは、アクセスすべき 512×36 ビット ブロックの 1 つを選択するのに使用されます。後者の場合、1 個以上のブロックには同時にアクセスしないため、最初のケースと比較して、75 パーセントの消費電力が削減されることになります。

図 6 の右側はザイリンクスの Block Memory Generator で、メモリ アレイのサイズを任意に設定してスピードか消費電力のいずれかの最適化を行います。図 7 は、このケースでのザイリンクス Power Estimator の結果で、N 個のブロックを 1 のイネーブル レートで駆動する場合の消費電力と、N 個のブロックを $1/4$ のイネーブル レートで駆動する場合の消費電力との比較です。結果として、後者が 75 パーセントの消費電力の削減になっていることを示しています。

ザイリンクスのツールを使用することで、最適なメモリ アレイを選択することができます。あるデザインに対して、2 種類のメモリ ストレージ領域を考えてみましょう。一つは、300MHz で実行される 16 組の 64×32 ビット メモリ構造（トータル ビット = 32k）が必要な場合です。もう一つは、16 組の 512×32 ビット メモリ構造（トータル ビット = 294k）

が必要な場合です。

16 組の 64×32 ビット メモリ構造に対する電力比較を見てみると、XPE ツールが示しているように（図 8）、小さなメモリ アレイは LUTRAM にインプリメントした方が良いことがわかります。それにより、ブロック RAM にインプリメントする場合と比較して、85 パーセントの消費電力が低減できます。これは、ブロック RAM には無駄な空間がたくさんあり、16 組の非常に小さな（ 64×32 ビット）メモリを構成するのに 16 組の 18k ビット ブロックを非効率的に使用するためです。

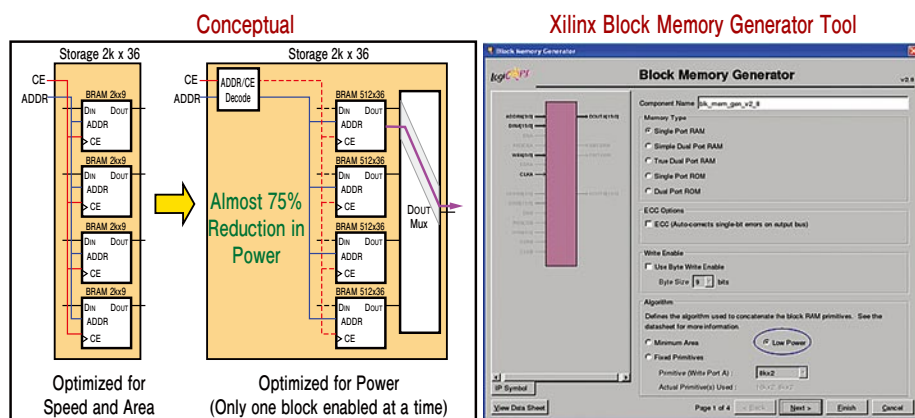
では、16 組の 18k ビット アレイに対する消費電力比較をみてみましょう。XPE ツールは大きなメモリ アレイに対しては正反対の結果を示しています（図 9）。LUTRAM ではなく ブロック RAM にインプリメントすると 28 パーセントの消費電力が節約されますが、これは、小さなメモリをたくさん使用した場合、多数の相互接続により電力が消費されるためです。

ザイリンクス FPGA には、クロックのゲーティングに関して興味深い機能が用意されています。たとえば、FPGA がグローバル クロックを切り替えて、低速クロックを動的に選択する際に BUFGMUX クロック バッファを使用できます。また、各サイクルのクロック ゲーティングを行う際に BUFGCE クロック バッファを使用することもできます。このゲーティング手法は、ASIC デザインで使用するサイクル ゲーティング テクニックに良く似ています。

あるブロックが使用されずに電力を消費している場合、上記の二つの機能が特に有効になってきます。これらの機能を使用すると、数千ものクロック負荷がクロック サイクルごとにオン/オフを繰り返すか長いクロック サイクルの間オンになるような非常に大きなクロック領域をゲートオフすることが可能です。

グリッチにより発生するエネルギーを削減することでダイナミック電力を抑えることもできます。組み合わせロジックやレジスタを含むデザインでは、組み合わせロジックのブロックに入力される複数の入力 が少し時間をずらして到着する場合があります。

図 6 - スピードおよび領域に対する電力最適化メモリ アレイ（左）とザイリンクス Block Memory Generator の電力に対する領域の選択



ます。この場合、時間幅の短いグリッチが発生して他の回路に伝播し電力を消耗します（図 10 参照）。ロジックのレイヤ間でもっとパイプラインを使用するようにすれば、グリッチが他の回路に伝播するのを防止でき、ダイナミック電力も減ります。

ボードレベルの消費電力削減

基板の設計者や機械技術者、システム設計者にとって、FPGA の消費電力の削減は、ボードレベルでいくつかの事項を考慮する必要があります。FPGA コア電圧とジャンクション温度は消費電力のさまざまな要素に大きな影響を及ぼします。

V_{CCINT} コア電圧を管理下に置いておくことが、ボードレベルで消費電力を削減する一つの方法です。リークによるスタティック電力とダイナミック電力の双方は、FPGA のコア電圧に大きく依存します。

したがって、リーク電流を減らす一つの方法は、コア電圧を Virtex-5 の動作範囲のハイエンド (1.05 V = +5 パーセント) ではなく、公称値 (1 ボルト) の近くに設定することです。現代のスイッチングレギュレータでは、製品の仕様で電圧トランスが ±5 パーセントと表示されていても、これを ±1.5 パーセントの精度で使用できます。コア電圧を 1.05V の最大設定ではなく 1V の公称値に保てば、リークによるスタティック電力を 15 パーセント、ダイナミック電力を 10 パーセント削減できます。

ジャンクション温度を制御下に置くことでも、消費電力の削減が可能です。与えられたデザインの FPGA、基板、ヒートシンク、周囲温度、エアフローの温度特性および FPGA の消費電力、すべてが FPGA のジャンクション温度に影響します。

FPGA のジャンクション温度を下げる簡単でわかりやすい方法は、より熱効率の高い基板がヒートシンクを使用することです。消費電力を削減するために設計者が行うことは、すべて良い結果として戻ってきます。高いジャンクション温度、たとえば 100°C を 15°C 下げることができれば、リークによるスタティック消費電力は 20 パ

図 7 - XPE の結果、電力最適化アレイ

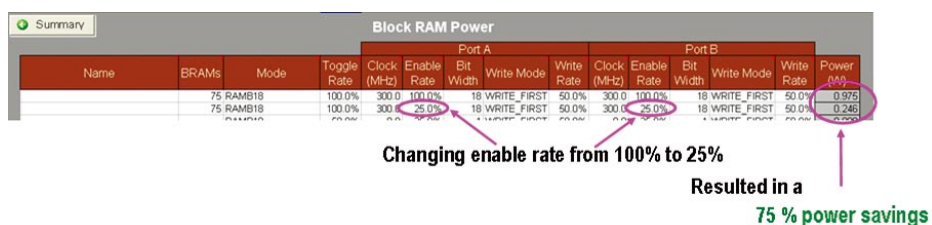


図 8 - ブロック RAM または LUTRAM を使用する小メモリの電力見積もり

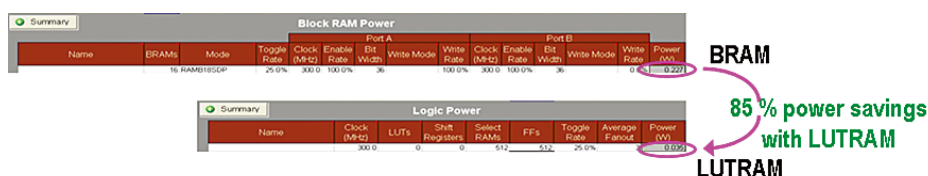
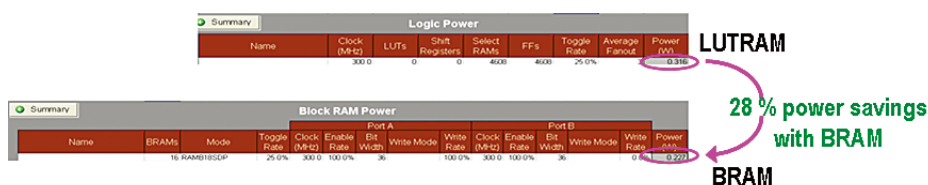


図 9 - LUTRAM に対するブロック RAM を使用する大メモリの電力見積もり



ーセント削減されます。

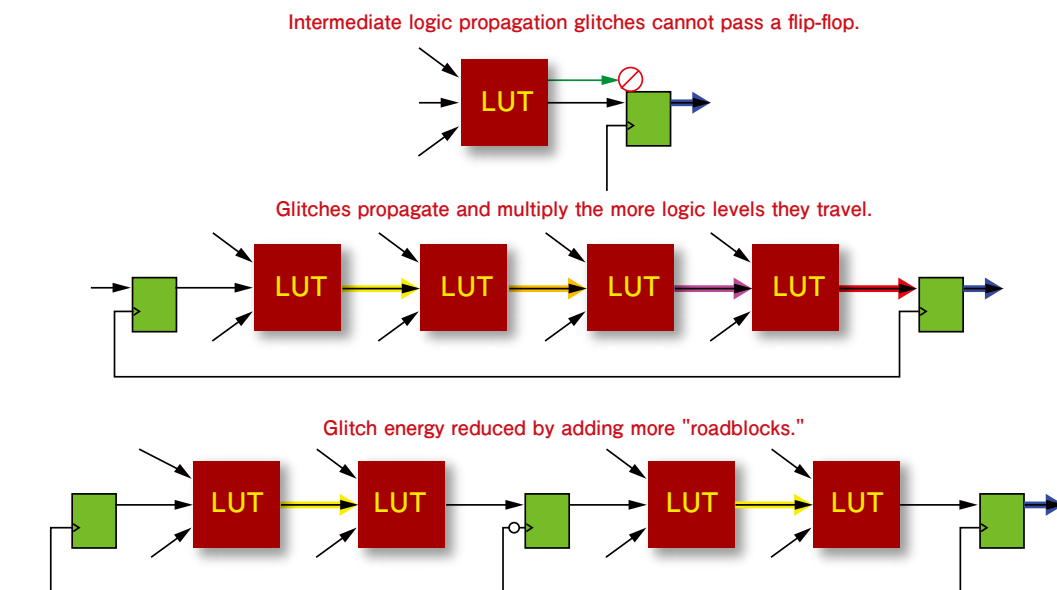
消費電力を削減する他の方法は、FPGA 内の温度と電圧を監視することです。Virtex-5 FPGA には、System Monitor と呼ばれるアナログブロックが含まれており、外部や内部のアナログ電圧とダイナミック電力をモニタします。System Monitor には 10 ビットの A/D 変換器が内蔵されていて、これが -40°C ~ +125°C の温度範囲で正確かつ信頼性の高い結果を提供します。A/D 変換器がオンチップセンサの出力をデジタル化します。最大 17 個までの外部アナログ入力をモニタできるため、システム性能の環境的側面をチェックすることが可能です。

このブロックにはコンフィギャブルなスレッショルドと警戒レベルがあり、測定結果をコンフィギャブルレジスタに格納します。このレジスタは、ユーザーロジックやマイクロプロセッサとのインターフェ

イスが容易になっています。また、JTAG ポートを介してこの値を読み出すことができます。この読み出しは、パワーアップ時、FPGA をコンフィギュレーションする前でも可能です。

トランジスタの改良や静電容量の削減、低電圧などによりコア電圧に起因する電力が下がると、次に検討が必要になるのは I/O 電力です。これには、消費電力と性能のバランスが重要です。I/O のスマートな選択により消費電力全体を削減することも可能になります。豊富な情報に基づいた正しい選択を行うには、FPGA デザインそれぞれの I/O インターフェイス要件を考慮する必要があります。たとえば、メモリ (DDR2、QDR、RLDRAM など) にインターフェイスする際、信号インテグリティを確保するために FPGA 内部に終端処理が必要になります。しかし、終端処理は多くの電力を消費し、ジャンクション温度を

図 10 - グリッチの伝播とフリップフロップの挿入による遮断



上げてしまう可能性があります。

その一方で、FPGA を ASIC/ASSP にインターフェイスする場合は、ASIC/ASSP ターゲットの指定に基づいて LVDS や HSTL などインターフェイスを選択する必要があります。一つの FPGA を別の FPGA にインターフェイスする場合は、デザインの性能要件に基づいて選択するのですが、その際電力の最適化を図ることもできます。

電力の消費は入力と出力の双方で発生しますが、LVDS、HSTL および SSTL などの電圧参照型 I/O が最も電力を消費します。出力については、ドライブ能力の高い標準が電力を最も消費し、電力は出力のインピーダンスとトグル レートに比例して変化します。しかし、LVDS は例外で、定電流ソースに基づいているためトグル レートの影響は受けません。

入力については、電圧参照型 I/O がたくさん電力を消費します。それは、受信構造が差動レシーバを採用しているため、選択可能な内部終端処理が含まれていることも一因です。この両者は DC 電力を消費します。

Virtex-5 の T_{DCI} (動的にスリーステートが可能なデジタル制御インピーダンス) と呼ばれる機能を使用すると、I/O パッド

が出力として使用されている場合、終端処理を動的に取り除くことができます。これは、データバスやメモリ インターフェイスには有用で、リードとライトの比率に依存しますが、かなりの量の電力を抑制できます (図 4 参照)。

I/O インターフェイスを選択する際、性能と電力のバランスのとれた確かな選択が重要です。デザインが最大性能と最小化ノイズを要求委している場合、あるいは対向デバイスが I/O 規格を要求している場合は、LVDS のようなインターフェイスを使用します。

一般的に終端処理は多くの電力を消費するため、電力と性能のバランスを考慮しながら、上手に使用する必要があります。外部終端処理を使用するか終端処理を全く使用しないスキームでは、消費電力が大幅に削減されます。

過去、現在と未来

ザイリンクスは電力管理が世の中で大きな課題となる以前から、電力最適化技術の構築に熱心に取り組み、その機能を ISE に組み込みツールとして提供を始めました。XPE や XPower Analyzer のリリースに加え、FPGA 内の配線リソースの既知

の静電容量を基に動作する電力最適化ルーターを ISE に導入しています。

また、ISE ツールの消費電力最適化合成エンジンをコンフィギュレーションすることで、ソースコード内の小さなアレイのロケーションを自動的に探し、それを LUTRAM 内に合成することが可能です。このエンジンは、ユーザーの命令によって大きなアレイ (ユーザーが指定するサイズで) のロケー

ションを行い、それらをブロック RAM 内に合成します。大きなカウンタを見つけた場合は、それを DSP48 ブロック内にインプリメントするなどのようにできます。ロジックを複製する際は、適量のみをインプリメントするように設定することも可能です。

つい最近、ザイリンクスは最適化プレイヤーを導入しました。これは、複数のファンクションを一緒にグループ化して配線長を最小化するもので、もちろん、静電容量も最小化します。これは PlanAhead™ とよばれるツールで、ロジックを階層的にグループ化して FPGA 内部の未使用領域にそれらを物理的に配置します。これにより、静電容量が削減され配線遅延も少なくなります。

ザイリンクスでは最新のプロセス ノードでの技術開拓を続けていますが、ダイナミックおよびスタティック電力の難題は尽きることがないでしょう。ザイリンクスは、電力管理ツールや手法の最適化への取り組みを継続するだけでなく、シリコン内においても低電力化に向けた努力も行っています。

ザイリンクスの電力管理の詳細については、<http://japan.xilinx.com/power> をご覧ください。

Extended Spartan-3Aシリーズ

Spartan-3A Spartan-3AN Spartan-3A DSP

RoHS: RoHS 指令対応品

XCM-303

Spartan-3AN TQG144搭載ブレッドボード

XC3S50AN-4TQG144C搭載

- 56本のI/Oを外部引き出し
- 汎用LEDを2個
- 汎用タクトスイッチ 1個
- 汎用DIPスイッチ 1ビット
- クロック 50MHz 外部入力可能
- JTAG Buffer回路で、安定したダウンロードを実現
- 3.3V 単一電源
- コンフィグレーション用リセット回路



標準価格: ¥19,000 (税込¥19,950)

XCM-304

Spartan-3A VQG100搭載ブレッドボード

XC3S200A-4VQG100C搭載

- 54本のI/Oピンを外部引き出し(IPピン含む)
- 汎用LEDを4個
- (外部引き出しI/Oピンと兼用)
- コンフィグレーションROM搭載
- クロック 50MHz 外部入力可能
- JTAG Buffer回路で、安定したダウンロードを実現
- 3.3V 単一電源
- コンフィグレーション用リセット回路



標準価格: ¥19,000 (税込¥19,950)

XCM-305

Spartan-3A FTG256搭載ブレッドボード

XC3S400A-4FTG256CまたはXC3S700A-4FTG256CまたはXC3S1400A-4FTG256C搭載

- 56本のI/Oピンを外部接続
- MRAM(MR2A16AYS35 256Kx16)搭載
- 汎用LED 1個
- タクトスイッチ 1個
- コンフィグレーションROM搭載
- クロック 50MHz 外部入力可能
- 3.3V 単一電源
- コンフィグレーション用リセット回路



価格未定 **開発中**

EDX-005

Spartan-3AN 搭載教育用ボード

XC3S200AN-4FTG256C搭載

- 75本のI/Oを外部引き出し
- USB経由でFPGAコンフィグレーション
- 設計ミスによるFPGAの保護のため全I/Oに保護抵抗を挿入
- USBポートにより仮想COMポートでPCと通信
- 電源: USBから供給、または外部DC5V (外部供給を推奨)
- オンボードクロック 50MHz
- 7ピンJTAGコネクタ



標準価格: ¥39,900 (税込¥41,895)

Extended Spartan-3A リソース詳細							
Device	3S50A	3S200A	3S400A	3S700A	3S1400A	3SD1800A	3SD3400A
System Gates	50k	200k	400k	700k	1400k	1800k	3400k
Logic Cells	2k	4k	8k	13k	25k	37k	54k
Distributed RAM (max)	11k	28k	56k	92k	176k	260k	373k
18k BRAM Blocks	3	16	20	20	32	84	126
BRAM Kbits	54	288	360	360	576	1512	2268
Digital Clock Managers	2	4	4	8	8	8	8
Multipliers/DSP48A Blocks	3/0	16/0	20/0	20/0	32/0	0/84	0/126
Integrated Device DNA Security	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Single Chip Nonvolatile Option	Yes	Yes	Yes	Yes	Yes	No	No

XCM-108

Spartan-3AN FGG484搭載ブレッドボード

XC3S700AN-4FGG484C搭載

- 128本のI/Oを外部引き出し
- 汎用LEDを2個
- 汎用タクトスイッチ 1個
- 汎用DIPスイッチ 1ビット
- クロック 50MHz 外部入力可能
- JTAG Buffer回路で、安定したダウンロードを実現
- 3.3V 単一電源
- コンフィグレーション用リセット回路



標準価格: ¥49,000 (税込¥51,450)

XCM-014

Spartan-3A FTG256搭載ブレッドボード

XC3S400A-4FTG256CまたはXC3S700A-4FTG256CまたはXC3S1400A-4FTG256C搭載

- 100本のI/Oを外部引き出し
- 汎用LEDを1個
- クロック 50MHz 外部入力可能
- FPGAへのコンフィグレーションとROMへのISPが可能な7ピンJTAGコネクタ
- JTAG Buffer回路で、安定したダウンロードを実現
- 3.3V 単一電源
- コンフィグレーション用リセット回路



標準価格: ¥25,000~ (税込¥26,250~)

XCM-015

Spartan-3A FGG484搭載ブレッドボード

XC3S700A-4FGG484CまたはXC3S1400A-4FGG484C搭載

- 100本のI/Oを外部引き出し
- 汎用LEDを2個
- クロック 50MHz 外部入力可能
- DDR2-SDRAM搭載
- JTAG Buffer回路で、安定したダウンロードを実現
- 3.3V 単一電源
- コンフィグレーション用リセット回路



標準価格: ¥42,000~ (税込¥44,100~)

XCM-016

Spartan-3A DSP FGG676搭載ブレッドボード

XC3SD1800A-4FGG676CまたはXC3SD3400A-4FGG676C搭載

- 100本のI/Oを外部引き出し
- 汎用LEDを2個
- クロック 50MHz 外部入力可能
- SDRAMとFRAM搭載
- FPGAへのコンフィグレーションとROMへのISPが可能な7ピンJTAGコネクタ
- JTAG Buffer回路で、安定したダウンロードを実現
- 3.3V 単一電源
- コンフィグレーション用リセット回路



標準価格: ¥49,000~ (税込¥51,450~)

※その他 FPGA Board を100種類以上ラインナップしています。詳しくはウェブをご覧ください。

FPGA/CPLD評価ボード 全100種類以上をラインナップ

BGA パッケージの FPGA など、大きな基板上で 6 層や 8 層基板を製作するよりも、ヒューマンデータの FPGA ボードを採用し、安価な 4 層や両面の基板上でお仕事が進められます。同じボードサイズで様々な FPGA や CPLD が選択できます。今後の新しい FPGA へもすぐに置き換えが可能です。

当社のウェブサイトでは、回路図やマニュアル、パターン図などすべて公開しています。ご採用前に充分ご検討いただけます。

- FPGA の動作に必要な最低限の機能を搭載。単一電源ですぐに活用できます
- ACM/XCM シリーズはそれぞれ外形やコネクタ位置が同一で置き換えが可能
- 豊富なラインナップで 100 種類以上の製品をご用意しています
- 回路図、マニュアルは購入前でも自由に参照できます
- 豊富な納入実績で安心してお使いいただけます
- 基本的に即納体制で最短翌日からご活用いただけます。
- スピードグレード変更などのカスタマイズもご相談ください

Interpolated Lookup Tables: Simple Way to Implement a DSP Function

補間ルックアップ テーブル (ILUT) により、 DSP ファンクションのインプリメントが容易に

ILUT を活用し、デジタル信号処理コアが
サポートしていない機能を実現



Daniele Bagni
DSP Specialist FAE
Xilinx, Inc.
daniele.bagni@xilinx.com

FAE として従事していると、設計要件すべてを満たすような、機能性の高い DSP コアはないかとユーザーから質問されることがたびたびあります。コアというものは、ユーザーのデザインにとって大き過ぎたり、小さ過ぎたり、処理速度が十分でなかったりする場合があります。開発中のコアがユーザーのニーズどおりで、CORE Generator™ から間もなく入手可能なときでも、たいいていのユーザーは、特定の DSP 機能一式を今すぐ必要としているのです。このようなとき、ザイリンクス デバイスに含まれる補間ルックアップ テーブル機能を用いて、DSP 機能をカスタマイズすることを勧めます。

ルックアップ テーブル (LUT) は、任意の入力の組み合わせでどのような出力が得られるかを「ルックアップ (参照)」するメモリ エLEMENTで、すべての入力に対する出力が用意されています。LUT を使用して DSP ファンクションを実現すると、次のようなメリットがあります。

- MATLAB® や Simulink® など高いロジック レベルのプログラミング言語で LUT の内容を変更できる
- 論理演算の組み合わせで実現することが非常に難しい数学関数 ($y=\log(x)$, $y=\exp(x)$, $y=1/x$, $y=\sin(x)$ など) の DSP 機能を実装する
- コンフィギャブル ロジック ブロック (CLB) スライスやエンベデッド乗算器、あるいは DSP48 でプログラム可能な乗算累算器 (MAC) などの FPGA リソースを多く必要とする複雑な数学

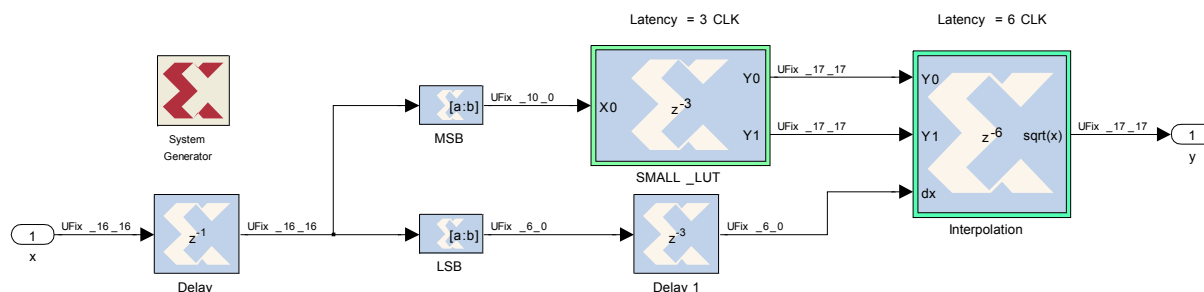
関数のインプリメントをシンプルにする

一方で、LUT を上記のように使用することでデメリットも発生します。DSP 機能を LUT にインプリメントするには、ブロック RAM (BRAM) を使用する必要があります。たとえば、 x 変数に 16 ビット入力、 y 変数に 18 ビット出力とする $y=\sqrt{x}$ 関数をインプリメントするには、約 64 個の BRAM ユニット (各ユニットに 18K ビット) が必要です。これだけ容量の大きい BRAM を使用することは、システム アーキテクチャの点から考えると非常に高コストなシステムとなります。したがって、小さな Spartan® デバイスをターゲットにする場合や、多くの演算が必要な場合には、各演算に対して 64 個の DRAM を使用するほどの余裕はありません。

そこで、補間 LUT を使用すると、大容量の BRAM を必要とせずに、LUT ベースの関数をインプリメントすることで得られるメリットを生かすことができます。補間 LUT は、ワード数が 1K などの小さな LUT からの連続した出力を使用し、これを線形補間して大きな LUT のように使用します。これにより、1K ワード LUT を普通に使用した場合のような細かな数値精度を得ることが可能です。実際、この LUT ベースの関数は、BRAM が 1 ユニット、エンベデッド乗算器 (あるいは DSP48) が 1 ユニット、そして制御ロジック用にわずかな CLB スライスのみでインプリメントでき、より低いコストでシステムが構築できます。さらに、信号対ノイズ (SNR) 比の観点からも、LUT の使用によって得られる数値精度は十分に満足いくものです。

補間 LUT (ILUT) を適用するには、多少のノウハウも必要です。 $y=\sqrt{x}$ 関数にこの方法を使用する場合を考えると、占有エリ

図 1 - System Generator for DSP での補間ルックアップ テーブルのトップレベル スキーム



ア、タイミング、および数値精度に関して ILUT がどのように機能するかが明確になります。この例を検証した後は、いくつかの実例を概説します。実例では、非線形の伝達関数を使用するセンサの線形化と、合成開口レーダ (SAR) 画像からスペクル ノイズを除去するための有限インパルス応答 (FIR) 用アダプティブ フィルタのインプリメンテーションという、まったく異なる要件を持つユーザー向けに、この方法を適用した例を挙げます。

System Generator for DSP によるデザイン

ザイリンクス FPGA に DSP アルゴリズムをインプリメントする際には、MathWorks 社の Simulink モデルベースの環境で動作する、DSP 設計および合成ツールである System Generator for DSP が便利です。System Generator は、Simulink 仕様のザイリンクス DSP ブロックセットを利用し、自動的に CORE Generator を起動して、DSP 構築ブロック用に最適化されたネットリストを生成します。Simulink は倍精度の浮動小数点デザインツールであり、System Generator は固定小数点演算ツールですが、2 つのツールを併用すると、全信号の総ビット数と小数点の位置が定義できます。これによって、固定小数点演算でも分数を扱うことができるようになります。シミュレーション結果は、サイクル精度でビット トゥールなので、MATLAB スクリプトあるいは Simulink ブロックで生成された浮動小数点の参照結果と比較して、量子化誤差をチェックできます。

図 1 は System Generator における ILUT のトップ レベル図を示します。この図で示した方法をできるだけ汎用的に扱えるように、 $n_x=16$ ビットの入力変数 x を 0 (を含む) と 1 (は含まれず) の間で正規化する必要があります。したがって、このフォーマットは「全体で符号なし 16 ビット、2 進小数点の右に 16 ビット」となり、これを Ufix_16_16 フォーマットと呼びます。最上位ビット (MSB) ブロックは入力データから上位の $n_b = 10$ ビットを、最下位ビット (LSB) ブロックは入力データ

から下位の $n_x - n_b = 6$ ビットを抽出します。これらの信号を x_0 と dx と呼びます。出力 $y = \sqrt{x}$ は $n_y=17$ ビットで表現され、Ufix_17_17 フォーマットに正規化されます。

図 2 は、デュアル ポート RAM ブロックを使用してインプリメントした、ワード数が 1K の小さな LUT を使用した SMALL_LUT の詳細です。このようなブロックは、ROM (Read Only Memory) として使用されるため、プールの定数ブロック (We_const) はライト イネーブルを強制的に 0 とします。信号 x_0 と x_0+1 は ROM テーブルに対する 2 つの連続したアドレスとして使用されます。ROM ワードのサイズ (ここでは n_y) は Data_const ブロックのゼロ定数のデータ幅によって定義されます。

次の等式は、すでに定義された 2 つの点 (x_0, y_0) と (x_1, y_1) の間に位置する座標点 (x, y) をどのように線形補間するかを示しており、 x_0 は x の MSB です。

$$y = y_0 + \left(\frac{y_1 - y_0}{x_1 - x_0} \right) \cdot (x - x_0) = y_0 + \left(\frac{x - x_0}{x_1 - x_0} \right) \cdot (y_1 - y_0)$$

$$= y_0 + \frac{x - x_0}{2^{-nb}} \cdot (y_1 - y_0)$$

x_1 と x_0 は、小さな LUT に対する 2 つの連続したアドレスで、お互いに LSB の 1 つ分離れていることに注意してください。小さな LUT のアドレス空間は n_b ビットですから、このような LSB の値は 2^{-nb} となります。図 3 は、補間段階のスキームを示し

図 2 - System Generator for DSP での SMALL_LUT

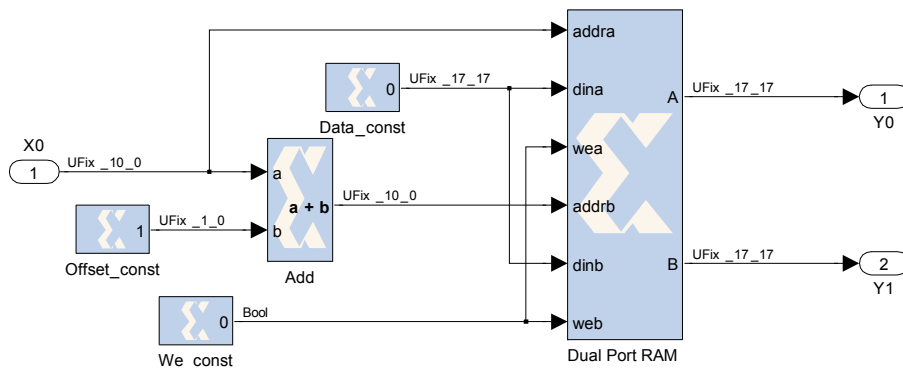
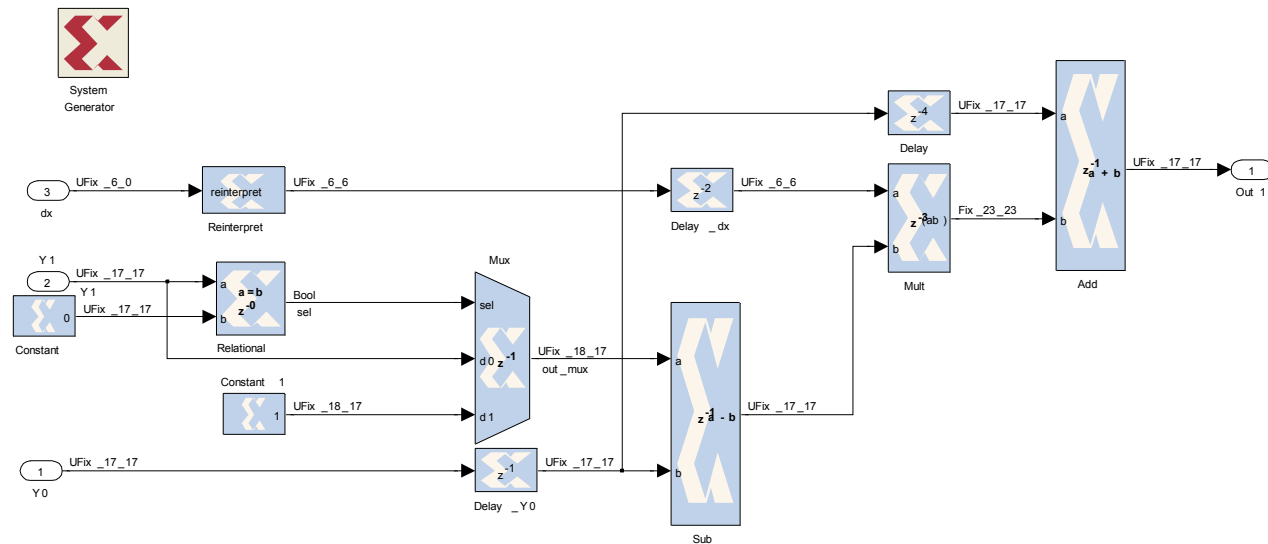


図 3 - System Generator for DSP での線形補間方法



ています。Reinterpret ブロックは、2 進データの値を変えることなく $dx = x - x_0$ の (フォーマット UFix_6_0 から UFix_6_6 へ) 小数点位置を変更し、 $nx - nb$ ビットの分数値を出力します。したがって、 $(x - x_0) / 2^{-nb}$ を計算していることになります。

ハードウェア的には、このブロックにコストはかかりません。一般的に (ILUT をどの関数に適用するかにもよりますが)、 $y_1 = 0$ で $y_0 = 0$ の場合は強制的に $y_1 - y_0 = 1$ とし、ゼロではなく $1/2^{-nb}$ の値が得られることになります。この演算は、Mux、Relational、Constant および Constant1 ブロックで行われます。残りの Mult、Add および Sub ブロックでは、線形補間の等式の演算が実行されます。この場合、Mult ブロックからの出力信号のビット数は、理論的に求められる 23 ビットではなく、17 ビットの分解能としました。これは、このビット数で総体的に十分な数値精度が得られるためです。さらに、 $y = \sqrt{x}$ 関数が単調増加であるため、すべての結果に符号がありません。つまり、関数が変わるとデータタイプに調整が必要となりますが、図 3 に示したスキームの原理から大きく外れることはないため問題はありません。

Spartan-3E 1200 (fg320-4) をターゲット デバイスとし、ISE® Design Suite と System Generator for DSP 10.1SP3 ツールを使用した場合、配置配線後の FPGA リソース使用率は次のようになります。

Design Summary using target part "3s1200efg320-4"

Logic utilization:

Number of slice flip-flops: 198 out of 17344 1%

Number of four-input LUTs: 086 out of 17344 1%

Logic distribution:

Number of occupied slices: 111 out of 08672 1%

Number of MULT18X18: 001 out of 00028 3%

Number of BRAMs:

001 out of 00028 3%

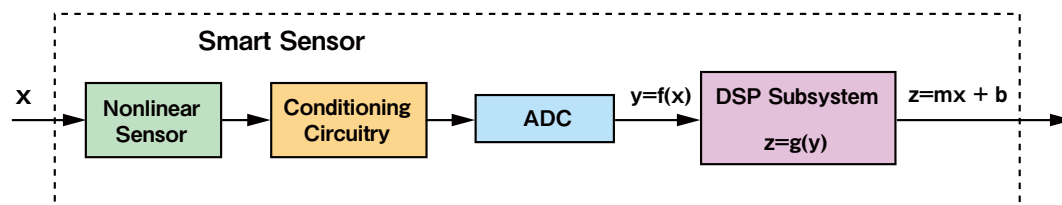
このデザインは完全にパイプライン化されており、クロック サイクルごとに新しい出力結果が得られます。レイテンシは 10 クロック サイクルで、最大データ レートは 194.70MSPS (メガサンプル / 秒) です。数値精度については、浮動小数点の参照結果の 2 乗と System Generator for DSP の固定小数点出力からの量子化誤差間の比率によって、ワード数が 1K の ILUT では SNR が 71.94dB、2K の ILUT では 77.95dB となります。

ILUT に代わって、System Generator for DSP のザイリンクス リファレンス Math Blockset から CORDIC SQRT Block を使用することもできます。この場合、全体のレイテンシは 37 クロック サイクル、最大データ レートは 115.18MSPS で、リソースは 940 スライス フリップフロップが使用されます。また、885 個の 4 入力 LUT、560 のスライス、2 つの MULT18X18 エンベデッド乗算器も使用されており、SNR は 40.64dB です。このような結果から、CORDIC が固定小数点の数学演算のインプリメントに適していることがわかります。しかし、ILUT を使用することによって得られるメリットはさらに大きなものです。

非線形センサの線形化

近年、少領域、低消費電力、高性能、そしてコストと開発時間の削減が求められる商業用の制御システムには「スマート センサ」が多く使用されています。一般的にスマート センサは、図 4 に示すように、センサ本体、信号コンディショニング回路、アナログ / デジタル変換器 (ADC) および関連する DSP サブシステム (エンベデッド プロセッサが追加される場合もあります) を 1 つの機

図 4 - スマート センサのブロック図



能ユニットとして、これが 1 つのデバイスに統合されたものとして扱うことができます。

スマート センサは、物理量（たとえば、電気モーター内の電流）をデジタル電子回路が処理できるデジタル信号に変換する必要があります。このようなセンサの構成に使用されるコンポーネントの機能あるいは技術は、通常、オフセット、ゲイン、および非線形性などのエラーを引き起こし、結果として伝達関数全体が非線形なものになってしまいます。

そこで、たいいていの場合、DSP サブシステムを用いてこれらのエラーを訂正します。センサと ADC をカスケード接続したのから得られるデジタル出力信号を $y=f(x)$ とすると、DSP サブシステムは、逆変換 $g(y)=f^{-1}(y)$ を計算して非線形関数を補う必要があります。したがって、全体の出力 z は次のようになります。

$$z = m \cdot g(y) + b = m \cdot f^{-1}(y) + b = m \cdot f^{-1}(f(x)) + b = m \cdot x + b$$

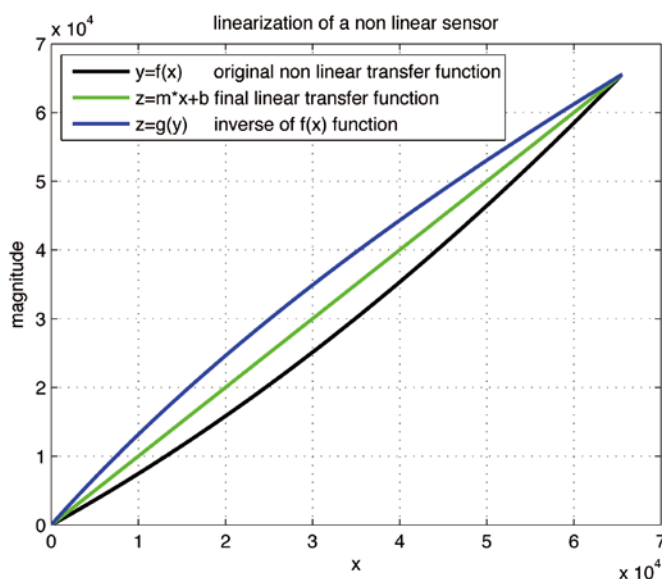
これは、傾きが m で垂直軸との交点を b とする直線です。

センサの補正データを ROM に格納する形の LUT 方式は、最も簡単な線形化方法です。しかし、16 ビット ADC では ROM サイズが非常に大きくなるため、BRAM が 64 ユニット必要になります。このような場合、補間 LUT が最良のソリューションとなります。

たとえば、非線形伝達関数が放物線だとします。以下に示す MATLAB コードの一部は、最終的な直線のパラメータ m と b の生成方法、 $f(x)$ の逆関数である $g(y)$ の計算方法を記述します。図 5 では 3 曲線を別々の色で示します。 $f(x)$ の逆関数計算における過程で、 $g(y)$ の値が特定できない点があることに注意してください。これは、異なる複数の x 点に対して、 y の値が同じとなる点が複数あるためです。したがって、特定できない可能性がある点をすべて埋めて $g(y)$ を平滑にする必要があります（簡潔にするため、MATLAB のコードには、上記の処理部分を省略します）。

```
ny = 18; % 18 bits per word of the ILUT applied for
sensor linearization
nx = 16; % number of bits of the sensor ADC output codes
% emulation of sensor nonlinear transfer function
x = -1.5 : 3 / 2^nx : 1.5 - 3/2^nx;
y = -0.196 + x + 0.1 * (x.^2);
% parabola y=f(x)
min_x = min(x); max_x = max(x); min_y = min(y); max_y =
max(y);
```

図 5 - 非線形センサ伝達関数 $f(x)$ をエミュレートする放物線は黒色で示されています。緑色の直線は線形化 DSP サブシステムによって得られた最終センサ出力です。このサブシステムは、青色で示された逆 $g(y)$ 関数を適用します。



```
% histogram stretching of y curve to use all the 2^N
available ADC bits
YY = ((y-min_y) .* (2^nx-1))/(max_y-min_y);
yq = round(YY); % to have a purely integer transfer
function
```

```
figure; plot(x, yq, 'k', 'LineWidth',2); title 'parabola
y=f(x)';
```

```
% linear regression of y = f(x) to determine the slope
and y-intercept of
% the equation y = m*x + b of a straight line; at the
end we will get:
% m = 2.184494117400677e+004 and b =
2.952424998204837e+004
% with a correlation factor r = 0.997036366735360 (values
close to 1 indicate excellent
% reliability of the linear regression)
%
p = polyfit(x, yq, 1); m = p(1); b = p(2);
```

```
% let us plot the line approximating the y curve: z = b +
m * x;
z2 = b + m .* x; % generic straight line defined by b
and m
zq = z2 + abs(z2(1)); % vertically translated to have
same intercept of parabola f(x)
zq = round(zq);
hold on; plot(x, zq, 'g', 'LineWidth',2); grid;
title 'parabola y=f(x) and line y=m*x+b'; hold off;

x_of_y = -1 * ones(2^nx, 1); % memory allocation for g(y)
addr = uint32(yq(1:end));

% this is g(y) reverse function of the non linear sensor
curve y=f(x)
x_of_y(addr(2:end)) = ( (x(2:end)-min_x).*(2^ny)/(max_x-
min_x);
x_of_y(1)=0; % addr(1)=0 is forbidden in MATLAB

% x_of_y has to be smoothed before being used (not shown
here)
figure; plot(yq, (x_of_y), 'b', 'LineWidth',2); title
'original x=g(y)'; grid

% reference LUT with values to linearize the sensor non
linear transfer function
refLUT = round( m .* (min_x+ smoothed_x_of_y*(max_x-
min_x)/2^ny) +b +abs(z2(1)) );
```

System Generator for DSP で固定小数点のサイクルベースのシミュレーションを実行したところ、非線形センサの全出力範囲における SNR は 92.48dB となりました。ここでのデザインは、図 1 ～ 3 に示したものと同様のものです。

スペckル ノイズの削除

高速で移動するシステム（たとえば、ミサイル）からの対象の追跡は困難なタスクで、非常に高度な DSP アルゴリズム、および合成開口レーダ (SAR) センサのような種々の受信素子を必要とします。電磁コヒーレント信号源（たとえば、レーザー）では一般的に起こることですが、SAR 画像処理デバイスもスペckル ノ

図 6 - スペckル ノイズは左の画像に影響を与えており、右側はフィルタをかけた後の画像。



イズの影響を受けます。したがって、このノイズを除去するため、SAR ベースの DSP 処理における最初のステージは 2 次元 (2D) のアダプティブ FIR フィルタで構成されます（しかし、完全にノイズを除去することは不可能です）。図 6 はスペckル ノイズの MATLAB で処理した例を示しています。左の画像では、ノイズによって画像全体が荒くなっており、右の画像は 2D FIR フィルタを適用して得た出力結果です。

スペckル ノイズは、指数分布する乗法的ノイズで、その分布の分散 σ として完全に定義されます。スペckル ノイズを除去する方法として Frost フィルタと呼ばれる方法が広く採用されており、1981 年にこの現象について論文を発表した V. S. Frost 氏の名から付けられました。3 x 3 ブロックサイズの場合、次の等式でモデル化できます。

$$y_{ij} = \sum_{ij} x_{ij} \cdot \exp\left(-K \cdot \frac{\sigma^2}{\mu_1^2} \cdot T_{ij}\right)$$

$$\text{with } T_{ij} = \begin{bmatrix} \sqrt{2} & 1 & \sqrt{2} \\ 1 & 0 & 1 \\ \sqrt{2} & 1 & \sqrt{2} \end{bmatrix}$$

ここで、 x_{ij} は Frost フィルタの入力を、 y_{ij} は Frost フィルタの出力サンプルを表しています。K はフィルタの強さを制御するゲイン ファクタで（簡略化するために、以下では $K=1$ とします）、 μ_1 と σ はそれぞれ 2D カーネルの平均と分散、そして T_{ij} は中央出力ピクセル（インデックスは $ij=22$ ）とそれを取り囲むすべてのピクセルからの距離のマトリックスです。次の式は、このようなフィルタをインプリメントする際に R_1 が重要であることを示します。ここでいう R_1 とは、3 x 3 ブロック内の 1 次モメンタム μ_1 と 2 次モメンタム μ_2 間の比率を示しています。

$$\mu_1 = \frac{1}{N} \sum_i x_i \quad \mu_2 = \frac{1}{N} \sum_i x_i^2$$

$$\sigma^2 / \mu_1^2 = \frac{\mu_2}{\mu_1^2} - 1 = N \cdot \frac{\sum_i x_i^2}{(\sum_i x_i)^2} - 1 = N \cdot R_1 - 1 = R$$

with $0 \leq R_1 < 1$ and $0 \leq R < 8$ for $N=9$

R_1 の範囲は 0 と 1 の間にあり、実験から数値精度を向上させるには 16 ～ 20 ビットで表す必要があることが判明しました。

System Generator for DSP で R_1 を計算するステージを設計後、補間 LUT を用いて正規化フィルタ係数をインプリメントしました。LUT の詳細は次の MATLAB コードに示します。

```
nb = 10; % number of bits to address the LUT
```

```
% input addresses to the LUT
```

```
R1 = 0 : 1/(2^nb) : 1-1/(2^nb);
```

```
R = 9*R1 - 1; % R = N * R1 -1 with N=9
```

```
ind_R = (R<0); R(ind_R)=0; % just to be sure that R >= 0
always
```



```

x = R*sqrt(2);

M11_LUT = exp( -x ); % coeff. for diagonal indexes
ij=11, 13, 31, 33
M12_LUT = exp( -R ); % coeff. for vert. & horiz.
Indexes ij=12, 21, 23, 32

tot = 4*(M11_LUT + M12_LUT) +1; % sum of all coeff.,
including index ij=22

norm_M11_LUT = M11_LUT ./tot; % normalized coeff. for
diagonal (ij=11, 13, 31, 33)
norm_M12_LUT = M12_LUT ./tot; % normalized coeff. for
vert. & horiz. (ij=12, 21, 23, 32)
M22_LUT      = 1 ./ tot; % normalized coeff. for cen-
tral position (ij=22)

figure; plot(x, norm_M11_LUT, 'r', x, norm_M12_LUT, 'g',
x, M22_LUT, 'b');
grid; title 'normalized M11 (red), M12 (green), M22
(blue) '

図 7 は、R1 入力信号に沿った正規化係数の曲線を示します。
Tij マトリックスは、インデックス ij=22 の中央ピクセル付近で対
称となるため、3 本の曲線しかありません。曲線によって数値結
果は変わりますが、完全な浮動小数点リファレンス モデルと比較
したときの結果は、SNR = 81.28 ~ 83.38 dB となりました。
以下に 2D フィルタ処理を行う MATLAB コードの一部を示しま
す (簡潔にするため、ILUT ファンクションは省略します)。

function [out] = synth_frost3x3(inp) % inp is a vector
of 9 samples

mul1=0; mu2=0;
for k = 1 : 9
    mul1 = mul1 + inp(k); % first order momentum
(or mean value)
    mu2 = mu2 + inp(k)^2; % second order momentum
end

R1 = mu2 / (mul1^2 +1); if (tmp_R1<0) R1=0; end % since
R1>=0 always

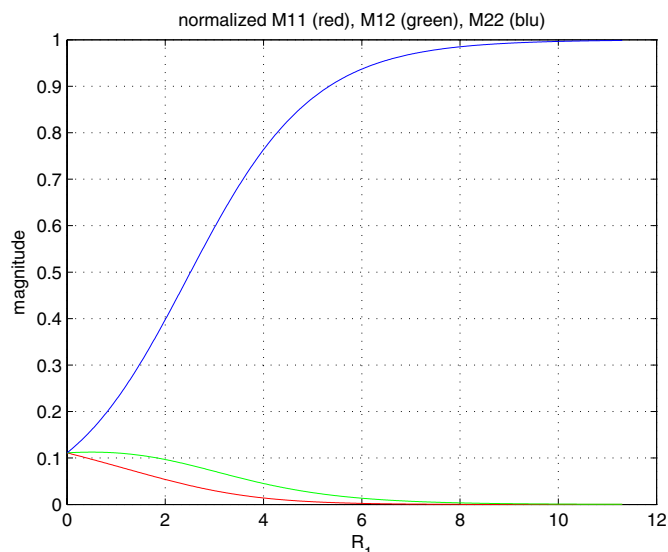
% in MATLAB array indexing goes from 1 to 1024 (not
from 0 to 1023 as in HW)
if (R1 >=1024) addr=1024; elseif (R1==0) addr=1; else
addr=R1+1; end

% the ILUT functions are not shown here
M11 = M11_ILUT(addr); M12 = M12_ILUT(addr); M22 =
M22_ILUT(addr);

reg11 = inp(1) + inp(3) + inp(7) + inp(9); % pre-add
pixels of index 11, 13, 31, 33
reg12 = inp(2) + inp(4) + inp(6) + inp(8); % pre-add

```

図 7 - スペックル ノイズ削減フィルタの R1 パラメータに対
して正規化された係数



```

pixels of index 12, 21, 23, 32
out11 = M11 * reg11; % sum of filtered pixels
index 11, 13, 31, 33
out12 = M12 * reg12; % sum of filtered pixels
index 12, 21, 23, 32
out22 = M22 * inp(5); % central pixel of index 22
in the 3x3 block
out = out11 + out12 + out22; % filter output pixel

```

総括すると、補間ルックアップ テーブルを使用して、ザイリン
クス FPGA に DSP ファンクションをインプリメントすることは、
シンプルかつ大きな効果が期待できる方法であると言えます。この
方法では、リソースの使用率を比較的低く保ちながら、数値精度
(SNR) を向上させ、高いデータ速度を得ることができます。🌈

謝辞

同僚である Michel Pecot 氏に謝意を申し上げます。3 年前のこ
とですが、ザイリンクスに入社した際、System Generator for
DSP でガンマ補正のデザインを用いて、補間ルックアップ テー
ブル アプローチを最初に紹介してくれたのは彼でした。

Daniele Bagni は、DSP のスペシャリストであり、イタリア、
ミラノのザイリンクス セールス オフィスに FAE として勤務して
います。仕事における最も大きなやりがいは、多くの DSP アプリ
ケーションについて学び、さまざまな問題に直面しながらも、ユー
ザーにフィジビリティ スタディ (実現可能性の研究) を提供し
ていくことだと彼は話します。プライベートな時間はテニスを楽し
み、また家庭では妻と 2 人の子供たちとともにサイクリングや卓
球を楽しんでいるそうです。

Application Notes

アプリケーションノート

FPGA を幅広く活用するためのアプリケーション ノートを紹介

XAPP1020: Virtex-5 FPGA での SPI フラッシュ メモリへの
ポスト コンフィギュレーション アクセス

[http://www.xilinx.com/support/documentation/
application_notes/xapp1020.pdf](http://www.xilinx.com/support/documentation/application_notes/xapp1020.pdf)

Virtex® -5 FPGA は、業界標準の Serial Peripheral Interface (SPI) フラッシュ メモリをサポートし、フラッシュ メモリからの直接コンフィギュレーションをサポートします。コンフィギュレーション後、アプリケーションはこのメモリに対して、汎用メモリのように読み書きが可能となります。しかし、アプリケーションが SPI フラッシュ メモリと通信するには、まず STARTUP_VIRTEX5 プリミティブをインスタンス化し、メモリに接続された信号にアクセスできるようにする必要があります。著者 Daniel Cherry は、STARTUP_VIRTEX5 プリミティブをインプリメントしてそれを外部 SPI フラッシュ メモリとインターフェイスする方法を、リファレンス デザインを用いて説明しています。

特に、STARTUP_VIRTEX5 プリミティブをインプリメントする際のインスタンス化のプロセスと、コンフィギュレーション後に SPI フラッシュ メモリをどのように使用するかを実証するソフトウェア アプリケーションを紹介しています。

リファレンス デザインは、Numonyx 社（前社名は STMicroelectronics）の 32M ビット M25P32 シリアル フラッシュ メモリが搭載された ML505 評価ボードをターゲットにしています。カスタム アプリケーションには、iMPACT コンフィギュレーション ソフトウェアでサポートされる SPI フラッシュ メモリを使用し、リファレンス デザインのテスト前にデバイスの機能を iMPACT で検証することを推奨します。

XAPP1107: Git 入門

[http://www.xilinx.com/support/documentation/
application_notes/xapp1107.pdf](http://www.xilinx.com/support/documentation/application_notes/xapp1107.pdf)

ザイリンクスは、プロセッサ アーキテクチャで Linux を使用できる多数の製品を提供します。ザイリンクス サードパーティ パートナからのカーネル ソースが入手できるだけでなく、ザイリンクス Linux Git Tree からカーネル ソースをダウンロードすることも可能です。Linux Git Tree は、Linux カーネル ソースの配布に使用される配布版制御システムです。

著者 Kris Chaplin は、ザイリンクス Git Tree を使用して Linux カーネルを構築する際のユーザー環境の設定方法を説明しています。このアプリケーション ノートを効果的に使用するために、ザイリンクス ISE® Design Suite および EDK ツールと互換性のある Linux オペレーティング システムを使用する必要があります。このドキュメントでは、EDK および ISE Design Suite 10.1 あるいはそれ以降のバージョンの ISE Design Suite で、Red Hat Linux 4 を動作させることを前提に説明しています。カスタム ボードのハードウェア イメージ生成に、ザイリンクス EDK と ISE Design Suite が必要です。

XAPP875: ダイナミックにプログラム可能な高速シリアル
I/O 向け DRU

[http://www.xilinx.com/support/documentation/
application_notes/xapp875.pdf](http://www.xilinx.com/support/documentation/application_notes/xapp875.pdf)

著者 Paolo Novellini と Giovanni Guasti は、noninteger data recovery unit (NI-DRU: 非整数データ リカバリー ユニット) を Virtex-5 LXT, SXT, TXT および FXT ベースの FPGA

にインプリメントする方法について説明しています。このインプリメンテーションにより、上記 FPGA に搭載される RocketIO GTP と GTX トランシーバのデータ レート限界を拡張させることができます。

NI-DRU は、下限データ レートを 0M ビット / 秒に、上限を 1,250M ビット / 秒に拡張します。これにより、エンベデッド高速トランシーバは完全なマルチレート シリアル インターフェイスに最適なソリューションとなります。また、NI-DRU の動作設定（データ レート、ジッタ帯域幅、入力 ppm 範囲、ジッタ ピーキング）はダイナミックにプログラム可能なため、ビットストリームの再ロードやパーシャル リコンフィギュレーションが不要となります。NI-DRU は外部リファレンス クロックに同期して動作するため、非整数のオーバーサンプリング比に対応します。したがって、設定されているチャンネル数にかかわらず、全チャンネルが異なるデータ レートで動作する場合でも、1 個の BUFG のみで動作をサポートします。

リファレンス クロックと入力データ レートが無関係な場合でも、2 つのバレル シフトを追加することで、NI-DRU と外部 FIFO とのインターフェイス、もしくは NI-DRU と所要デコーダとのインターフェイスが容易になります。最初のバレル シフトは 10 ビット出力であるため、8B/10B や 4B/5B デコーダ（リファレンス デザインにはどちらも含まれていません）に容易にカップリングできます。第 2 のバレル シフトは 16 ビット出力で、特に Sonet/SDH などの 8 ビット プロトコル用に設計されたものです。その他のバレル シフトは、ユーザーが設計できます。

アプリケーション ノートでは構成を 3 つに分け、NI-DRU 使用モデル、NI-DRU のシミュレーション、ML532 RocketIO™ トランシーバ特性評価プラットフォーム（リビジョン C 以上）における NI-DRU の検証の各トピックについて説明しています。NI-DRU 使用モデルのセクションでは、NI-DRU のブロック図について詳細に記述し、その中で DRU の総合的な伝達関数をすべてのハードウェア設定に関わる関数として計算しています。

XAPP1110: PCI Express 用 PLBv46 エンドポイントブリッジを使用する EDK システムの BFM シミュレーション

http://www.xilinx.com/support/documentation/application_notes/xapp1110.pdf

著者 Lester Sanders と Mark Sasten は、PCI Express® 用 PLBv46 エンドポイントブリッジ コアを内蔵する EDK システムで、IBM CoreConnect Bus Functional Language (BFL) コマンドを使用してシミュレーションを実行する方法を実証しています。このシミュレーションは、PCI Express 用 PLBv46 エンドポイントブリッジを内蔵する EDK システムへ PCIe® リンクを介して通信する PCIe ダウンストリーム ポート モデルで構成されています。このブリッジには、Virtex-5 FPGA の PCI Express 用ブロック プラス エンドポイント コアを使用します。また、バス ファンクショナル モデル (BFM) が EDK システムを駆動します。

ザイリンクスは、テスト プログラム インターフェイスを持つダウンストリーム ポート モデルに基づくシミュレーション環境を提供します。このモデルは、ザイリンクス CORE Generator™ ツールを使用して構築され、記述済みのプログラムと Verilog タスクを用いてトランザクション レイヤ パケットを生成します。このアプリケーション ノートでは、シミュレーションのセットアップ方法と BFL コマンドでシステム シミュレーションを実行する手順について説明しています。また、EDK システムを使用して PLBv46 エンドポイントブリッジを実証するためのスティミュラスの例（特に、ルート コンプレックス – エンドポイント間トランザクションおよびエンドポイント – ルートコンプレックス間トランザクション）についても記載し、テスト結果を波形ビューで解析する方法についても触れています。

このアプリケーション ノートは、XAPP1111『PCI Express 用 PLBv46 エンドポイントブリッジを使用する EDK システムのシミュレーション』と対になるものです。

XAPP1111: PCI Express 用 PLBv46 エンドポイントブリッジを使用する EDK システムのシミュレーション

http://www.xilinx.com/support/documentation/application_notes/xapp1111.pdf

XAPP1110 と対になるこのアプリケーション ノートの著者 Lester Sanders は、PCI Express 用 PLBv46 エンドポイントブリッジ コアを内蔵する EDK システムのシミュレーションの実行方法について説明しています。XAPP1110 では、シミュレーションを駆動するバス ファンクショナル モデルについて記述しましたが、ここでは、C コードを使用したシミュレーション方法を説明しています。特に、このシミュレーションでは、PCIe ダウンストリーム ポート モデルを接続し、PCI Express 用 PLBv46 エンドポイントブリッジを内蔵する EDK システムへ PCIe バスを介して通信します。ダウンストリーム ポート モデルは、ザイリンクス CORE Generator ツールを使用して構築でき、PLBv46 エンドポイントブリッジは、Virtex-5 FPGA の PCI Express 用ブロック プラス エンドポイント コアを使用します。PowerPC® 440 で動作する C コードが EDK システムを駆動します。

このアプリケーション ノートは、XAPP1110『PCI Express 用 PLBv46 エンドポイントブリッジを使用する EDK システムの BFM シミュレーション』と対になるものです。

XAPP1014: Virtex-5 FPGA を使用したオーディオ / ビデオコネクティビティ ソリューション：ブロードキャスト産業向けリファレンス デザイン Vol 2

http://www.xilinx.com/support/documentation/application_notes/xapp1014.pdf

このアプリケーション ノートでは、プロフェッショナルな映像

/放送業界で広く採用されている各種シリアル デジタル ビデオ インターフェイスを、Virtex-5 FPGA にどのようにインプリメントするかについて説明しています。さまざまな SMPTE 規格を数セクションに渡って紹介した後、Virtex-5 FPGA RocketIO トランシーバを使用するマルチレート SD-SDI/HD-SDI/3G-SDI、Virtex-5 FPGA SelectIO™ LVDS を使用する SD-SDI、そして Virtex-5 FPGA SelectIO LVDS を使用する DVB-ASI や、AES デジタル オーディオなどについて深く掘り下げて説明しています。最終セクションでは、オーディオおよびビデオに関するさまざまなトピックについて考察しています。

XAPP1129: LocalLink インターフェイス搭載 EDK カスタムペリフェラルの Linux への統合

http://www.xilinx.com/support/documentation/application_notes/xapp1129.pdf

著者 Brian Hill は、LocalLink DMA ペリフェラルに Linux オペレーティング システムを使用する場合について考察し、カスタム LocalLink scatter-gather DMA (SGDMA) コアを Linux で使用する手順と手法を概説しています。ここでは、LocalLink ループバック コアに Linux ドライバを付与する方法について説明し、

さらにドライバの設計とその動作を詳細に記述しています。

XAPP1130: ARINC 664, Part 7 (AFDX) ソリューションのアーキテクチャ

http://www.xilinx.com/support/documentation/application_notes/xapp1130.pdf

新世代の民間航空機がますます複雑になると同時に、特にファイバワイヤとそれに関連する航空電子機器への依存度は大きくなっています。多くの電子システムが機体内に設計されるにつれ、これまでの 2 点間配線スキームはもはや実用的とは言えなくなっています。その結果、Airbus A380 の設計者は、配線量を削減し、帯域幅を広げて可能な場所に商業用標準 (COTS) 技術を用いるソリューションを模索してきました。ARINC 仕様 664, Part 7 は、その探求の成果を反映したものです。

著者 Lan Land と Jeff Elliott は、ARINC 仕様 664, Part 7 に定義される、Avionics Full-Duplex Switched Ethernet (AFDX) のアーキテクチャと機能を概説しています。さらに、AFDX エンドシステムに必要な各種機能ブロックを Virtex®-4 と Virtex-5 の両デバイスにマッピングする方法についても詳細に説明しています。

ザイリンクス イベント カレンダー

'09年 11 ~ '10年 1月

ザイリンクスは、年間を通じて多数のトレードショーやイベントに参加しています。これらのイベントは、ザイリンクスのシリコンやソフトウェアの専門家がお客様からの質問にお答えしたり、最新製品やザイリンクスのカスタムのサクセスストーリーをご紹介する機会です。

ザイリンクスおよび販売代理店開催・出展イベント

2009 年 11 月 18 日(水) ~ 20 日(金)

Inter BEE (国際放送機器展) 2009

ザイリンクスが
展示を行います。

- ◇主 催: 社団法人電子情報技術産業協会
- ◇開催地: 幕張メッセ
- ◇URL: <http://www.inter-bee.com/>

2009 年 11 月 18 日(水) ~ 20 日(金)

Embedded Technology (組込み総合技術展) 2009

ザイリンクスと東京エレクトロニクス
デバイスが共同出展します。

- ◇主 催: 社団法人 組込みシステム技術協会 (JASA)
- ◇開催地: パシフィコ横浜
- ◇URL: <http://www.jasa.or.jp/et/index.html>

2009 年 11 月 27 日(金)

第12回 6都市FPGAカンファレンス 関西

東京エレクトロニクス
デバイスが展示を行います。

- ◇主 催: 特定非営利活動法人 FPGA コンソーシアム
- ◇開催地: 梅田センタービル
- ◇URL: <http://www.fpga.or.jp/event.html>

2009 年 12 月 2 日(水)

MATLAB EXPO 09

PALTEKが講演
を行います。

- ◇主 催: MathWorks Japan
- ◇開催地: ザ・プリンス パークタワー東京
- ◇URL: <http://www.matlabexpo.com/index.html>

2009 年 12 月 11 日(金)

第12回 6都市FPGAカンファレンス 九州

東京エレクトロニクス
デバイスが展示を行います。

- ◇主 催: 特定非営利活動法人 FPGA コンソーシアム
- ◇開催地: アクロス福岡
- ◇URL: <http://www.fpga.or.jp/event.html>

2010 年 1 月 22 日(金)

X-fest

- ◇主 催: アヴネット ジャパン株式会社
- ◇開催地: 梅田スカイビル
- ◇URL: <http://event.avnet.co.jp/>

2010 年 1 月 29 日(金)

X-fest

- ◇主 催: アヴネット ジャパン株式会社
- ◇開催地: 東京コンファレンス センター品川
- ◇URL: <http://event.avnet.co.jp/>

※ザイリンクスおよびザイリンクス販売代理店のイベント情報に関する最新情報は、各社のWebサイトをご覧ください。

ザイリンクス トレーニング スケジュール '09年11月～'10年3月

ザイリンクスでは、大規模、高速FPGAを対象にしたFPGA設計のための各種トレーニングを各地で開催しております。是非ご利用ください。

コース名	11月	12月	1月	2月	3月
FPGA デザイン					
FPGA 設計導入	4日(水)	2日(水)	28日(木)	10日(水)	3日(水)
FPGA 設計実践	10日(火)～ 11日(水)	8日(火)～ 9日(水)	19日(火)～ 20日(水)	9日(火)、 16日(火)	16日(火)～ 17日(水)
アドバンスド FPGA 設計	12日(木)～ 13日(金)	—	21日(木)～ 22日(金)	17日(水)～ 18日(木)	18日(木)～ 19日(金)
Virtex-5 デザイン	—	—	7日(木)～ 8日(金)	2日(火)～ 3日(水)	2日(火)～ 3日(水)
			14日(木)～ 15日(金)	23日(火)～ 24日(水)	9日(火)～ 10日(水)
DSP デザイン					
System Generator for DSPを 使用したDSPデザイン	19日(木)～ 20日(金)	15日(火)、 22日(火)	—	12日(金)、 19日(金)	25日(木)～ 26日(金)
エンベデッド デザイン					
エンベデッド システム開発	24日(火)～ 25日(水)	17日(木)、 24日(木)	—	8日(月)、 15日(月)	23日(火)～ 24日(水)
アドバンスド エンベデッド システム開発	—	10日(木)	18日(月)	22日(月)	—
エンベデッド ソフトウェア開発	5日(木)～ 6日(金)	—	12日(火)～ 13日(水)	—	29日(月)～ 30日(火)
エンベデッド オープンソース Linux 開発	26日(木)～ 27日(金)	—	—	25日(木)～ 26日(金)	11日(木)～ 12日(金)
コネクティビティ デザイン					
MGTシリアル I/O デザイン	26日(木)～ 27日(金)	17日(木)～ 18日(金)	21日(木)～ 22日(金)	18日(木)～ 19日(金)	18日(木)～ 19日(金)

*すべてのトレーニングは、ザイリンクス認定インストラクターによるオフィシャルトレーニングです。

*日程および会場は、都合により変更となる場合もございます。最新情報はザイリンクストレーニングWebサイトをご覧ください。

詳細とご登録はこちらから ▶▶ <http://japan.xilinx.com/support/education-home.htm>

ザイリンクス 販売代理店 オリジナル トレーニング

販売代理店各社のオリジナル トレーニングの内容およびスケジュールは、各社のWebサイトをご覧ください。

東京エレクトロン デバイス	http://ppg.teldevice.co.jp/
アヴェネット ジャパン	http://www.avnet.co.jp/services/Training/index.asp
新光商事	https://xilinx.shinko-sj.co.jp/training/index.html
PALTEK	http://www.paltek.co.jp/seminar/index.htm

Targeted Design Platforms Take FPGA Innovation to New Heights

ターゲット デザイン プラットフォームが FPGA の革新を新たなレベルに



新しいデバイス ファミリ、IP コア、設計ツールそして開発
ボードにより、差別化されたデザインをいち早く市場へ



Frank Tornaghi
Senior Vice President
of Worldwide Sales
Xilinx, Inc.
frank.tornaghi@xilinx.com

ASIC に携わってきた期間を含む長年の半導体ビジネスでの経験において、FPGA が遂げてきた劇的な進化を目の当たりにしてきました。FPGA は、ASIC の設計者達が ASIC における問題点を解決する最後の手段として、小さいながらも目新しいデバイスから出発し、ASIC や ASSP などのロジック デバイスより総合的な価値をもたらすシステム オン チップ (SoC) に至るまで進化しました。

25 年前にザイリンクスが最初の FPGA を発明して以来、FPGA は性能、集積度、機能性において根本的な成長を遂げ、有線 / 無線通信、自動車、ISM (工業、科学、医療)、航空宇宙および防衛などの各市場をターゲットとした多くのデザインで ASIC と ASSP に取って代わりつつあります。

どのロジック デバイスと比較しても、FPGA 以上に柔軟性、Time-to-market、総コスト削減の各要素を兼ね備えたデバイスは存在しないことを、多くの設計者が認識してきています。設計ミスや最終段階での機能追加が発生した場合でも、デザイン

を修正し、FPGA をリプログラムして、システム内でテストするだけで対応できます。

ASIC と ASSP を凌ぐ FPGA の価値ある提案が幅広いユーザーに支持される中で、ザイリンクスは、ターゲット デザイン プラットフォームにより、FPGA の利点のさらなる促進に取り組んでいます。40nm プロセスを採用した高性能な Virtex®-6 FPGA と低コストな 45nm Spartan®-6 FPGA を市場投入したのに加え、ドメイン特化 IP コア や マーケット特化 IP コア、設計ツール、開発ボード、リファレンス デザインを提供、設計者が差別化されたデザインをいち早く市場に投入できるようサポートします。

ザイリンクスが提唱するターゲット デザイン プラットフォームは、ユーザーのニーズに一層応え、新しい規格をターゲットとした設計を考案する際や、新しい市場に参入する際に、必要なエレメントすべてを総合的に提供します。

たとえば、次期設計を 40G/100G 通信市場にターゲットする場合、ターゲット デザイン プラットフォームを使用すれば、最高速レートのトランシーバを内蔵した FPGA デバイス Virtex-6 HXT (40nm デバイス、最大 64 個のトランシーバを搭載し、それぞれが 11Gbps 超で動作) が武器となるだけでなく、40G/100G 通信

デザインで必要とされるザイリンクスおよびパートナー提供のコネクティビティ IP コアの包括的ライブラリが使用可能です。

これらのマーケット特化 IP コア、ドメイン特化プラットフォーム IP コア およびベース プラットフォーム IP コアをインプリメントすることで、より短期間でのデザイン構築が可能となり、製品の差別化に注力できます。加えて、評価キット ファミリやリファレンス デザインを提供しており、素早い立ち上げと設計が可能となります。

エンベデッド ソフトウェア分野のエンジニア向けには、慣れ親しんだ環境下で利用可能なドメイン特化ツールやマイクロプロセッサおよびサブシステム IP コアが提供されています。

DSP 分野のアルゴリズム開発者向けには、DSP スライスが豊富な Spartan-6 と Virtex-6 FPGA によりアルゴリズムのインプリメントに必要なドメイン特化 ツールと IP コアを提供しています。

ターゲット デザイン プラットフォームは、すべてのユーザーに大きな利益を享受し、新しいレベルの生産性を提供します。25 年の経験を基盤に、ザイリンクスがユーザーと共に革新技術を生み出すことができることを誇りに思います。ターゲット デザイン プラットフォームはさらなるイノベーションを導くものになると確信しています。🌈



ニーズに合わせたプログラムを各種取り揃えて好評配信中!!  XILINX®

FPGA を 始めたい!

FPGA をこれから始める方にFPGA の全体概要を解説した入門編と、ものづくりにチャレンジする経営者、技術管理者の方へ
なぜ今FPGA /CPLD なのかをご説明します。

▶ 30 分でわかる! FPGA 入門

▶ 15分で判る! FPGA 採用理由

ザイリンクス FPGA って?

FPGAの世界トップシェアを誇るザイリンクスが提案するソリューションや、ザイリンクスの最先端FPGAの詳細を解説します。

▶ ターゲット デザイン プラットフォームで生産性を向上
-Virtex-6 & Spartan-6 FPGA-

▶ PowerPC®440 /
6.5G トランシーバ搭載 FPGA

▶ Virtex™-5 LXT
65nm FPGA の紹介

▶ Virtex-5 ファミリの紹介と
Virtex-5 LX 概要

▶ ローコストSpartan-3E FPGA コン
フィギュレーション オプション

FPGA 設計ツール を学びたい!

プログラマブル デバイスである FPGA の設計には開発ツールがキーになります。ザイリンクスが提供するユーザー フレンド
リーな開発ツールの特徴や使い方、先端設計メソッドロジについて解説します。

▶ 製品の差別化を実現する開発ツール: ISE Design Suite
-ターゲット デザイン プラットフォームのための手法-



▶ PlanAhead でI/O ピン
プランニング

▶ PlanAhead™8.1 階層デザインと
その解析ツール

ザイリンクス FPGA を もっと使いこなしたい!

ザイリンクス FPGA を使った最先端デザインの設計手法や、さまざまなアプリケーション設計に求められるデザイン チャレンジ
に対するソリューションをご紹介・解説します。

▶ Virtex®-6、Spartan®-6 FPGAでの
低消費電力デザインの実現

▶ メモリ セントリックな
システム構築技法

▶ ザイリンクス
XtremeDPS™ ソリューション

▶ 高速メモリインターフェイス
ソリューションと設計手法

▶ FPGA を用いたプロセッサ設計の
特徴と手法

▶ ザイリンクス
PCI Express® ソリューション

セミナー内容の詳細／ご視聴は今すぐこちらから >>> <http://japan.xilinx.com/webseminar/>



FASTER THAN THE SPEED OF CHANGE

真のイノベーションへの道は決して単調ではありません。——ザイリンクスはプログラマブル シリコンおよびソフトウェア、IP、サードパーティ企業との協業により、競合との差別化や変化し続ける市場要求に素早く対応する機敏なソリューションを提供します。リスクフリーで革新に挑めるのはザイリンクスのターゲット デザイン プラットフォームだけです。詳しくは <http://japan.xilinx.com>

ザイリンクス株式会社

製品のお問い合わせは下記の販売代理店へどうぞ

■アヴネット ジャパン(株)	TEL (03) 5978-8201	EVAL-KITS-JP@avnet.com	■(株)PALTEK	TEL (045) 477-2005	info_pal@paltek.co.jp
■東京エレクトロン デバイス(株)	TEL (045) 474-7089	x2web@teldevice.co.jp	■新光商事(株)	TEL (03) 6361-8087	X-Pro@shinko-sj.co.jp

©2009 Xilinx, Inc. All rights reserved. ザイリンクスの名称およびロゴ は米国およびその他の各国のザイリンクス社の登録商標または商標です。その他すべての名称は、それぞれの所有者に帰属します。