



プログラマブル指令

経済情勢や技術動向の劇的な変化は、電子システムの開発および製造において、より柔軟でコストパフォーマンスが高い新たなアプローチを必要としています。ASIC では、大量生産のアプリケーションの場合を除いて開発および製造に多大な費用がかかり、ASSP では製品の差別化に限界があります。最先端の製品の市場投入に取り組んでいる設計チームは、少ないリソースと予算、そして厳しい時間的制約という条件下で尽力し、また、メーカーは急速に変化する市場におけるリスクを軽減させる必要性に迫られています。

これら事実は、デジタル電子システムの中心部分に FPGA (フィールド プログラマブル ゲート アレイ) を採用する動きを加速する要因となっています。次世代 FPGA の基盤として構築されたターゲット デザイン プラットフォームは、高い性能、優れた柔軟性、少ない消費電力を同時に実現するという厳しいニーズに対応します。また、このプラットフォームは生産性を向上させるモジュール形式の設計手法を可能にするため、エンジニアは、アプリケーションのインフラの設計にかかる時間を少なくし、結果、製品の差別化のみに集中して、消費者ニーズを満たす製品の設計に十分な時間をかけることができます。

イノベーションを加速

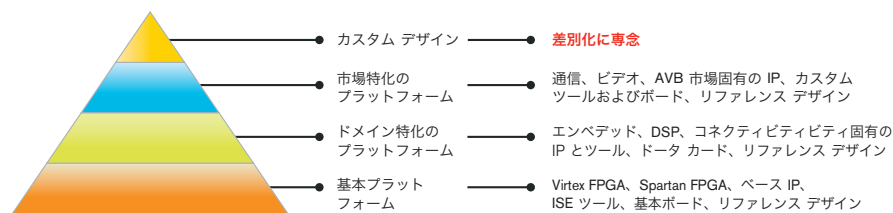
ザイリンクスのターゲット デザイン プラットフォームは、ソフトウェアおよびハードウェア コンポーネントが統合されており、設計者のイノベーションを加速します。このプラットフォームは、FPGA シリコン、設計ツール、ザイリンクスおよびサードパーティの IP コア、ソフトウェア アプリケーション、開発ボード、リファレンス デザインを統合して提供しているため、エンジニアはアプリケーションのインフラに対して費やす時間を減らし、製品の差別化や独自の付加価値をもったアプリケーション設計に専念できます。

ターゲット デザイン プラットフォームの基礎

Virtex[®]-6 および Spartan[®]-6 FPGA ファミリーは、ターゲット デザイン プラットフォームのプログラマブル機能の基礎です。これらのデバイスは、パフォーマンスや消費電力、コストを大幅に改善します。

- ハード IP とプログラム機能を高度に組み合わせることで、システム コストを最大 60% まで削減し、統合性を高めます。
- 革新的で効率的な消費電力管理機能を使用して、消費電力を最大 65% まで削減します。
- 効果的な IP の再利用および使いやすさの向上により、開発時間を最大 50% まで短縮します。
- 柔軟で高速なインターフェイスにより、1Tbps 以上の高速帯域を実現します。

ターゲット デザイン プラットフォームの構造



注：次のページに記載されているソリューション例では、この図と同じ色分けを用いて、システムがターゲット デザイン プラットフォームを使用してどのように構築されているかを示しています。

デザインの差別化が成功をもたらす

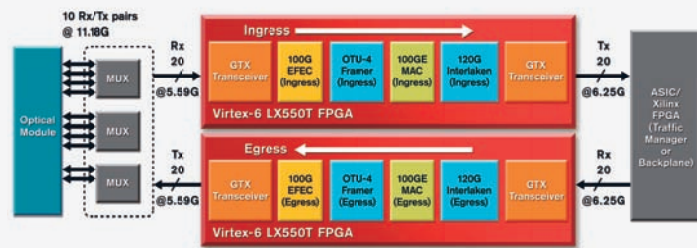
高性能 Virtex-6 あるいは低コスト Spartan-6 FPGA をベースにしたターゲット デザイン プラットフォームを活用することで、次のようなソリューションが実現できます。

- つきることのないワイヤード通信での高帯域化ニーズへの対応
- 環境にやさしいワイヤレス基地局の実現
- ブロードキャスト向けのダイナミックかつ高解像度の映像および音声の提供
- オートモーティブにおける次世代エンターテインメント システムの推進
- フラットパネル ディスプレイの画質向上
- 監視ビデオにおけるリアルタイムの画像解析によるセキュリティシステムの強化

Virtex-6 FPGA ソリューション例

イノベーションを加速するターゲット デザイン プラットフォーム

ワイヤード通信



コア ネットワーク向け OTU-4 フレーミング および EFEC

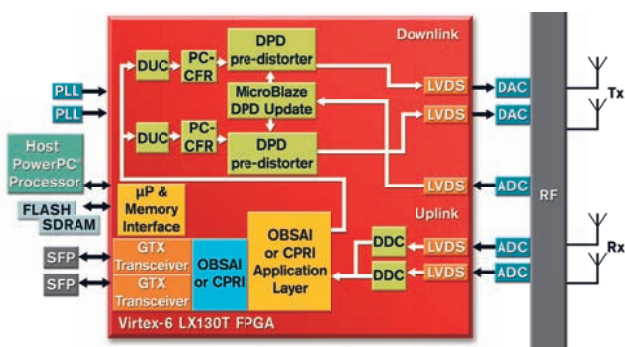
Virtex-6 LX550T FPGA を 2 個使って、100GE MAC や EFEC (高度なフォワード エラー訂正機能)、OTU-4 トランスポート機能、Interlaken に よるブリッジをインプリメントしています。

つきることのない高帯域化のニーズに対応

Virtex-6 FPGA は、環境にやさしい通信システムの構築に 求められる製品開発ニーズに応えます。

- 従来と同じ消費電力および冷却システム以内で、さらなる 高性能とより大きな帯域幅を実現することにより OPEX を削減
- 厳しいスループットやレイテンシの要件を満たす、より高速 で幅広いデータ パスと、パケット処理やトラフィック管理機能 の統合
- SelectIO 技術による容易な DDR3、RLDRAM、QDR SRAM との接続
- 10Gbps 以上のデータレートと主要プロトコルの IP に対応 可能なシリアル トランシーバによる 40G および 100G ブリッジの実装

ワイヤレス 通信



LTE (ロング ターム エボリューション) 2 X 2 ラジオ デザイン

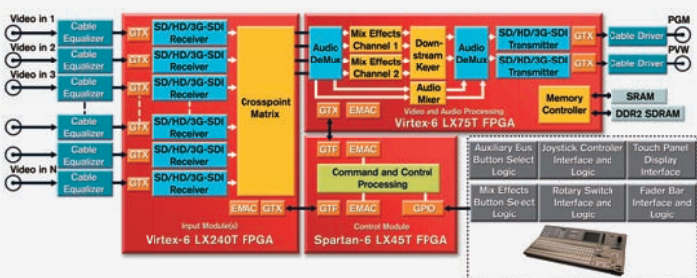
Virtex-6 LX130T FPGA 1 チップで、全体的なコストや消費電力の低減、 高い信頼性を実現します。パッケージ間のピン互換性により、同じパッケージ サイズの Virtex-6 LX195T FPGA では、最大 4 X 4 までの拡張が容易に 行えます。

環境にやさしい基地局の構築

Virtex-6 FPGA は、コストや消費電力を低減し、拡張性のある プラットフォームを実現します。さらに、複数のエア インター フェイス規格に対応します。

- CFR (クレスト ファクタ リダクション) や DPD (デジタル プリディストーション) などのアルゴリズムをインプリメント することで、パワー アンプの効率性を従来 の 4 倍まで向上し、 OPEX を低減
- ロジックやメモリ、DSP リソースのバランスが最適な 1 チップ の FPGA に無線機能を統合することにより、ASSP ベースの インプリメントに比べて消費電力を 50% 以上削減
- 複数のエア インターフェイスの対応という通信事業者の課題 を解決する、柔軟なマルチモード対応の基地局を実現
- DUC/DDC、CFT、DPD などの IP によるインプリメントの 高速化

ブロードキャスト



SD/HD/3G-SDI インターフェイスをサポートする次世代製品スイッチャ

Virtex-6 および Spartan-6 FPGA を使用したプロダクション スwitchャの例 では、高画質の実現や、より多くのビデオ ストリームのサポート、そして、 消費電力の低減が可能です。

ダイナミックな高解像度ビデオおよびオーディオ コンテンツの配信

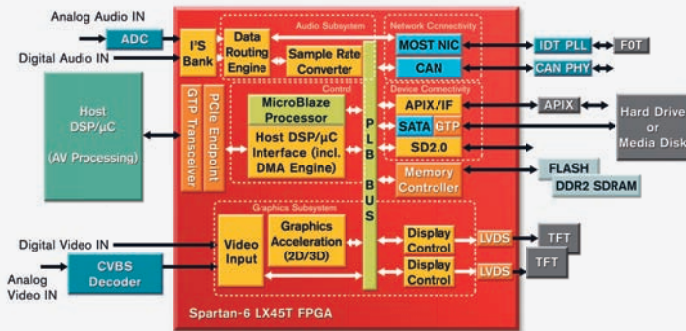
Virtex-6 および Spartan-6 FPGA を組み合わせて使用する ことにより、放送と通信ネットワーク間のブリッジを実現する 低コストの IP ベース機器の開発が行えます。

- 複数のインターフェイスやコーデック回路、映像処理アルゴ リズムを、従来より大容量化された FPGA に統合すること で、チャンネル当たりのコストを削減
- ハード IP DSP リソースを活用した画質の向上により、システム を差別化
- 複数の最大 1080p60 のフル HD の非圧縮 SDI ビデオ スト リームを 10Gbps イーサネットに集約可能。または複数の圧縮 済み ASI ストリームを、内蔵低消費電力トランシーバを使用 したトリプルプレイ用ギガビット イーサネットに集約
- トリプルレート SDI (3G/HD/SDI)、音声マルチプレクサ/ デマルチプレクサなどのリファレンス デザインの活用による インプリメントの高速化

Spartan-6 FPGA ソリューション例

イノベーションを加速するターゲット デザイン プラットフォーム

オートモーティブ インフォテインメント システム



車載インフォテインメント システム

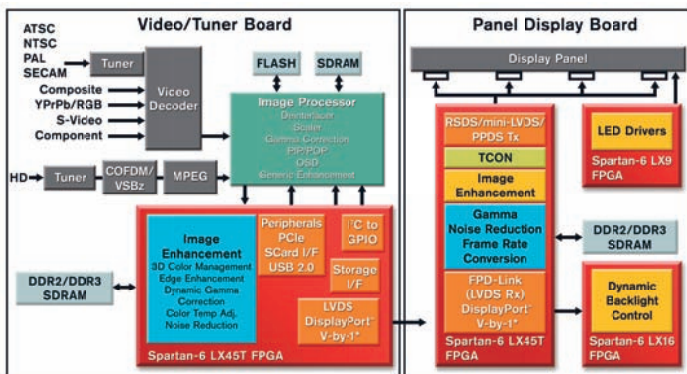
ホスト プロセッサのコプロセッサとして、Spartan-6 LX45T FPGA 1 チップでオーディオ/ビデオ アクセラレーション、グラフィック サブシステム、および車載ネットワーク機能をサポートします。

ユーザー エクスペリエンスを強化

Spartan-6 FPGA は、変化するユーザー ニーズへ迅速に対応する柔軟性を提供します。

- 専用のグラフィック アクセラレータとして、映像パフォーマンスの強化と柔軟なパラレル/シリアル インターフェイス
- ホスト プロセッサへのインターフェイスの簡略化、および PCI Express® テクノロジーを FPGA に搭載することによりコンポーネント数の削減
- ASSP ベースのインプリメントに比べて消費電力を最大 55% 削減
- グラフィック処理、ビデオ変換、高速インターフェイス、および車載ネットワーク向けの IP の使用による設計の高速化

フラット パネル ディスプレイ



ダイナミック バックライト 制御を備えた高解像度ビデオ フラット パネル ディスプレイ

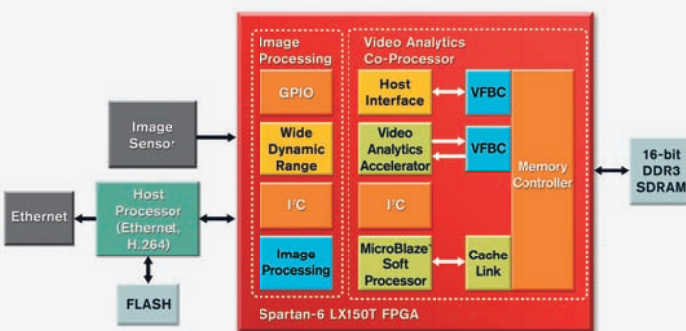
Spartan-6 FPGA と内蔵シリアル I/O 機能により消費電力およびコストを抑えながら高画質を実現します。

画質の向上

Spartan-6 FPGA は、ASIC に代わるコスト効率に優れた製品です。これにより、ますます短縮化する製品ライフサイクルで、より優れた画像を提供するディスプレイの迅速な開発を可能にします。

- 高いパフォーマンスと、スペクトラム拡散クロックによる EMI 低減目標を容易に実現
- 大容量ロジックと低い消費電力により、熱管理の簡略化、信頼性の向上、コストの削減を実現
- ダイナミック ガンマ補正や、モーション アダプティブ ノイズリダクション、ダイナミック レンジ圧縮など、画像補正 IP の豊富なライブラリによる画質の向上
- 柔軟な SelectIO テクノロジーや、統合されたメモリ コントローラブロック、Display Port 対応の 3.125Gbps GTP トランシーバによる高帯域インターフェイスの簡略化

監視カメラ システム



監視カメラの映像キャプチャおよび映像分析エンジン

Spartan-6 LX150T FPGA 1 チップに、イメージ センサー インターフェイス、映像分析、画像処理、およびネットワーク インターフェイスを統合できます。

リアルタイムな映像解析によりセキュリティを強化

Spartan-6 FPGA はパフォーマンスと柔軟性の最適な組み合わせを提供し、映像監視システムにおける高解像度や映像分析、より多くのチャンネル対応への要件を満たします。

- 柔軟なフロントエンドの画像処理を構築し、映像の高解像度に対応
- DSP48A スライスを使用した高度な並列インプリメント手法を使用して、ネイティブ解像度の画像データをフルフレーム レートで処理
- コスト効率に優れたカスタム コプロセッサにより、最先端の映像分析をインプリメント
- 旧世代 Spartan FGPA の 50% の消費電力により、熱管理およびパワー オーバー イーサネットのインプリメントを簡略化

Virtex-6 ファミリ製品テーブル

製品番号	LX75T	LX130T	LX195T	LX240T	LX365T	LX550T	LX760	SX315T	SX475T	
ロジックセル	74.5K	128K	200K	241K	364K	550K	759K	315K	476K	
最大分散 RAM (Kbit)	1,045	1,740	3,040	3,650	4,130	6,200	8,280	5,090	7,640	
ブロック RAM/FIFO (各 36Kbit)	156	264	344	416	416	632	720	704	1,064	
ブロック RAM 総数 (Kbit)	5,616	9,504	12,384	14,976	14,976	22,752	25,920	25,344	38,304	
ミックス モード クロック マネージャ (MMCM)	6	10	10	12	12	18	18	12	18	
DSP48E1 スライス	288	480	640	768	576	864	864	1,344	2,016	
PCI Express® インターフェイス ブロック	1	2	2	2	2	2	0	2	2	
10/100/1000 イーサネット MAC ブロック	4	4	4	4	4	4	0	4	4	
GTX 低消費電力トランシーバ	12	20	20	24	24	36	0	24	36	
パッケージ	サイズ (ピッチ)	最大ユーザー I/O : Select IO™ インターフェイス ピン (GTX トランシーバ)								
FF484	23 x 23 mm (1.0 mm)	240 (8)	240 (8)							
FF784	29 x 29 mm (1.0 mm)	360 (12)	400 (12)	400 (12)	400 (12)					
FF1156	35 x 35 mm (1.0 mm)		600 (20)	600 (20)	600 (20)	600 (20)				
FF1759	42.5 x 42.5mm (1.0 mm)			720 (24)	720 (24)	720 (24)	840 (36)		720 (24)	840 (36)
FF1760	42.5 x 42.5mm (1.0 mm)						1,200 (0)	1,200 (0)		

Spartan-6 ファミリ製品テーブル

製品番号	LX4	LX9	LX16	LX25	LX45	LX100	LX150	LX25T	LX45T	LX100T	LX150T	
ロジックセル	3.4K	9K	15K	24K	43K	101K	147K	24K	43K	101K	147K	
最大分散 RAM (Kbit)	32	90	136	228	401	975	1,358	228	401	975	1,358	
ブロック RAM (各 18Kbit)	8	32	32	52	116	268	268	52	116	268	268	
ブロック RAM 総数 (Kbit)	144	576	576	936	2,088	4,824	4,824	936	2,088	4,824	4,824	
クロック マネージャ タイル (CMT)	1	2	2	2	4	6	6	2	4	6	6	
DSP48A1 スライス	4	16	32	38	58	182	182	38	58	182	182	
PCI Express エンドポイント ブロック	—	—	—	—	—	—	—	1	1	1	1	
メモリ コントローラ ブロック	0	2	2	2	2	4	4	2	2	4	4	
GTP 低消費電力トランシーバ	—	—	—	—	—	—	—	2	4	8	8	
パッケージ	サイズ (ピッチ)	最大ユーザー I/O : Select IO インターフェイス ピン (GTP トランシーバ)										
TQG144	20 x 20 mm (0.5 mm)	100	100									
CSG225	13 x 13 mm (0.8 mm)	120	160	160	160							
FTG256	17 x 17 mm (1.0 mm)			186	186							
CSG324	15 x 15 mm (0.8 mm)		200	232	226			174 (2)	174 (4)			
FGG484	23 x 23 mm (1.0 mm)				264	354	354	354	250 (2)	296 (4)	296 (4)	296 (4)
FGG676	27 x 27 mm (1.0 mm)					370	498	498		370 (4)	396 (8)	396 (8)

詳細は今すぐこちらから

次世代の製品開発を実現する Virtex-6 および Spartan-6 FPGA およびザイリンクスのターゲット デザイン プラットフォームの詳細は japan.xilinx.com/6 をご覧ください。

ザイリンクス株式会社

<東京>
〒141-0032 東京都品川区大崎 1-2-2
アートヴィレッジ大崎セントラルタワー 4F
TEL : 03-6744-7777 (代)
<大阪>
〒532-0003 大阪市淀川区宮原 3-4-30
ニッセイ新大阪ビル 13F
TEL : 06-6150-5515 (代)
<http://japan.xilinx.com>

販売代理店



© 2009 Xilinx, Inc. All rights reserved. ザイリンクスの名称およびロゴ、Virtex、Spartan は米国およびその他の各国のザイリンクス社の登録商標または商標です。その他すべての名称は、それぞれの所有者に帰属します。