

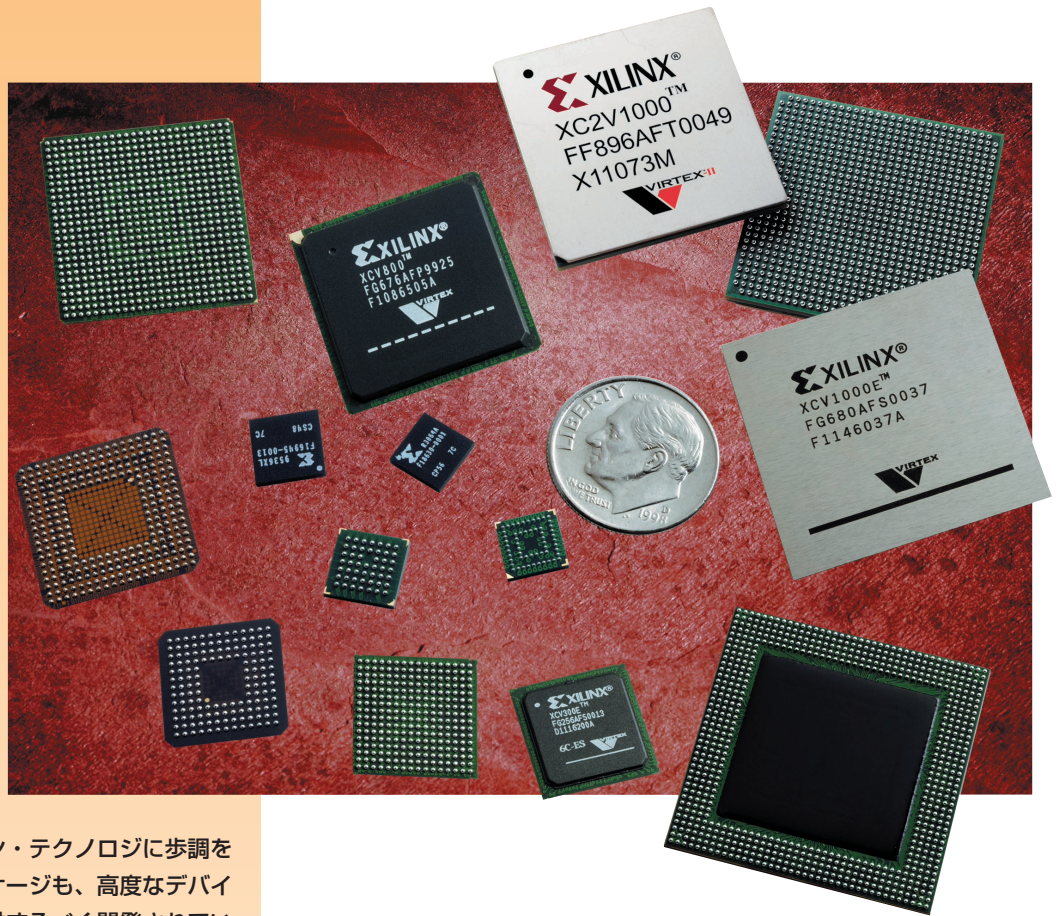
ザイリンクス最新パッケージ

キャビティ・ダウンBGA／チップ・スケール・パッケージ／プラスチックBGA／フリップ・チップBGA

半導体パッケージは、半導体デバイスに対する相互接続機能を提供する筐体です。半導体パッケージの主な機能は、ICとPCボードを電気的に結合させ、半導体デバイス自身で生じる熱を効率的に取り除くことです。

半導体デバイスの小型化が進んだ結果、半導体デバイスに詰め込まれるトランジスタの数が増大しました。また、今日のディープサブミクロン・テクノロジーは機能の大規模集積を可能とし、システムオンチップ・ソリューションに向かいつつあり

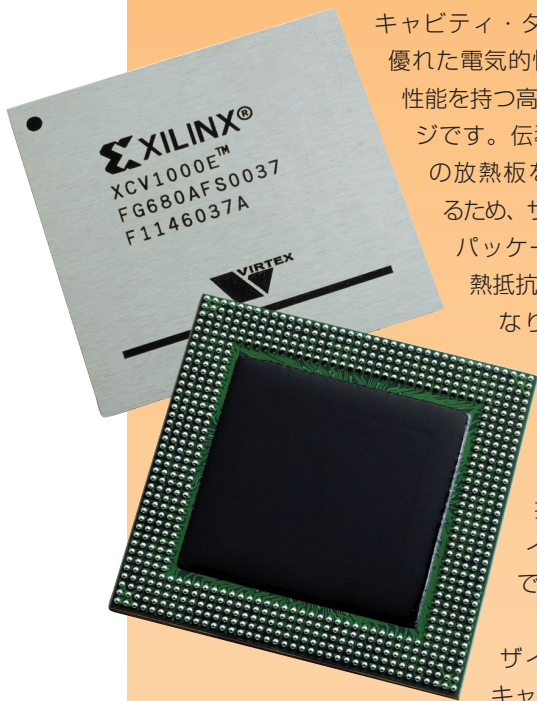
ます。これら最新のシリコン・テクノロジーに歩調を合わせるため、半導体パッケージも、高度なデバイスの機能と性能を十分に提供すべく開発されています。さらに半導体パッケージは、今日の高度アプリケーションが要求する多ピン化、リードピッチの縮小、形状要件に応える必要があります。同時に、半導体パッケージは信頼性に富み低コストの必要があります。



ザイリンクスのパッケージ化テクノロジー

ザイリンクスは、これまでリード付パッケージやアレイ・パッケージなどの広範なパッケージを、今日の高性能ICデバイスの設計要件と性能要件に応じて開発してきました。アレイ・パッケージ・ファミリには、標準の熱強化キャビティ・ダウン・ボール・グリッド・アレイ (BGA)、小型形状チップ・スケール・パッケージ (CSP)、プラスチックBGA、高性能フリップ・チップBGAがあり、様々なピン数と集積度の条件に応じられます。これらのパッケージは、先進の競合他社と比較しても非常に優れた電気的性能を提供しています。

キャビティ・ダウンBGAパッケージ

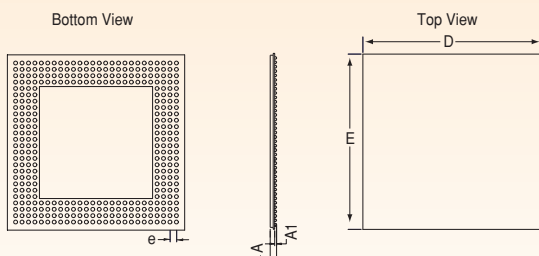


キャビティ・ダウンBGAは優れた電気的性能と熱効率性能を持つ高性能パッケージです。伝導率の高い銅の放熱板を集積しているため、ザイリンクス・パッケージの中でも熱抵抗値が最も低くなります。最適化構造により、低いインダクタンス、低い抵抗率、耐ノイズ性を提供できます。

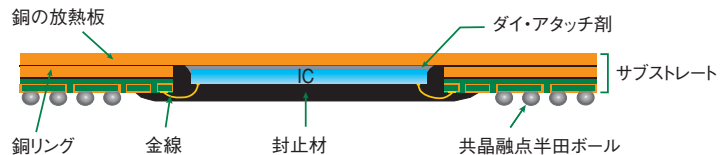
ザイリンクスのキャビティ・ダウンBGAには、2種類のボール・ピッチ（1.27mmと1.00mm）を用意し、どちらもJEDEC規格のボディ・サイズで提供しています。このパッケージ・テクノロジーには、定評のある素材および製造プロセスが用いられ、信頼性が保証されています。キャビティ・ダウンBGAパッケージはすべて、耐湿性JEDEC レベル3の認可を受けています。

特長

- 優れた電気的性能
- 低い熱抵抗率 ($\theta_{JA} < 15^\circ \text{C/W}$)
- 薄型、軽量
- 精密なパッド・ピッチをサポート (54ミクロンまで)
- 耐湿性JEDECレベル3合格
- 1.27mmピッチと1.00mmピッチが使用可能
- 定評のある素材とプロセスの利用



パッケージ構造



パッケージ一覧

パッケージコード	ボディ・サイズ D&E(mm)	ボール・ピッチ e(mm)	スタンド・オフ Al(mm)	パッケージの高さ A(mm)
BG 352	35x35	1.27	0.6	1.40
BG 432	40x40	1.27	0.6	1.40
BG 560	42.5x42.5	1.27	0.6	1.38
FG 680	40x40	1.00	0.5	1.60
FG 860	42.5x42.5	1.00	0.5	1.95

熱効率性能

パッケージコード	ボディ・サイズ (mm)	θ_{JA} (C/W) 静止大気	コメント
BG 352	35x35	12	4L/2P-SMT
BG 432	40x40	11	4L/2P-SMT
BG 560	42.5x42.5	11	計算値
FG 680	40x40	11	4L/2P-SMT
FG 860	42.5x42.5	10	4L/2P-SMT

信頼性

温度サイクル	-55°/+125°C, 1000サイクル
プレッシャ・ポット	96時間/121°C/2気圧
温度/湿度サイクル	85°C/85% RH (相対湿度)、1000時間
耐湿性	JEDEC レベル 3

標準素材

サブストレート	BT
ダイ・アタッチ	銀封入エポキシ
ボンド・ワイヤ	直径0.9~1.3 milの金線
封止材	封止材
半田ボール	共晶融点半田 Sn/Pb
ヒートシンク	銅

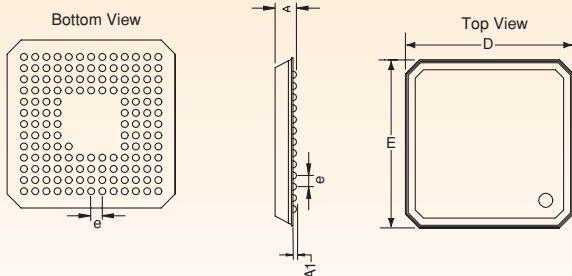
チップ・スケール・パッケージ

ザイリンクスのチップ・スケール・パッケージ (CSP) は、占有面積が最も重要性を持ち、小型化が鍵となり、電力消費が少ない、高性能で低コストのポータブル・アプリケーションに最適なパッケージです。ザイリンクスのCSPパッケージには、0.5mmと0.8mmのボール・ピッチを用いた剛体BT (Bismaleimide Triazine) ベース・サブストレートのほか、フレックス・ベースのサブストレートのタイプがあります。ザイリンクスのCSPパッケージはワイヤ・ボンダ接続と全成型の型抜き (ダイ・アップ) の構造をもち、成熟した先進のアセンブリ・プロセスと素材を使用して製造されています。この構造は半導体ダイの収縮にも強く、このためパッケージ製造上の補修費用も抑えられます。

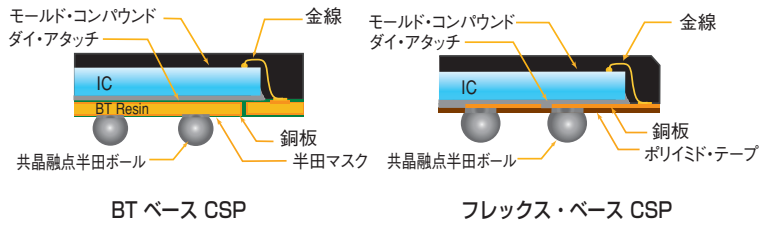
小型形状という要素とI/O数の増大により、ザイリンクス CSPパッケージはワイヤレス、ノートブック、テレコム、携帯電話などのポータブル製品にとって究極のソリューションとなります。

特長

- 薄型パッケージ
- 小型化形状 軽量
- 半導体チップの収縮に強い
- 0.5mmと0.8mmのボール・ピッチ
- 6×6mmから16×16mmまでのボディ・サイズ
- 成熟したアセンブリ・プロセスと素材セットを使用
- メタル1種類のフレックス・サブストレートとメタル2種類のBTサブストレート



パッケージ構造



パッケージ一覧

パッケージコード	ボディ・サイズ D&E(mm)	ボール・ピッチ e(mm)	スタンド・オフ Al(mm)	パッケージの高さ A(mm)
CS 48	7x7	0.8	0.4	1.50
CS 144	12x12	0.8	0.4	1.20
CS 280	16x16	0.8	0.4	1.20
CP 56	6x6	0.5	0.2	1.35

熱効率性能

パッケージコード	ボディ・サイズ (mm)	θ_{JA} (C/W) 静止大気	コメント
CS 48	7x7	45	計算値
CS 144	12x12	34	4L/2P-SMT
CS 280	16x16	31	計算値
CP 56	6x6	65	計算値

信頼性

温度サイクル	-55°/+125°C, 1000サイクル
温度/湿度サイクル	85°C/85% RH (相対湿度)、1000時間
プレッシャ・ボット試験	96時間/121°C/2気圧
耐湿性	JEDEC レベル 3

標準素材

サブストレート	BT/ポリイミド(フレックス・ベース)
ダイ・アタッチ	銀封入エポキシ
ボンダ・ワイヤ	直径1.0~1.2 milの金線
モールド・コンパウンド	エポキシ Novolac
半田ボール	共晶融点半田 Sn/Pb

プラスチックBGA

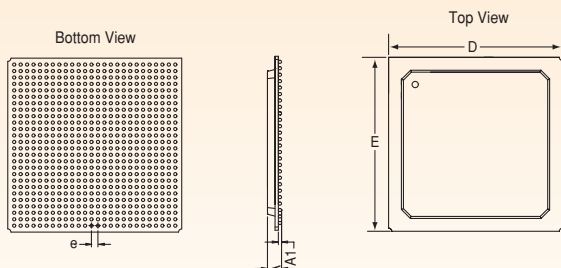
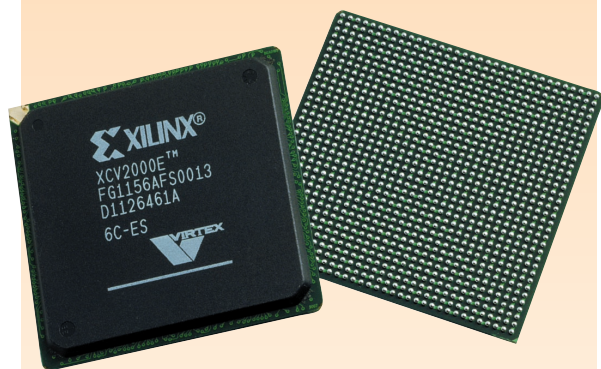
ボール・グリッド・アレイ (BGA) は、いわゆるプラスチックのパッケージ化テクノロジーで、半田ボールをパッケージの底にアレイ状に配置し、システムPCボードと電気的に接続させます。半田ボールをアレイ状に配置するため、リード付パッケージと比べてもパッケージ・サイズがかなり小さくなります。



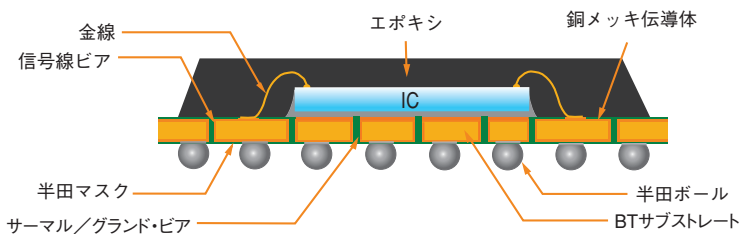
ザイリンクスのBGAは、性能と信頼性を高めるため、高品質の部品素材と完成したプロセスを使用しています。サブストレートは、信号、パワー、グランドプレーンによる多層のBT (Bismaleimide Triazine) エポキシ・ベースの素材で構成されています。これにより、電気的性能と熱効率性能を強化できます。このパッケージは、1.27mmと1.00mm (精密ピッチ) のボール・ピッチで型抜き (ダイ・アップ) した形状で、全体を成型しています。ファインピッチ (精密ピッチ) オプションでは、より多くのI/O数を提供します。

特長

- 高い電気的性能 (短いワイヤの使用)
- 高い熱効率性能
- 微細なダイ・パッドのピッチをサポート (54ミクロンまで)
- パワー/グランドプレーンの多層構造
- 高いボード・アセンブリ歩留り/SMT互換
- 薄型で小型フットプリント



パッケージ構造



パッケージ一覧

パッケージコード	ボディサイズ D&E(mm)	ボール・ピッチ e(mm)	スタンド・オフ Al(mm)	パッケージの高さ A(mm)
BG 225	27x27	1.50	0.5	2.15
BG 256	27x27	1.27	0.5	2.30
BG 492	35x35	1.27	0.6	2.55
BG 575	31x31	1.27	0.6	2.33
BG 728	35x35	1.27	0.6	2.33
FG 256	17x17	1.00	0.5	1.73
FG 456	23x23	1.00	0.5	2.20
FG 676	27x27	1.00	0.5	2.25
FG 900	31x31	1.00	0.5	2.25
FG 1156	35x35	1.00	0.5	2.33

熱効率性能

パッケージコード	ボディサイズ (mm)	θ_{JA} (C/W) 静止大気	コメント
BG 225	27x27	30	4L/2P-SMT
BG 256	27x27	27	4L/2P-SMT
BG 492	35x35	17	4L/2P-SMT
BG 575	31x31	16	計算値
BG 728	35x35	16	計算値
FG 256	17x17	25	4L/2P-SMT
FG 456	23x23	19	4L/2P-SMT
FG 676	27x27	17	4L/2P-SMT
FG 900	31x31	14	4L/2P-SMT
FG 1156	35x35	13	計算値

信頼性

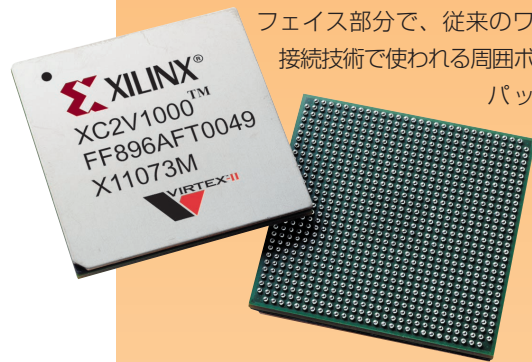
温度サイクル	-55/+125°C, 1000サイクル
HAST	100時間/130°C/3気圧
プレッシャ・ポット	96時間/121°C/2気圧
耐湿性	JEDEC レベル 3

標準素材

サブストレート	BT
ダイ・アタッチ	銀封入エポキシ
ボンド・ワイヤ	0.9~1.5 milの金線
モールド・コンパウンド	エポキシ Novolac
半田ボール	共晶融点半田 Sn/Pb

フリップ・チップ BGA

フリップ・チップはダイ/サブストレートのインターフェイス部分で、従来のワイヤ・ボンディング・接続技術で使われる周囲ボンディング・



パッドをアレイ状配置接続に置き換えるパッケージングの接続技術です。

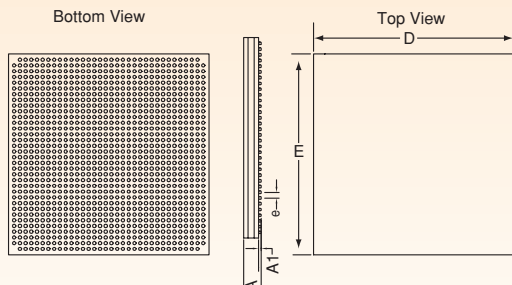
サブストレートにダイの表面を上にして取り付け、ボンディング・ワイヤで接続する従来のパッケージングとは異なり、フリップ・チップ・パッケージ内で半田突起を持つダイは反転され表面を下にし、その導電性半田突起を薄板状サブストレート上の対応する金属パッドと直接々続します。

ザイリンクスのフリップ・チップ・パッケージは、高密度、多層構造の薄板状サブストレート上にアセンブルされます。フリップ・チップの突起パッドはアレイ状に配置されていますので、信号をダイからサブストレートの外面へ正確に導くためには非常に細くて精密な配線パターンをサブストレート上に作る必要があります。サブストレートが多層構造になっていることから、フリップ・チップ・パッケージでのレイアウトに柔軟性が得られ、且つパワー(電力)の分配と信号の伝送特性も改善されています。

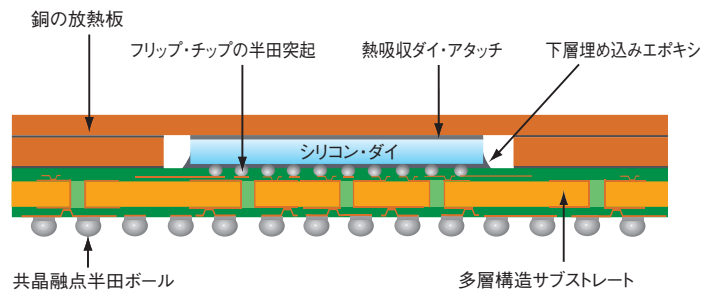
このパッケージング技術は、ザイリンクスの高性能でピン数の多いFPGA 製品にのみ使用されています。

フリップ・チップ接続の利点

- 中心の電源/グランドへのアクセスが容易で接続距離が短いので、電気的性能が改善されています。
- ワイヤ・ボンディングを使っていないので、インダクタンスが低くなりノイズの制御がし易くなっています。
- 熱特性が素晴らしい(ダイの裏側で直接にヒートシンクする為)
- ボンディング・パッドがアレイ状に配置されているので、I/O 密度が高くなっています。



パッケージ構造



パッケージ一覧

パッケージコード	ボディサイズ D&E(mm)	ボール・ピッチ e(mm)	スタンド・オフ Al(mm)	パッケージの高さ A(mm)
BF 957	40x40	1.27	0.60	3.25
FF 896	31x31	1.00	0.50	3.20
FF 1152	35x35	1.00	0.50	3.20
FF 1517	40x40	1.00	0.50	3.20

熱効率性能

パッケージコード	ボディサイズ (mm)	θ_{JA} (C/W) 静止大気	コメント
BF 957	40x40	10.6	*計算値
FF 896	31x31	11.8	*計算値
FF 1152	35x35	11.4	*計算値
FF 1517	40x40	10.5	*計算値

* 2S, 2P ボード上でのシミュレーションから得られた値

信頼性

温度サイクル (0-100°C)	≥ 1000 サイクル
THB	85°C/85 RH(相対湿度)、バイアス有り、1000 時間
バイアス無し 85/85	85°C/85 RH(相対湿度)、1000 時間
耐湿性	JEDEC レベル 4

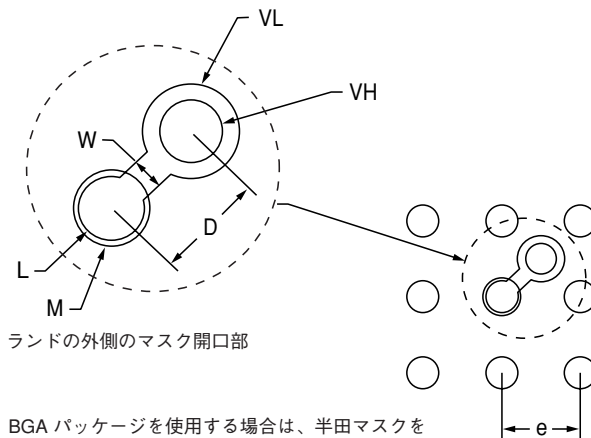
標準素材

サブストレート	多層構造薄板
放熱板	銅
フリップ・チップの突起	共晶融点半田、225 ミクロン・ピッチ
半田ボール	共晶融点半田
熱吸収ダイ・アタッチ	熱グリース

推奨する PCB のデザイン・ルール

コンポーネント側のランド・パッドの直径についての情報はザイリンクスが提供します。ボードのレイアウトを始めるときにこの情報は必須のもので、これによってボード上のパッドをコンポーネント側のランド寸法に合わせます。これ等のランド・パッドの標準的な値を図1に示し、表1に要約します。

ザイリンクスのBGAパッケージの場合は、ボード上で NSMD(Non Solder Mask Defined : 半田マスクを規定していないもの)パッドの使用を薦めます。これにより図1に示す様に、ランド・メタル(直径 L)と半田マスクの開口部(直径 M)の間の"ゆとり"を得ることが出来ます。NSMDパッドと半田マスクのスペース及び信号配線幅の精度は、PCBメーカーの良し悪しによります。配線幅とスペースを小さくし精度を上げるほど、PCBのコストは高くなります。



BGA パッケージを使用する場合は、半田マスクを規定していないパターン或いはランドを規定したパターンを推奨します。

図1：半田パッドの推奨するレイアウト(注:1)

表 1

(寸法はミリ・メートル単位)	FG256	FG456	FG676	FG680	FG860	FG900	FG1156	FF896	FF1152	FF1517
コンポーネントのランド・パッドの直径(SMD)(注:2)	0.45	0.45	0.45	0.50	0.50	0.45	0.45	0.58	0.58	0.58
半田ランドの直径(L)	0.40	0.40	0.40	0.40	0.40	0.40	0.40	0.50	0.50	0.50
半田マスクの開口部の直径(M)	0.50	0.50	0.50	0.50	0.50	0.50	0.50	0.60	0.60	0.60
半田(ボール)ランドのピッチ(e)	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00	1.00
ビア(Via:通路)とランド間のライン幅	0.13	0.13	0.13	0.13	0.13	0.13	0.13	0.13	0.13	0.13
ビア(Via:通路)とランド間の距離	0.70	0.70	0.70	0.70	0.70	0.70	0.70	0.70	0.70	0.70
ビア(Via:通路)・ランドの直径(VL)	0.61	0.61	0.61	0.61	0.61	0.61	0.61	0.61	0.61	0.61
スルー・ホール径(VH)	0.300	0.300	0.300	0.300	0.300	0.300	0.300	0.300	0.300	0.300
パッドのアレイ配置	Full	Full	Full	Full	Full	Full	Full	Full	Full	Full
マトリックスまたは外部列	16 x 16	22 x 22	26 x 26	39 x 39	42 x 42	30 x 30	34 x 34	30 x 30	34 x 34	39 x 39
周囲列	-	7 ³	-	5	6	-	-	-	-	-
	BG225	BG256	BG352	BG432	BG560	BG575	BG728	BF957	CS144	CP56
コンポーネントのランド・パッドの直径(SMD)(注:2)	0.63	0.63	0.63	0.63	0.63	0.61	0.61	0.61	0.35	0.30
半田ランドの直径(L)	0.58	0.58	0.58	0.58	0.58	0.56	0.56	0.56	0.33	0.27
半田マスクの開口部の直径(M)	0.68	0.68	0.68	0.68	0.68	0.66	0.66	0.66	0.44	0.35
半田(ボール)ランドのピッチ(e)	1.50	1.27	1.27	1.27	1.27	1.27	1.27	1.27	0.80	0.50
ビア(Via:通路)とランド間のライン幅	0.300	0.203	0.203	0.203	0.203	0.203	0.203	0.203	0.13	0.13
ビア(Via:通路)とランド間の距離	1.06	0.90	0.90	0.90	0.90	0.90	0.90	0.90	0.56	-
ビア(Via:通路)・ランドの直径(VL)	0.65	0.65	0.65	0.65	0.65	0.65	0.65	0.65	0.51	0.51
スルー・ホール径(VH)	0.356	0.356	0.356	0.356	0.356	0.356	0.356	0.356	0.250	0.250
パッドのアレイ配置	Full	-	-	-	-	Full	Full	Full	-	-
マトリックスまたは外部列	15 x 15	20 x 20	26 x 26	31 x 31	33 x 33	24 x 24	27 x 27	31 x 31	13 x 13	10 x 10
周囲列	-	4	4	4	5	-	-	-	4	1

注：

1. 説明を簡単にするために、3x3 マトリックスだけを示します。1個のランド・パッドと付随するビア(Via:通路)の接続を示します。
2. コンポーネントのランド・パッドの直径は、コンポーネント側のパッドの開口部に依存します(半田マスクが規定されている場合)。
3. FG456 パッケージでは、周囲のボール列に加えて中心部にも半田ボールがあります。

販売代理店



The Programmable Logic Company. SM

ザイリンクス株式会社

〒163-1118 東京都新宿区西新宿6-22-1
新宿スクエアタワー18F

営業部 TEL:03-5321-7730(代)

FAX:03-5321-7761

マーケティング部 TEL:03-5321-7740(代)

FAX:03-5321-7762

<http://www.xilinx.co.jp>