

ザイリンクス SDNet :
ネットワーク ハードウェアの新しい規定方法

シニア アナリスト
Loring Wirbel

2014 年 3 月



www.linleygroup.com

Copyright 2014 The Linley Group, Inc.

このホワイトペーパーはザイリンクスの SDNet 仕様環境とその役割を解説するものです。SDN (Software-Defined Network) エLEMENTの定義、およびリコンフィギュレーション可能なネットワーク ELEMENTのインプリメンテーションの両方の場合について説明します。インプリメンテーションは、コントロールおよびデータの両プレーンに対して行います。

ネットワーク処理 : SDN 登場の前と後

近年、急激な普及を見せる OpenFlow などのプロトコルによって定義される SDN (Software-Defined Network) のルーツは、1990 年代後半に登場した最も初期のネットワーク プロセッサにまでさかのぼります。インライン パケット処理をネットワーク ノードのコントロール プレーンから分離するという考えは、ネットワーク機器 OEM と、これら OEM に製品を供給する半導体メーカーの両方が、ルーターとスイッチ上のタスク処理方法を見直すきっかけとなりました。オンチップ制御ユニットを使用する初期の通信プロセッサは、効率的なパケット転送とトラフィック管理を重視するデバイスに置き換えられました。

多くが MIPS や PowerPC コアなどの RISC アーキテクチャに基づいたコントロール プレーン プロセッサは、常にそのプログラマビリティを強調してきました。データ プレーンでパケット転送タスクを最適化する方法が浸透するにつれ、設計者はヘッダーのパーシングやビット フィールドの操作など多くのタスクを、ファームウェアによってプログラムおよびアップグレードできることに気付きました。トラフィック管理およびサーチ テーブルに関連する少数のタスクがルックアサイド プロセッサに割り当てられました。これらのプロセッサは、ASSP にインプリメントされる場合が多く、3 値 CAM を使用したサーチ エンジンのテーブル サイズなど、そのサイズや機能は固定されていました。

10 年以上にわたる NPU とソフト ネットワーク機能の発展の中で、ザイリンクスは SDNet (Software Defined Specification Environment for Networking) に取り組んできました。ドメイン固有の仕様環境の構築は、Gordon Brebner 博士が推進する研究プロジェクトとして、5 年ほど前に始まりました。2010 年、ザイリンクスに通信ビジネス ユニットが設立されたときから、SDNet はザイリンクスの設計環境を作り直すプロジェクトと併せて、商品化を目指すべき環境であると認識されていました。このとき刷新された設計環境が、やがて Vivado として製品化、発売されます。

SDNet はプロトコル、ハードウェア インプリメンテーションの詳細、パフォーマンス スケーリングに依存しないため、業界内でもほかに類を見ない柔軟性を誇っています。学界、ネットワーク OEM、NPU ベンダー、EDA ベンダーの多くが、パケット記述言語、パーシング言語、およびこれらの機能のいくつかをソフト ネットワーク ELEMENT設計で実現する高レベルのツールを定義しようとしました。しかし、いずれの機能も SDNet には遠く及ばないものばかりでした。

常に変化するソフト ネットワーク エlement

OpenFlow が台頭する以前、ルーターはあくまでルーター、Ethernet スイッチはあくまで Ethernet スイッチでした。ネットワーク エlementの定義がはっきりしていた時代、パケットのアプリケーションおよびトラフィック管理の固有タスクに最も適したハードウェアは、多くの場合 ASIC であると見なされていました。しかし現在、OEM は自社のネットワーク エlementが「ソフト」であることを売り物にするようになり、ハードコードの ASIC は FPGA、ネットワーク プロセッサ、マルチコア プロセッサの融合体にとって代わられつつあります。このようなプロセッサをプログラミングするソフトウェア ツールは本質的に多様化せざるを得ません。ツールの役割はチップの種類ごとおよびソフトウェア ベンダーごとに異なる上に、プログラマビリティ自体の性質も変化し、ツールもこれに合わせてきたからです。

5 年ほど前に、学界の初期研究プログラムの中には、パケットをオブジェクト指向およびマークアップ スタイルの構文で記述しようとするものがありました。NetPDL、PDML (Packet Details Markup Language) などプロジェクトの多くは、OSI スタックのレイヤー 1 ~ 7 のプロトコル動作を抽象化することだけを追求しました。仕様のハードウェアへのインスタンス化は検討しなかったのです。

Click Modular Router

真にオープンな仕様規格の 1 つは、5 年ほど前に、MIT の Click Modular Router というプロジェクトから生まれました。Click システムは、ルーター設定をサポートし、ルーターアーキテクチャの定義先のスレッドをスケジューリングすることを目的としていますが、コンフィギュレーションのパーシングもサポートするため、汎用的なパケット パーシングへと拡張できる可能性も秘めています。ザイリンクスは Click のElementを早くも 2003 年には取り入れ、これを使用したハードウェアを 2004 年の DAC カンファレンスに発表しました。Click システムは、その後 UCLA および新進の Mazu Networks (2009 年、Riverbed が買収) によってさらに開発が進められましたが、普及するには至っていません。

SDNet とハードウェアへの直接接続

ザイリンクスは、Vivado 環境の開発中に、これを SDNet と緊密に連携させるという野心的な目標を抱いていました。当初目標とした、カスタム ハードウェア コンポーネントをソフトウェア記述から生成するという機能は、パケット処理ブロック内のプログラマブル Element用ファームウェアを生成する SDNet の機能によってさらに強化されました。サードパーティのコンポーネントを統合する機能も備えました。いずれの場合も、機能を実行する環境は、特定のプロセス テクノロジーやバス スピードに縛られないものである必要がありました。

ザイリンクスの開発者は、仕様ソフトウェアはヒットレス アップデートを実行できなければならぬと考えました。リアルタイム パケット転送におけるパケット間で基盤ハードウェア

に変更を加えても、ラインレート サービスを中断しない機能です。ソフトウェアには、デバッグおよび検証用のテストベンチを生成する機能も必要です。

この高レベル仕様環境を構築するにあたり、ザイリンクスは基盤ハードウェアが実現すべき具体的なスピード、パラメーター、動作を、高レベルの機能記述とは独立して入力できるようにしました。入力する設計者は、基盤となる FPGA アーキテクチャについてほとんど知らなくてもかまいません。これによって Vivado ツールの能力は、同時に開発された垂直ドメイン ソフトウェア仕様環境により、VHDL レベルの FPGA 設計という狭い領域にとどまらず、通信や画像処理などの垂直アプリケーション分野に精通した設計者コミュニティへと広がります。シリコン デザイン フローのフロントエンドとして高レベルの仕様環境を構築することで、ザイリンクスはソフトウェア エンジニアリングの方法論に通じたシステムの専門家が、ハードウェア最適化においてもその手腕を発揮できるようにしたのです。

2012 年の Vivado 発売以前、ザイリンクスの統合ソフトウェア環境 (ISE) は新進の企業各社から取得した合成および配置配線ツールを使用していました。設計環境を再構築する目的は、一元化されたデータ モデルと、FPGA 設計の各段階に Tcl ベースのスクリプト言語を提供することでした。データ モデルを一元化すれば、FPGA 設計の複数の部分を同時に取り込み、設計プロセスの異なる段階で相互にプロービングすることができます。合成ツールから RTL レベルのシミュレーション モデルまたは C ベースのアルゴリズム IP コアを提供できる可能性もあります。最近ザイリンクスが採用した OpenCL 言語は、この能力を並列マルチコア設計にも拡大します。

SDNet と OpenFlow

ザイリンクス ISE から Vivado への再構築を進めているちょうどその頃、SDN (software-defined networking) に着目したルーターおよびスイッチ メーカーは学界のプロジェクトを取り入れはじめていました。やがて OpenFlow へと発展するプロジェクトです。OpenFlow プロトコル構築の目的は、パケット スイッチの動作を指示するコントロールプレーンのエレメントを、通常はサーバー関連のネットワークドメイン コントローラー内に配置される転送プレーン ハードウェア スイッチ自体から分離することです。1 つのコントローラーが転送ノードのすべてを総合的に監視し、フロー テーブルのエントリーをこれらのノードにプッシュします。ノードは与えられたフローに対して特定の動作を実行します。OpenFlow の最初のバージョンは、UC バークレーとスタンフォード大学の共同チームから生まれましたが、始まりはスタンフォード大学の Ethane と呼ばれる 2006 年のプロジェクトです。2011 年には OpenFlow をサポートするために Open Networking Foundation (ONF) が設立され、その監修の下、OpenFlow Version 1.2 がリリースされました。ONF を設立した企業は Google、Facebook、Microsoft などのデータ センター大手が大勢を占めましたが、現在では Cisco、Juniper、F5 Networks、Huawei、NEC、IBM、Dell、HP などもメンバーに加わりました。

データ センター マネージャーにとっては、ハードウェア スイッチの転送プレーン インタ

一フェイスを公開することで、ネットワーク機器の購入者をクローズされたアーキテクチャから解放できます。ルーター クラスターと垂直階層をオンザフライでリコンフィギュレーションし、トラフィック特性の変化に合わせてトポロジとパケット転送レートを変更できます。

ネットワーク機器の仕様ベース設計環境を使用するユーザーにとっては、OpenFlow その他の SDN 制御プロトコルへの大幅な移行が、SDNet の理想的なテスト ケースとなりました。ハードウェアは FPGA のインプリメンテーション レベル、さらにはインプリメンテーション後のシリコン内のインスタンス化レベルでも、ファームウェア更新によって変更できるようになります。しかし、コントロール プレーンと転送プレーンの最適化は、ネットワークにおける SDNet の役割の一側面ではありません。

SDNet はプログラマブル エlement に対してファームウェアのヒットレス アップデートに対応しています。このため、TCAM などの固定機能 Element のスループット、テーブル サイズ、ポート設定を最適化する場合でさえ、ネットワーク ダウンタイムなしで、特定のノードの機能をアップグレードできます。ザイリンクスは、従来の SDN よりさらに広範な環境を見据え、SDNet によってデータパスのインテリジェント化を図ります。SDN と SDNet の比較を図 1 に示します。

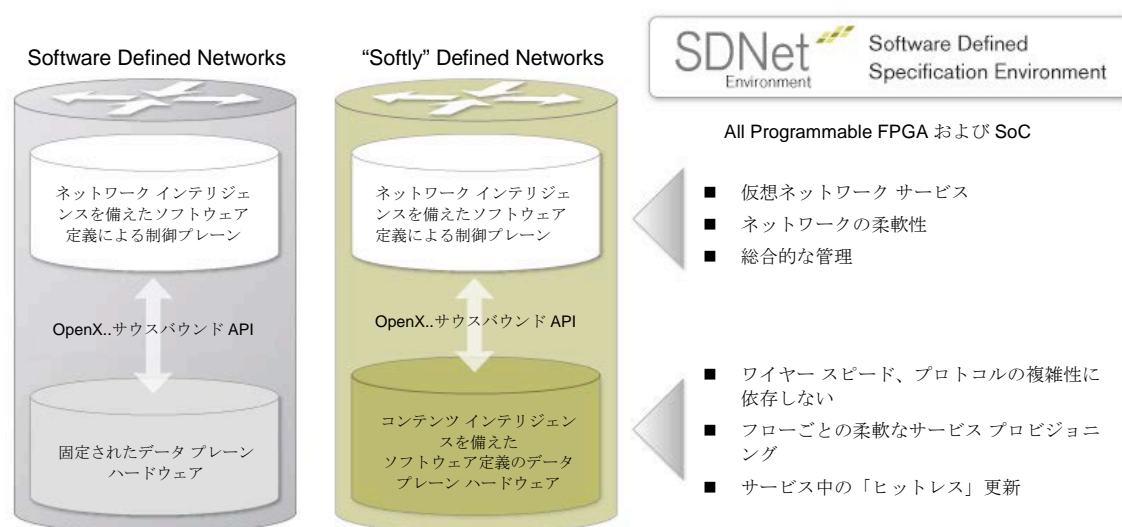


図 1：リコンフィギュレーション可能なデータ プレーンにおける高度なコンテンツ インテリジェンスが実現するより広範なプロビジョニング タスクとヒットレス アップデート

市場勢力図：各社各様、比較は困難

SDNet 特有のネットワーク Element コンフィギュレーションと同じ機能の提供を目指すツールがほとんど存在しないことはさほど驚くにはあたりません。ASIC および FPGA コ

コミュニティ、さらに汎用 EDA 企業では、ソフト ネットワーク用ツールの研究がほとんど行われず、ツールスイートにも SDNet に匹敵するものは一つもありません。NPU やコントロールプレーン CPU のベンダーは高レベル言語によってプログラミングをサポートするツールの提供には熱心であるものの、それらをマルチコア ユーティリティのレベル最適化に対応できるように拡張することには関心がありません。それが総スループットを向上し、NPU ソケットの衰退に拍車を掛ける可能性があるからです。同様に、ルーターおよびスイッチ分野の一部システム OEM は自社の ASIC ベース機器の動作をサポートする OpenFlow をサポートしていますが、ネットワーク エLEMENTの基盤ハードウェアが変更される領域には踏み込もうとしていません。

商用半導体のアプローチ

10 年以上にわたり最高レベルの性能を誇るパケット転送エンジンを提供してきた EZchip Technologies は、従来のデータプレーン NP ファミリーから新しい NPS への移行期のまっただ中にいます。新しい NPS は Linux で動作するマルチスレッド CPU を使用し、C 言語でプログラムします。従来、EZchip は自社のマイクロコード開発ツールセットを、シミュレータ、アセンブラ、サブルーチンライブラリを備えたコントロールプレーン CPU ツールと同等と見なしてきました。フレーム生成やデータ構造の自動生成に使用するほかのツールは、データパス エンジン間の共通性がより高くなります。将来の C ベースの NPS 向けツールセットも似たものになるでしょう。EZchip のアーキテクチャは、アプリケーションライブラリを使用することで予備評価できます。このライブラリは、ラベルスイッチング ルーター、L2 スイッチ、VPLS、ファイアウォール、アクセス制御リストなどの定義済みタスクによって NP 機能ブロックのプログラミングを簡素化します。したがって、ライブラリは FPGA のソフト IP ライブラリ エLEMENTとさほど異なりません。

Marvell は、同社の Xelerated プロセッサ向けに、総合的なデータプレーンソフトウェアスイートを 2 種類提供しています。Metro Ethernet および Unified Fiber Access アプリケーションは、いずれも NPU 上で動作するアプリケーション パッケージと、ホスト CPU 上で動作するコントロールプレーン API によって構成されます。後者の API は、ブートスクリプト、コンフィギュレーション モジュール、コントロールプレーンから転送プレーンにアクセスする定義済みメッセージなどの、ハードウェア適応レイヤーに基づいています。OEM 顧客は製品の市場投入までの期間を短縮できる可能性があります。変更は Marvell が提供するソースコードを介してしか行なえません。プロセッサ自体はアセンブリコードを使用します。

Cavium は、同社の Octeon ファミリー向けに、より汎用性のあるソフトウェア開発キット (SDK) を選択しました。この SDK には、GNU ツールチェーン、シミュレータ、グラフィカル解析向けに Cavium 独自の ViewZilla、パケットの詳細解析用に正規表現パターンコンパイラが含まれます。垂直ソフトウェア ツールキットは、SSL、TCP、IPsec、これらに類するレイヤー 3 ~ 5 の共通機能が使用する C ベースのルーチンを提供します。いくつかのデータパス エLEMENTを含む汎用コントロールプレーン CPU は柔軟性に優れてはいるものの、パケット処理向けに最適化されているとは到底言えません。

Freescale は PowerQUICC および QorIQ ファミリによって長年実績を積んできた企業です。自社のコントロール プレーンおよびデータパス エンジンの混在環境を最適化する、充実したソフトウェア ツール群を提供しています。しかし、Processor Expert、CodeWarrior、VortiQa ファミリのツール スイートは圧倒的な威力を発揮する可能性はあるものの、互いに完全に統合されることはなく、SDN のすべての概念をサポートするには設計されていません。Freescale の MPU および MCU のファミリには、それぞれ独自の Processor Expert ソフトウェア スイートがあり、そのうち最も関連性の高いものが、特定のタスクに合わせてマルチコア プロセッサを設定する QorIQ 最適化スイートです。QorIQ は、特定の CPU アーキテクチャに対して、コントロール プレーン タスクの総合的なコーディング プラットフォームである CodeWarrior Development Studio とリンクできます。垂直アプリケーションを構築する VortiQa は SDN に最も近づいたスイートと言えるでしょう。Freescale は、オープン ネットワーク ディレクター ソフトウェアとオープン ネットワーク スイッチ ソフトウェアを含む、SDN に特化した VortiQa を発売したからです。VortiQa 向けの SDN アプリケーション スイートは、SMB や無線インフラストラクチャなどに対して Freescale が提供するほかのスイートと同様に、既存の通信プロセッサ アーキテクチャの特性評価に役立ちます。Freescale の Data Path Acceleration Architecture はプロセッサ ファミリの各種製品にコンフィギュレーション可能なエレメントを多数提供し、VortiQa ツールはコプロセッサのユーティリティを豊かにしています。しかし、これは ザイリンクスが SDNet で提供するような、完全なソフト コンパイル式のソリューションではありません。

ネットワーク機器 OEM

スイッチやルーターのメーカーは、SDN 導入に対して終始ある程度の躊躇を見せてきました。SDN はこれらのメーカーのビジネスのまさに中核となるネットワーク エレメントの共用化につながるからです。それでも Cisco や Juniper などのアーキテクチャのリーダー的企業は SDN を避けて通れないものと認識し、プログラミングやコンフィギュレーション ツールの顧客への公開を推進しています。パケット転送カードと I/O ライン カードをミッドプレーンまたはバックプレーンにどのように振り分けるかの判断を手伝う場合もあります。しかし、ハードウェアのリアルタイム リコンフィギュレーションを顧客が直接判断できるようにすることまで OEM に奉仕を求めるのは期待しすぎでしょう。

たとえば、Cisco は SDN への移行を容易にする eXtensible Network Controller (XNC) プログラムによって、スイッチとルーター向けコンフィギュレーション ソフトウェア スイートを強化しました。Monitor Manager と呼ばれるハイブリッド ソフトウェア パッケージが、既存のコントロール プレーンを維持し、外部コントローラーを追加します。同時に、コア ルーティングを担う Cisco の最も複雑な ASIC は、ユーザー コンフィギュレーションを可能とするフックを増やしています。最新のコア ルーターを QuantumFlow から nPower X1 にアップグレードする際、Cisco はパケット ロスなしのフィールドでのヒットレス ソフトウェア アップグレードと、完全な OpenFlow SDN インプリメンテーションのためのより優れた顧客データパス制御を約束しました。しかし、いずれも、顧客がファームウェアによって

ASIC をプログラムする際の機能を強化するものであり、ハードウェアによる OpenFlow の完全サポートには至っていません。

Juniper は、4 年前に Trio チップセットを導入して以来、顧客コンフィギュレーションの柔軟性を高めてきました。ルックアップ、メモリ、キューの独立したデータパス プロセッサは MX ルーター内である程度まで再利用できますが、基本的なハードウェア機能は変わりませんでした。2013 年の後半に、Juniper は Contrail Systems を買収し、Contrail SDN コントローラーを導入しました。このコントローラーは、エンタープライズ データ センターまたはサービス プロバイダーの物理ネットワーク リソースを仮想化できます。新しいサービス プロバイダー パッケージである Junos Fusion によっていくつかのリソース管理機能を追加できましたが、特定のルーターまたはスイッチの粒度レベルより上のみを対象としています。

2014 年はじめの数週間に、Huawei の SoftCOM 仮想化ツール、Alcatel Lucent の Cloudband など、競合他社も続々と追随してきました。これらのツールはどちらもセッション ボルダー コントローラーなどのオープン ノードに対する可視性を拡大します。しかし、どの製品においても、SDN ベースのリコンフィギュレーションは基盤ハードウェアではなく、ネットワークトポロジを対象としています。これは、OEM がコントロール プレーンと転送プレーン間のオープン インターフェイスの粒度レベルをサービス プロバイダーやデータセンター マネージャーに受け入れられる程度にとどめようとしているとしか考えられません。そうすることで、既存のプラットフォーム テクノロジを守ろうとしているのです。

EDA ツールおよび ASIC のベンダー

専用設計ツールによって作成する構造化された ASIC のベンダーが、純粋なファウンドリに似たビジネスを目指す 21 世紀の ASIC 業界に道を譲りつつある現在、非 FPGA のカスタマイズ シリコンを使用しつづける OEM の第 1 の選択肢は、EDA ベンダーが提供する商用ツールです。このため、ASIC を使用するネットワーク OEM に残された設計の方法論は、EDA 業界が提供するものだけになりました。ところが、Cadence、Mentor Graphics、Synopsys、およびより小規模な競合他社は、SDN のトレンドに気付いていないか、興味を示していません。

Synopsys の SoC 用 DesignWare による設計が、ソフト ネットワークの目標達成に最も近いと言えるものの、これは意図したものではなく、むしろ偶然の産物です。Synopsys は最近になってようやく DesignWare for Data Center SoC パッケージに 40G Ethernet コントローラー IP を加えましたが、SDN によるネットワーク機能の仮想化は検討していません。Synopsys と Cadence は、多くの場合サードパーティの IP サプライヤーを使用して、汎用の Ethernet および OTN IP を提供しようとしています。一方、近年の Mentor はネットワークからシステム レベル設計へと比重を移してきました。SDN を今後のリリースの最重要目標に掲げる EDA 企業は見当たりません。

この現象は、将来のネットワーク機器において ASIC または EDA ベースのカスタム シリ

コンが果たす役割が不透明であることを反映しているのかも知れません。大手ネットワーク OEM がカスタム データパスを使用した独自の NPU を開発する一方、新進企業は ASIC から FPGA や商用 NPU へと移行しつつあります。

FPGA 設計ツール

Altera と Tabula は、ネットワーク分野をターゲットとする大規模で複雑なデバイスを持った、ザイリンクスの 2 大競争相手と目されていますが、両社のデザイン スイートには SDN サポートへの移行の意図がほとんど認められません。Altera は、並列化を実現する高レベルの手段として OpenCL 向けの開発キットを追加し、Quartus II 設計環境の ARM の領域を強化しました。ザイリンクスと Altera は、どちらも OpenCL を採用しています。OpenCL は汎用であり、ネットワーク データ フロー向けに特にカスタマイズはされていないことに注意が必要です。現在、Altera の Quartus II に含まれる Qsys や DSP Builder などの個別ツールが、設計の一部コンパイルをサポートしていますが、開発を牽引する目標としてフィールドでのネットワークのヒットレス アップデートは含まれていません。

Tabula の Stylus コンパイラは異なるロジック プレーンを結合し、多重化された独自の ABAX2 アーキテクチャ「Spacetime」へと統合します。しかし、この風変わりな FPGA アーキテクチャはプログラムの初心者にはわかりにくいものです。昨年、Tabula はネットワーク向け ABAX2 への関心を高めるために、Ethernet パーシング評価キットをリリースしました。新しいソフト IP には、スケジューラと 400G ブリッジが含まれますが、いずれも Stylus で設計された固定 L2 Ethernet 機能に基づいています。

将来のネットワークのヒントとなるザイリンクスの SDNet

SDNet 環境は、ほかの垂直ドメインに対してザイリンクスが取ろうとしているアプローチを予見させます。総合すると、ザイリンクスの SD* 環境は、オンザフライで変更が可能であるというリコンフィギャブル アーキテクチャの考え方に立ち返り、プログラマビリティの意味を劇的に変化させる可能性を秘めています。SDNet は OpenFlow モデルへの支持の高まりと共にその機能を強化してきましたが、OpenFlow SDN の領域外での可能性、さらには Xilinx 7 や UltraScale アーキテクチャを超える領域における可能性もきわめて大きいと思われます。

SDNet はさまざまなタスクに対してハードウェアをどのように再構築すべきかを示すモデルとなります。再構築の方法としては、ファームウェアの再プログラミングと IP コアのコンフィギュレーション変更の両方が可能です。図 2 に、ライン カードを例に、SDNet 仕様からコンパイル、インスタンス化に至る代表的なフローを示します。

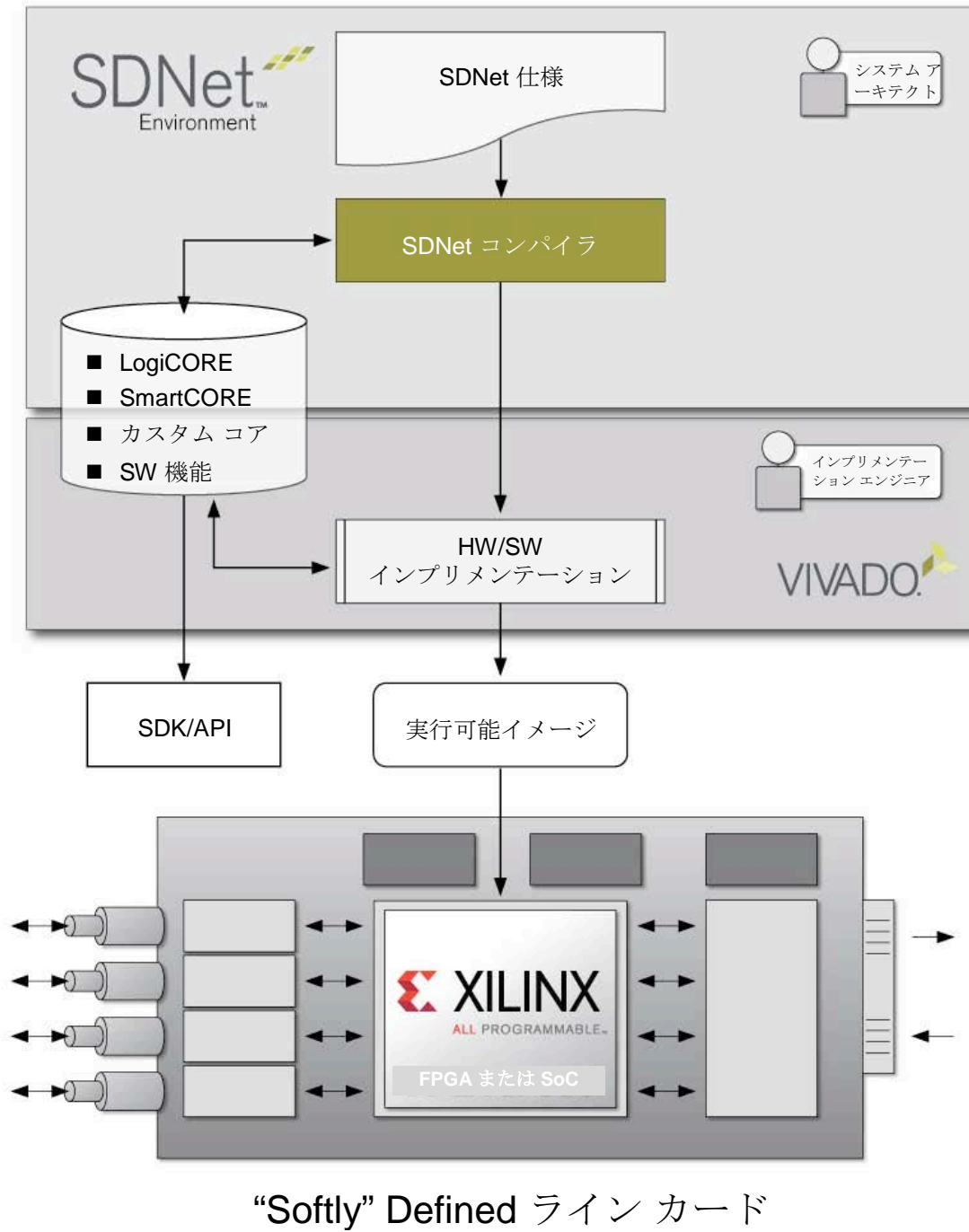


図 2 : SDNet コンパイルによって作成した実行可能イメージはザイリンクスの FPGA または SoC にインプリメント可能

QoS ポリシー エンジンやサーチ エンジンなどの専用エンジンの階層を相互接続する SDNet の機能は、高レベルの構文にしか通じていない設計者が、データプレーン エンジンとコプロセッサの接続によって動的に再プログラム可能なアーキテクチャを構築する際のモデルを提供します。ザイリンクスが採用する、機能仕様から VHDL へのコンパイルに至るデザイン フローは、業界では至極一般的なものです。したがって、ザイリンクスの仕様ベースの方法論をまねようとする開発者が現れてもおかしくありません。ザイリンクスは SDNet のエレメントを、特定の Xilinx 7 および UltraScale FPGA インスタンスエーションから切り離れたフォーマットで、標準化団体に公開することをほのめかしています。

現在のところ、SDNet には直接の競争相手はいません。SDNet は目の前の特定のタスク向けに再コンフィギュレーションできるハードウェアに、SDN の機能をインプリメントする方法を刷新するものだからです。これが OpenFlow ベースのネットワークに役立つことは当然ですが、ザイリンクスは一般的に SDN の領域と考えられている分野の外にも対応できる多用途なツールを定義しています。◆

筆者について

Loring Wirbel は The Linley Group のシニア アナリストです。The Linley Group はネットワーク用シリコン業界に関する最も包括的な分析を行っている企業です。当社はビジネス戦略だけでなく、発表されるあらゆる製品について、その内包するテクノロジーも分析します。週刊の刊行物と詳細なレポートは、Ethernet チップ、ネットワーク プロセッサ、マルチコア エンベデッド プロセッサ、無線基地プロセッサなどのトピックを取り上げます。詳細は当社のウェブサイト www.linleygroup.com をご覧ください。

この文書は論説であるため商標名にはトレードマークの記号を付記していません。これらの商標は、それぞれの所有者に属します。

この文書のスポンサーはザイリンクスですが、見解および分析はすべて筆者によるものです。

※この文書は英語にて作成され、本書は参照用に翻訳したものです。原文はこちらからご覧いただけます。 www.xilinx.com/publications/prod_mktg/linley-group-sdnet-wp.pdf