

## ザイリンクスCoolRunner-II: RealDigital CPLD

高性能かつ超低消費電力もはや妥協の必要はありません

今日の先進のシステムを開発するには、解決すべき課題が数多くあります。これまで設計者に許されたのは、高性能のCPLDか低消費電力のCPLDのどちらをとるかという選択肢だけでした。しかし、もはやこのような選択に悩む必要はありません。ザイリンクスCoolRunner-II:RealDigital CPLDは性能と消費電力のいずれに妥協することなく、1つのデバイスでこの両方を実現することができるのです。

新しいCoolRunner-II CPLDファミリは、Fast Zero Power™ (FZP) というザイリンクスの先進の第2世代スケラブルデザイン テクノロジーを採用しており、超低消費電力、かつ最大限のパフォーマンスを実現します。しかも、超低価格にて皆様にご提供していきます。100%デジタル コア、先進のシステム機能、最大385MHzの性能、100  $\mu$ A未満のスタンバイ電流を特長とするCoolRunner-II CPLDは、あらゆる最先端システムに適した完璧なソリューションです。



### 完全なプログラマブル ソリューション

CoolRunner CPLDが持つ多くのアドバンテージ。

- 最大385MHz**—あらゆる最先端アプリケーションに対応できる高い性能。クロック ダブラで最大500MHzのスイッチング レートを実現。
- 100  $\mu$ A未満のスタンバイ電流**—業界最小の消費電力。
- 1.8V動作**—I/O電圧も1.5V、1.8V、2.5V、3.3Vのロジックレベルと互換なので、マルチ電圧システムを容易に設計可能。
- 広い集積レンジ**—32~512個のマクロセル数範囲で、広範なアプリケーションに対応。
- 先進のシステム機能**—複数のI/O規格、クロック管理、デザイン セキュリティの向上によりデザインを簡素化。
- 完璧なソフトウェア サポート**—ザイリンクスのすべてのISEソフトウェア パッケージがCoolRunner-IIデバイスをフルサポート。
- 先進のパッケージ**—チップスケール (CSP)、TQFP、PQFP、VQFP、PLCC、ファインピッチBGAパッケージ。PC基板の節減、コストの最適化、高性能化の要求に応じて最適なパッケージを選択。
- Easy In System Programming (ISP)**—IEEE1532インシステムプログラミングとIEEE1149.1 JTAG Boundary Scanテストをサポート。
- 優れたピン固定機能**—ピンアウトを変更せずにデザインをアップデート可能なので、PC基板レイアウトの変更を最小限に抑え、フィールドでのアップデートが可能。

## 先進のシステム機能

### 先進のI/Oサポート

- LVTTLLおよびLVCMOSによるチップ間標準インターフェイス。
- SSTLおよびHSTLによるチップ/メモリ間標準インターフェイス。
- DataGATE機能により未使用ピンをディセーブルにして電力を節約。
- バスホールド機能により出力を最後に使用した状態のまま安定に保つことさらに電力を節約。
- 入力ヒステリシス (500mV) により雑音が多い低速のアナログ信号も調整可能。

### 優れたクロック管理

- クロック ダブラ: 入力スイッチ周波数の通倍により性能を向上。
- クロック分割器: 外部供給のグローバル クロック周波数を標準値で分割して消費電力をさらに低減。
- CoolCLOCK: クロック分割器とクロック ダブラを組み合わせて外部からの入力クロック周波数を半分に低減(クロック電力を低減)。マクロセルでは元の周波数になります。

### 比類のないデザイン セキュリティ

- 4段階のデザインセキュリティにより、不慮の上書きやパターンの盗用を防止。

### 無償リファレンス・デザイン

- MP3プレイヤー
- UARTとバス・コントローラ
- PicoBlazeマイクロコントローラ
- その他多数



A:6mm 56CP  
B:8mm 132CP  
C:12mm 44VQFP  
D:17.6mm 44PLCC

最小のフットプリント・パッケージによるリーダシッ (原寸大)

## ソフトウェア ツール

CoolRunner-II CPLDは、ISE WebPACK™、WebFITTER™、ISE Foundation™など、ザイリンクス統合ソフトウェア環境 (ISE) のあらゆるバージョンでサポートされています。



- ISE WebPACK™は無料でダウンロード可能なデスクトップソリューションで、HDLやABELによる合成およびシミュレーション、JTAGおよびサードパーティEDAをサポートし、ザイリンクスの全CPLDファミリはもちろん、Spartan-II、Spartan-II-E、Virtex-II、300K ゲートまでのVirtex-EFPGAファミリをサポートしています。

今すぐダウンロード!

- WebFITTER™はWebベースのデザイン フィッティングツールで、CoolRunner-IIをはじめとするザイリンクスのすべてのCPLDファミリを使用したデザインを評価することができます。WebFITTERでは、VHDL、Verilog、ABEL、その他の標準ネットリスト入力が可能です。また、他のCPLDメーカーを使って設計したデザインを、ザイリンクスCPLD用に変換することも可能です。

- ISE Foundationはフル機能搭載のソフトウェア環境で、ザイリンクスの現在のすべてのCPLDおよびFPGAファミリをサポートしています。

## ザイリンクスWebサイト

詳細については、下記のWebサイトをご覧ください。

[www.xilinx.co.jp/cr2](http://www.xilinx.co.jp/cr2)

## CoolRunner-IIファミリ一覧

	XC2C32	XC2C64	XC2C128	XC2C256	XC2C384	XC2C512
I/O規格	LVTTLLVCMOS 15,18,25,33	LVTTLLVCMOS 15,18,25,33	LVTTLLVCMOS 15,18,25,33 SSTL 2-1,3-1 HSTL1	LVTTLLVCMOS 15,18,25,33 SSTL 2-1,3-1 HSTL1	LVTTLLVCMOS 15,18,25,33 SSTL 2-1,3-1 HSTL1	LVTTLLVCMOS 15,18,25,33 SSTL 2-1,3-1 HSTL1
最大I/O	33	64	100	184	240	270
TPD(ns)	3.0	4.0	4.5	5.0	6.0	6.0
I/Oバンク	1	1	2	2	4	4
クロック ダブラ	有	有	有	有	有	有
入力ヒステリシス	有	有	有	有	有	有
DataGATEとクロック分割器			有	有	有	有
パッケージ	VQ44 PC44 CP56	VQ44 PC44 CP56 VQ100	VQ100 CP132 TQ144	VQ100 CP132 TQ144 PG208 FT256	TQ144 PG208 FT256 FG324	PQ208 FT256 FG324

## 販売代理店



The Programmable Logic Company<sup>SM</sup>

## ザイリンクス株式会社

本 社 〒163-1118 東京都新宿区西新宿6-22-1 新宿スクエアタワー18F  
営 業 部 TEL.03-5321-7730 (代) FAX.03-5321-7761  
マーケティング部 TEL.03-5321-7740 (代) FAX.03-5321-7762

大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-4-30 ニッセイ新大阪ビル13F  
TEL.06-6150-5515 (代) FAX.06-6150-5517

<http://www.xilinx.co.jp>

