



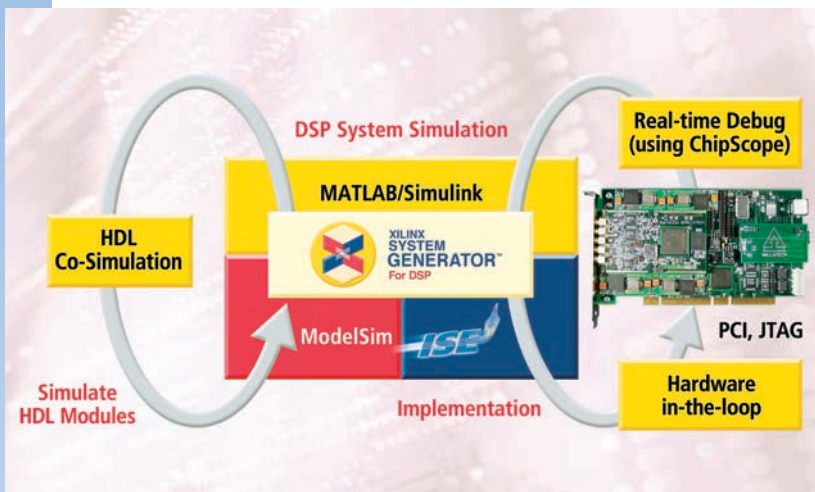
**XILINX
SYSTEM
GENERATOR™**
For DSP

DSP用システム・ジェネレータ

強力でハイレベルのDSPモデル化環境

ザイリンクスのFPGAは、高性能でプログラム可能な多くのDSPアプリケーションに、よく使用されています。しかしながら、ザイリンクスの汎用FPGA設計ツールとその操作方法に馴染みのない方、あるいはDSP設計手法を学ぶ時間のない方もいらっしゃるかも知れません。そのような方が、ザイリンクスのDSPテクノロジーを出来るだけ少ない労力で、最も有効に利用するにはどうすればよいのでしょうか？

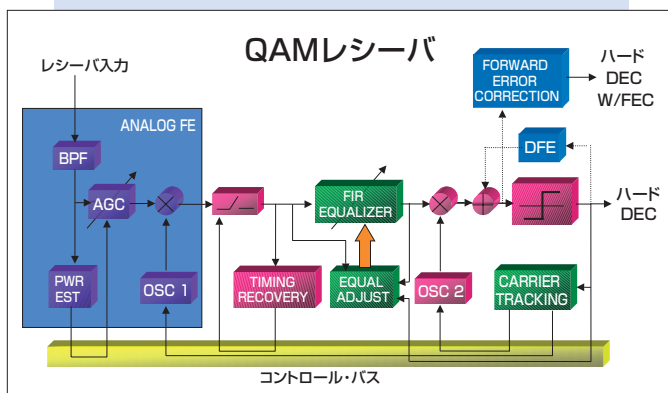
MathWorks社のMATLAB®/Simulink®環境下で、ザイリンクスのDSP用システム・ジェネレータを使用すれば、ユーザのDSPデザインをザイリンクスFPGAをターゲットにし、直接デザインすることが可能です。ユーザ・デザインは、自動的にザイリンクスのデバイス・アーキテクチャをもっとも効率よく利用可能で、もはやFPGAデザインにおけるVHDLやVerilog言語の理解で悩む必要はありません。これにより、他のソリューションをはるかに凌ぎ、最適化されたDSPデザインを自動的に取得することができます。



システムジェネレータの利点

DSP用システム・ジェネレータはSimulinkと使用して、DSPシステムをハイレベルな画像で表示できます。さらにDSPシステムを効率の良いハードウェア・インプリメンテーションにより自動的にマッピングするので、FPGAアーキテクチャをDSPアルゴリズムに合わせてカスタマイズすることができます。これにより以下に示す利点が得られます。

- 高性能**-ザイリンクスのVirtex-II Pro™シリーズFPGAをターゲット・デバイスにすれば、非常に高性能でマルチ・レートのDSPデザイン(最大300 MSPS)を容易に設計してインプリメントすることができます。さらにコストの要求がきびしいシステムではSpartanシリーズを使うことにより、費用効果の高い性能でDSPを実現できます。
- 強力でハイレベルのモデル化環境**-Simulinkは、アルゴリズムの開発と検証に広く利用されています。これを使用すると、デバイスのアーキテクチャを理解していなくても、最適な結果が得られます。
- 最適化され、予測可能で、低コストのインプリメンテーション**-Simulinkのシステム・モデルとFPGAのハードウェア・インプリメンテーションは、結果が一致するよう設計されており、ザイリンクスのデバイス・アーキテクチャ向けに特別に設計されたIP(知的設計資産)コアを使用すると、迅速で効率的なインプリメンテーションが行えます。IPブロックのラインアップは、数値演算から複雑なDSPファンクションまでの広範囲な機能が用意されています。
- ハードウェアインザループ**-これはDSPファンクションをリアルタイムでFPGAで検証できるものです。ザイリンクスのDSP開発キットなどを用いると通常数日かかる複雑な設計のシミュレーションを数分で検証できます。
- HDLコ・シミュレーション**-現在ユーザがお持ちのHDLコードをブラックボックスを通してメンターグラフィックス社のModelSimでシミュレーションをすることが可能です。SimulinkとModelSimのリンクはダイナミックでシミュレーションデータを2つのプログラムの間で共用できます。



強力でハイレベルのDSPモデル化環境

DSP用システム・ジェネレータはSimulinkと完全に統合されており、Simulinkのサンプル時間とデータ・タイプの伝達手法に適合しています。ザイリンクスの数値演算、論理回路、およびDSPファンクションを集めたブロックセットのライブラリを使用すれば、Simulinkでモデル化とフロントエンドのシミュレーションをすることができます。システム・ジェネレータには次の機能があります。

- ブロックのカスタマイズにはSimulinkのダイアログ・ボックスを使用し、MATLABとの対話を行い、MATLABの機能を使用したパラメータ化が可能です。
- FPGAのシミュレーションは、ビット数と周期に忠実に行われます。これにより、内部分解能とビット精度や待ち時間レベルを含む実際の動作性能を正確に表現します。
- 数値演算を自動的に抽象化することで、量子化とオーバーフロー検出を含む任意精度の固定小数点ファンクションが得られます。
- 倍精度や固定小数点動作をシミュレーションすることにより、デザインの中の時点で生じた量子化エラーでも検出します。
- ザイリンクスのISE環境下でザイリンクスのCORE Generator™と共に動作し、最新の広範なDSPアルゴリズムのポートフォリオやIPコアとしてインプリメントされたものを使用できます。

業界ベストの高い生産性

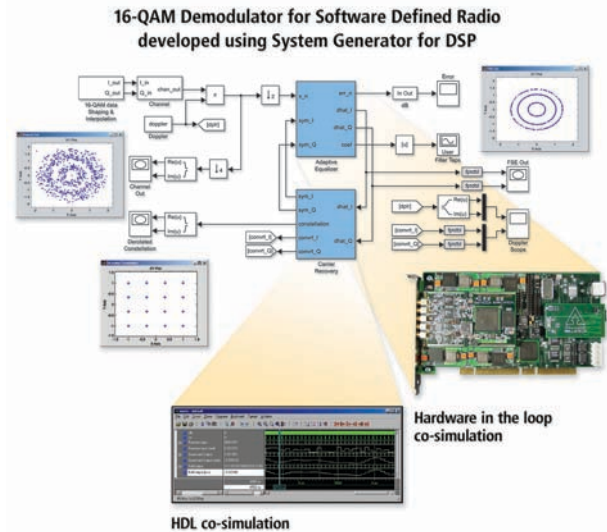
DSP用システム・ジェネレータは、階層構造を保持しながら、非常に良く最適化されたVHDLコードとIPコアを生成します。有用なファイルの生成には次のものがあります。

- ISEプロジェクトの生成によりデザイン・フローの簡素化
- HDLテストベンチとテスト・ベクター、およびシミュレーション用の.doファイル
- コンストレイント・ファイル(.ucf)は、タイミングのコンストレイント情報とI/Oの配置情報を提供
- ModelSimスクリプト・ファイルにより、ビヘイビア・シミュレーションを実行
- Verilog用に複数言語および、デュアル(二重)合成フローのサポート
- Simplify Pro, Leonardo Spectrum, およびザイリンクスのXST (ISE Foundation™ソフトウェアの一部)用プロジェクト・ファイル

また、16 QAMデモジェネレータ、ディスクリット・ウェーブレット変換、Costasループなど、10数種のデモ(参考デザイン)とチュートリアルファイルを提供します。

またDSPトレーニングクラスも開催中です。ご利用ください。

www.xilinx.co.jp/support/training/japan-learning-catalog.htm



重要なデバイス機能へのアクセス

Xtreme DSPソリューションの一部であるDSP用システム・ジェネレータには、IPコア、DSPクラス、DSPボードおよび業界最先端のFPGAが含まれます。このFPGAの機能としては次のものがあります。

- 最大556個のエンベデッド18×18乗算器、300MHzの動作スピード
- オン・チップのブロック・メモリが最大10 Mbit
- SRL16シフトレジスタ論理回路
- クロック・イネーブルやリセットなど、オプションの制御信号

ザイリンクスのDSP用システム・ジェネレータは、高速で、使い易く、かつ非常に強力なツールです。(パーツ番号:DS-SYSGEN-4SL-PC)、全体の詳細と60日間の無料評価版については、次にアクセスしてください:www.xilinx.co.jp/systemgenerator_dsp



パフォーマンス (性能)

Virtex-II Proは先進のDSPプロセッサよりもはるかに高速

機能	業界最速のDSPプロセッサ	高速性
8×8 積和演算 (MAC)	4.8 Billion MAC/s 600 MHz	1 Tera MAC/s 20X
FIRフィルタ -256タップ、リニア位相 -8ビット・データ/係数	9.3 MSPS 600 MHz	260 MSPS 260 MHz 26X
コンプレックスFFT -1024ポイント、 16ビット・データ	10.2 μs 600 MHz	1 μs* 150 MHz 10X

*96個のエンベデッド乗算器と192ブロックRAMを使用したVirtex-II Proの場合

販売代理店



The Programmable Logic Company.™

ザイリンクス株式会社

本社 〒163-1118 東京都新宿区西新宿6-22-1 新宿スクエアタワー18F
営業部 TEL.03-5321-7730(代) FAX.03-5321-7761
マーケティング部 TEL.03-5321-7740(代) FAX.03-5321-7762

大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-4-30 ニッセイ新大阪ビル13F
TEL.06-6150-5515(代) FAX.06-6150-5517

<http://www.xilinx.co.jp>