



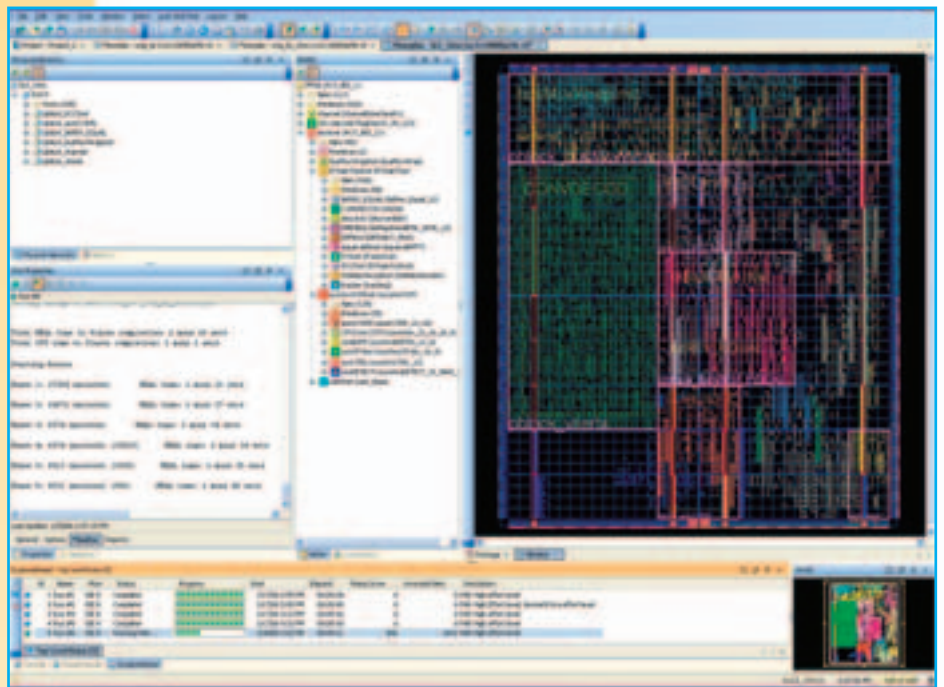
PlanAhead デザイン解析ツール

最高のパフォーマンスをより短時間で

今日の複雑なFPGAデザインは、さまざまな課題を抱えています。たとえば、予測不能な配線結果を引き起こしたり、配線集中度が高くなったり、相互接続が極度に制約されたり、クロックが複雑になったり、複数階層間を結ぶバスが発生したり、一貫性のないパフォーマンスのレベルが発生したりといった問題です。最新のEDAツールでも、これらの問題は個別に解決せざるをえず、その後フラットなデザインをインプリメントし直す必要があります。その結果、デザインの反復やプロジェクトの長期化によりコストが超過し、スケジュールにも間に合わず、最終的に市場機会を失うことにつながります。

PlanAhead™は、合成後に採用される階層的なデザイン解析ソフトウェア環境で、これを使用すると迅速にデザインを解析、修正、制約、およびインプリメントできます。その結果、デザインの反復回数や時間が大幅に削減されます。

PlanAheadでデザインのプロセス全体が最適化されるため、配置や配線の結果を従来より見通し良く予測できるようになります。「what if」シナリオを短時間で検証できるため、潜在的な問題を早期に発見・解決できます。PlanAheadでは、クリティカルパスやモジュールのグループ化が可能で、コネクティビティおよびロジック使用率の解析により配線性が改善され、タイミング仕様を満足する結果を得られます。PlanAheadの30日間無償評価版の詳細情報およびダウンロードについては、www.xilinx.co.jp/planaheadを参照してください。



優れたデザインへの最短の道

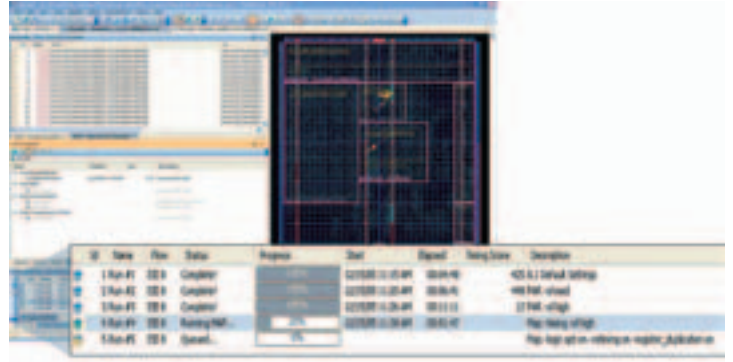
PlanAheadでは、より効率的なデザイン環境が提供され、問題を早期に発見・解決しパフォーマンスの目標を達成することができます。

- **比類なきパフォーマンス** – PlanAheadのパフォーマンスは、ISE™デザインツールと併用することにより、競合製品に比べて平均で30%向上します。より複雑なマルチクロック デザインでは、実に56%以上も向上します。このようなパフォーマンスの優位性により、2スピードグレード分のコストを節約できます。
- **強力で使いやすいツール** – PlanAheadは直感的な環境を実現しており、デザインの回路図や、フロアプラン、デバイス ビューが提供されます。デザインの階層を定義したり改善したりしてより良い結果を導き出し、リソースの利用効率を引き上げて、パフォーマンスと使用率を最適化します。
- **新機能ExploreAhead** – 複数のフロアプラン(いずれも個別のオプションを持つ)を作成し、優先順位を付けて複数のプロセッサでインプリメントすることができます。これにより、目標とするパフォーマンスを迅速に達成できます。さらに、デザイン戦略(インプリメンテーション オプションの種々の組み合わせ)をエクスポートして、チーム内の他の設計者が使用することも可能です。
- **パーシャル リコンフィギュレーションを簡易化** – PlanAheadは、強力かつ複雑なパーシャル リコンフィギュレーションのデザイン フローを簡略化します。パーシャル リコンフィギュレーションとは、静的部分が動作している間にデザインの動的部分を変更する独自の方法です。パーシャル リコンフィギュレーションにより、デザインの規模や重さ、コスト、電力を削減できます。
- **IPの再利用とチームワーク デザイン** – PlanAheadは、使用・再使用される場所にかかわらずブロック・レベルでの配置の制約を管理し、これによってIPコアのパフォーマンスを固定します。その結果、検証済みIPコアを使用することとなり、デザイン時間の短縮が実現します。PlanAheadを使用して、市販のIPとサポート対象のロジックを統合することもできます。

PlanAheadの新機能 ExploreAhead

ExploreAhead (右の図を参照) は、インプリメンテーション戦略探索ツールです。複数のインプリメンテーションの実行を管理することにより、ExploreAheadでは、配置および配線のオプションに関する方針、すなわち「戦略」をユーザーが作成、保存、共有できるようになっています。ExploreAheadを使用すると、ユーザーが定義した戦略や、または工場出荷時設定として事前定義された戦略に基づいて、複数のインプリメンテーションを実行できます。

ExploreAhead機能を利用して重要なテクノロジーを統合することにより、PlanAheadは、さらに生産性の高い環境となり、インタラクティブにインプリメンテーション戦略の探索および収束が可能となります。複数のwhat-ifフロアプランと、それらのフロアプランごとに実行するwhat-if ExploreAheadを組み合わせると、可能性の探索範囲が無限に広がります。ExploreAheadにより、このように大規模な空間を効果的に探索し、デザインに最適なインプリメンテーションソリューションを選択できます。



PlanAheadは、主に以下の機能を提供します。

- ブロックベースの階層的なインクリメンタル デザイン メソッド
- 複数のインプリメンテーション戦略を管理して最適な結果を実現する ExploreAhead
- 視覚的な探索を可能にし、デザインの問題部分を迅速に発見するメトリック マップ
- デザインのタイミング関連の実現性を調査するTimeAhead (内部スタティック タイミング 解析エンジン)
- ブロックの物理的サイズおよび配置変更を自動的かつに実行
- コネクティビティ、タイミング、使用率の解析
- Clock I/Oとクロック領域のプランニング
- ゲートレベルのフロアプランニングによる配置の微調整

PlanAheadが以下を実現します。

- デザイン時間を短縮し、反復回数を削減
- インプリメンテーション結果の予測性が飛躍的に増大
- 配線の密集に関する問題を早期に解決
- 汎用IPのリターゲット
- ロジックをより小規模で低価格のデバイスに実装
- タイミングに関する課題を解決し、パフォーマンス目標を維持

PlanAheadは、以下のプラットフォームでサポートされています。

- Microsoft Windows 2000/XP
- Sun Solaris 2.8/5.8、2.9/5.9
- Red Hat Enterprise Linux 3 (32/64ビット)

PlanAheadの30日間無償評価版の詳細情報およびダウンロードは>>>>www.xilinx.co.jp/planahead

販売代理店



The Programmable Logic Company, SM

ザイリンクス株式会社

本 社 〒163-1118 東京都新宿区西新宿6-22-1 新宿スクエアタワー18F

営 業 部 TEL.03-5321-7730(代) FAX.03-5321-7761

マーケティング部 TEL.03-5321-7740(代) FAX.03-5321-7762

大阪営業所 〒532-0003 大阪府大阪市淀川区宮原3-4-30 ニッセイ新大阪ビル13F

TEL.06-6150-5515(代) FAX.06-6150-5517

<http://www.xilinx.co.jp>

FORTUNE 2005
100 BEST COMPANIES TO WORK FOR

© 2006, Xilinx, Inc. All rights reserved. ザイリンクスの名称およびロゴ、その他本資料に記載のブランド名は米国およびその他の各国のザイリンクス社の登録商標または商標です。その他すべての名称は、それぞれの所有者に帰属します。