

Spartan-3 Generation FPGA – The Ultimate Low-Cost Applications Platform



ザイリンクス株式会社
<本社>
〒141-0032
東京都品川区大崎 1-2-2
アートヴィレッジ大崎セントラルタワー 4F
TEL : 03-6744-7777 (代)
FAX : 03-5436-0532
<大阪>
〒532-0003
大阪市淀川区宮原 3-4-30
ニッセイ新大阪ビル 13F
TEL : 06-6150-5515 (代)
FAX : 06-6150-5517
<http://japan.xilinx.com>

Corporate Headquarters
Xilinx, Inc.
2100 Logic Drive
San Jose, CA 95124
TEL : +1-408-559-7778
FAX : +1-408-559-7114
<http://www.xilinx.com>

Europe Headquarters
Xilinx Ireland
One Logic Drive
Citywest Business Campus
Saggart, County Dublin
Ireland
TEL : +353-1-464-0311
FAX : +353-1-464-0324
<http://www.xilinx.com>

Asia Pacific Pte. Ltd.
Xilinx, Asia Pacific
No. 3 Changi Business Park Vista,
#04-01
Singapore 486051
TEL : +65-6544-8999
FAX : +65-6789-8886
<http://www.xilinx.com>

製品に関する詳細情報は

japan.xilinx.com/spartan をご覧ください。

販売代理店：

XILINX[®]
The Programmable Logic Company™
japan.xilinx.com



鉛フリー デバイスをご提供

©2007 Xilinx Inc. All rights reserved. ザイリンクスの名称およびロゴ、その他本資料に記載のブランド名は米国およびその他の各国のザイリンクス社の登録商標または商標です。また、The Programmable Logic Company はザイリンクスのサービスマークです。その他すべての名称は、それぞれの所有者に帰属します。

Printed in Japan
PN0010829-1-200701R1_J



XILINX[®]

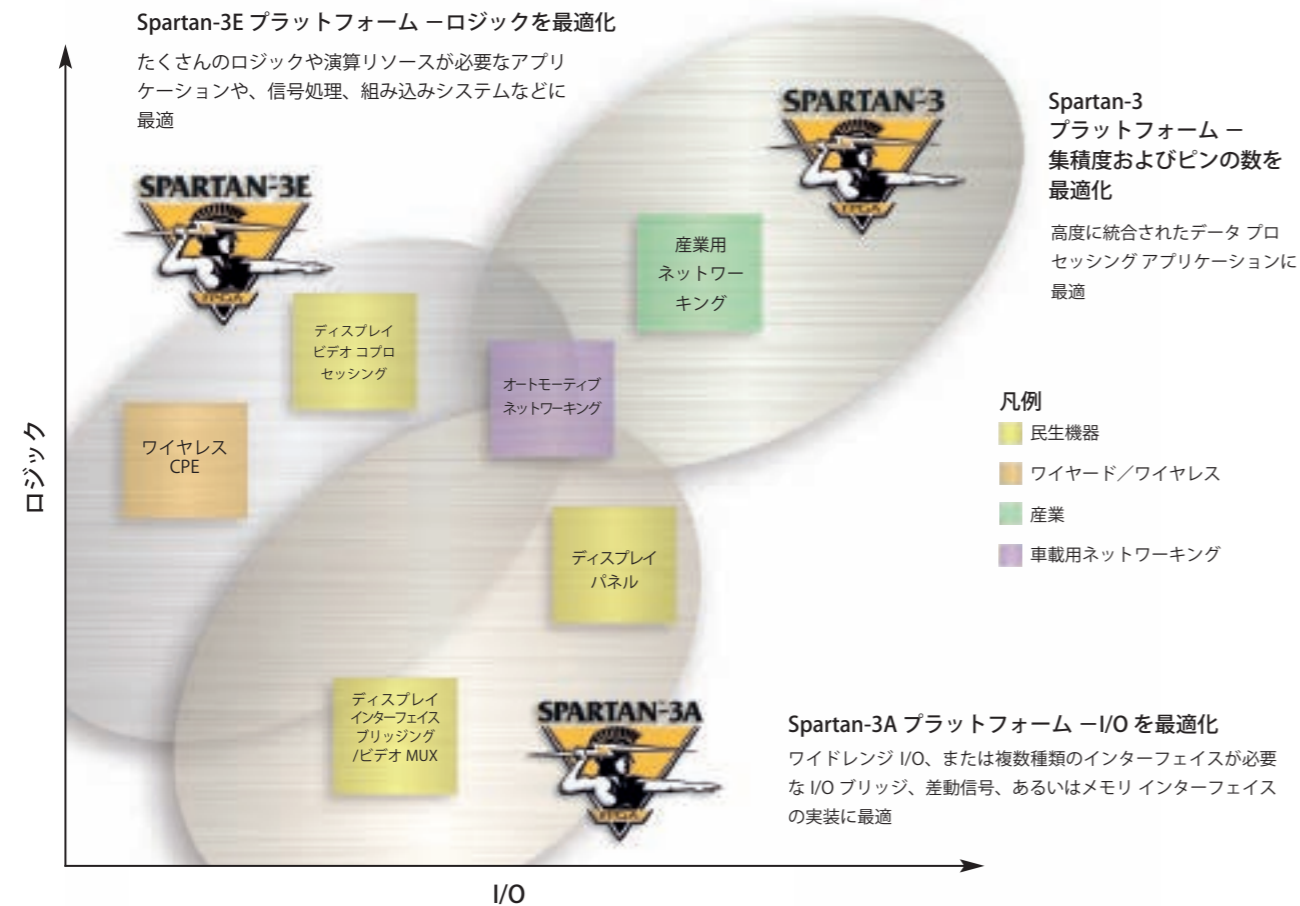
量産アプリケーション に最適な FPGA

1つのジェネレーション

それぞれのドメインごとに最適化されたプラットフォーム

Spartan™-3 ジェネレーション FPGA は、新製品として Spartan-3A プラットフォームが追加され、低コスト アプリケーションで要求されるロジック、コネクティビティ、ハード IP にかかるコストをそれぞれ最適化した3つのプラットフォームの選択が可能になりました。新製品の Spartan-3A FPGA は、I/O の数や I/O の機能を重視するアプリケーションに最適化されており、従来の Spartan-3E や Spartan-3 プラットフォームを補完するものです。

Spartan-3 ジェネレーション FPGA は、業界で最もコスト効率がよく、量産が確立したプロセス技術を採用し既に 2,500 万個以上を世界中の数千のお客様へ出荷しています。



フレキシビリティおよび低コスト

量産アプリケーションごとの幅広い選択肢

Spartan-3 ジェネレーション FPGA は、世界中のさまざまなアプリケーションで採用されています。Spartan-3 FPGA は、インターフェイスやデータ規格の変更に素早く対応が可能で、最短の設計期間で機能性の差別化を実現し、さらに量産時のリスクを低減します。

アプリケーション例	アプリケーションにおける課題	Spartan-3 ジェネレーションのメリット
 フラットパネルディスプレイ	<ul style="list-style-type: none"> パネルボードおよびビデオ/チューナボードのコスト インターフェイスの絶え間ない進化 新規 ASIC での高い償却コスト リスクならびに製品ライフサイクルの短縮 主観的な画像品質要求の絶え間ない進化 競合のハードウェア製品との差別化 	<ul style="list-style-type: none"> 3つのドメインに最適化されたプラットフォームを用い、多種のアプリケーションへ低コストで適合 オンチップ差動ターミネーションや LVDS、RSDS、mini-LVDS、PPDS、TMDS など幅広い I/O 規格に準拠した SelectIO™ 技術の提供 前処理または後処理ビデオ エンハンスメント、LVDS TxRx、周辺機器インターフェイスブリッジングソリューションの提供 TCON（タイミング制御）およびビデオコプロセッシングの柔軟性の確保 柔軟な周辺デバイスとのインターフェイスおよびビデオスイッチングの提供 緻密なガンマ補正やイメージ デザリング、色温度補正、その他のビデオ エンハンス機能の容易な実装支援
 セットトップボックス	<ul style="list-style-type: none"> メモリ、ディスク、その他のコンポーネントのインターフェイス規格の進化 複数の製品で要求される機能実現部品の在庫管理 低消費電力、低コストのビデオプロセッシング機能の差別化 条件付きアクセス/セキュリティ用のアルゴリズムの高速化とアップデート 	<ul style="list-style-type: none"> 最高 26 種類の異なった I/O 規格に対応した SelectIO 技術の提供 シングルパッケージ内でのマルチポート リンク構成と集積度マイグレーションの実現 業界をリードする価格、パフォーマンスを提供するデジタル ビデオ デコーディング用の XtremeDSP™ 技術の実装 認証およびコンテンツの暗号化用高速、コンパクト IP コアの提供
 ワイヤレスアクセス	<ul style="list-style-type: none"> 加入者宅内機器の低レベル MAC レイヤコプロセッシング 誤り訂正 (FEC) および DSP コプロセッシングの効率性 周辺デバイスとのブリッジングおよびインターフェイス 	<ul style="list-style-type: none"> MAC、FEC、暗号化、デジタルアップ/ダウン変換およびセキュリティ用の IP コアの提供 柔軟で高性能な XtremeDSP 技術の実装 オンチップ ターミネーションおよび幅広い I/O 規格に対応した SelectIO 技術の提供
 産業イーサネットおよびモーション制御	<ul style="list-style-type: none"> 多数のブリッジング用接続プロトコル PWM および制御アルゴリズムのカスタマイズ化 モーションコントロールアルゴリズムの高速化 	<ul style="list-style-type: none"> EtherCAT、SerCOS III、CAN、イーサネット、PCI、PCI Express®用の IP コアの提供 柔軟なサイリンクス エンベデッド プロセッシング技術の提供 FSL (Fast Simplex Link) と XtremeDSP 技術を使用したハードウェアの高速化の実現
 オートモーティブ	<ul style="list-style-type: none"> 業界の生産工程および品質規格への完全な準拠 異なった自動車用途規格/マルチメディア規格の相互接続 	<ul style="list-style-type: none"> 業界および Q-Grade に対する拡張された自動車温度範囲: PPAP フルサポートおよび Spartan-3 と Spartan-3E プラットフォームに対する AEC-Q100 認定済み ブリッジング CAN、LIN、MOST、および USB2.0 とイーサネット用の IP コアの提供 業界をリードする価格/パフォーマンス/電力、およびフィルタリング、エッジ検出、コード用の IP を持つ XtremeDSP 技術 LVDS、SDS、その他規格に対応したオンチップ ターミネーションによる IO 技術の選択



究極の低コスト アプリケーション プラットフォーム

業界最高レベルの低コスト プログラマブル ロジック プラットフォーム

システム機能のより効果的な統合

- 高度なクロック管理により高性能システムに対するフレキシビリティとコントロール機能を向上
- 内蔵された 18Kb デュアルポート RAM ブロックによりプロセッサ コードとデータストレージを効率化
- 内蔵された 18 X 18 乗算器により信号処理を高性能化
- ロジック エリアの縮小に役立つ分散 RAM およびシフトレジスタ

柔軟な電力管理*

システムの消費電力の低減

- サスペンド モードにより FPGA の総消費電力を 40% 以上低減
- ハイパーネイト モードによりスタティック消費電力を最高 98% 低減



堅牢なアンチクローンセキュリティ*

デザイン クローンおよびアウト ソースによる量産体制の管理

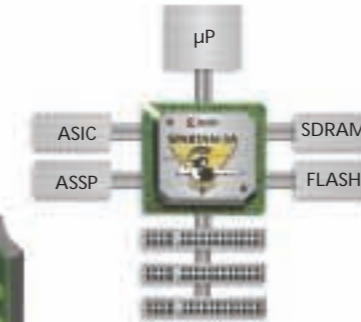
- すべてのデバイスにユニークなデバイス DNA シリアル番号を搭載してユーザー定義の認証が可能
- ユーザー定義の認証を使用したハード IP ならびにソフトウェア IP の究極の柔軟性



最も包括的なコンフィギュレーション機能

システム コストの削減や信頼性の高いアップグレード

- Platform Flash に加え、汎用シリアル (SPI) やパラレル フラッシュ メモリなど、低コスト コンフィギュレーションをサポートした幅広いフラッシュ メモリ
- 1つのハードウェアから複数のシステム コンフィギュレーションを実行可能なマルチブート機能



業界をリードするコネクティビティ

SelectIO™ 技術を使用したマルチブリッジング、差動信号、メモリ インターフェイスのインプリメント

- 一般によく使われているシングルエンドおよび差動信号規格をサポート (TMDS、PPDS、SSTL3 Class I & II など)
- PCI、PCI Express、USB、Firewire、CAN、SPI、I2C など前処理されたインターフェイス IP ソリューション
- ホットスワップに完全準拠して 3.3V に対応

幅広いパッケージ オプション

プラスチックからセラミック、小型 (8 X 8mm² CP132) から大型 (FG1156) まで選択が可能

- 同一パッケージ間での集積度マイグレーション オプション
- 全パッケージに鉛フリーを使用可能



低コストのソース同期インターフェイス技術を使用した優れた設計マージン

信頼性の高いデータ クロック同期の保証

- リアルタイムな柔軟性を持つダイナミック インพุット デレイ技術
- DDR および DDR2 メモリ インターフェイス設計の簡素化

*Spartan-3Aで新しく提供する機能

プラットフォーム	ドメイン最適化	最適なアプリケーション例	ロジックセル数	I/O 数	セキュリティ対策	電力管理	SelectIO™ 技術	DSP リソース	コンフィギュレーション
Spartan-3A	I/O の数と I/O 機能	幅広いまたは複数のインターフェイス—ブリッジング、差動信号、メモリ、インターフェイス	1,584 ~ 25,344	108 ~ 502	デバイス DNS を内蔵	サスペンド—最高 40% の削減 ハイパーネイト—最高 98% の削減 XPower アナライザ ツール	<ul style="list-style-type: none"> • 26 種類の差動およびシングルエンドの I/O 規格をサポート • オンチップ入力ターミネーションによるエンハンス差動信号 • TMDS、PPDS、RSDS、LVDS、DDR、DDR2、SSTL3 class I & II • 3.3V およびホットスワップに完全準拠 	<ul style="list-style-type: none"> • パイプライン型のエンベデッド 18 X 18 乗算器 • 18Kb のデュアルポート RAM • 分散 RAM およびシフトレジスタ 	<ul style="list-style-type: none"> • Platform Flash をフルサポート • マルチブートおよびウォッチドッグ機能を搭載したパラレルフラッシュ • SPI フラッシュ
Spartan-3E	ロジック集積度	低コストのロジック集積度—ロジックインテグレーション、DSP コプロセッシング、エンベデッドコントロール	2,160 ~ 33,192	66 ~ 376	SHA PROM を内蔵	XPower アナライザおよび Estimator ツール	<ul style="list-style-type: none"> • 18 種類の差動およびシングルエンド I/O 規格をサポート • 最高 16mA のドライブ • DDR メモリ インターフェイス 	<ul style="list-style-type: none"> • パイプライン型のエンベデッド 18 X 18 乗算器 • 18Kb のデュアルポート RAM • 分散 RAM およびシフトレジスタ 	<ul style="list-style-type: none"> • Platform Flash をフルサポート • マルチブート機能を搭載したパラレルフラッシュ • SPI フラッシュ
Spartan-3	高ロジック集積度および I/O 数	高ロジックおよび I/O 集積度—高集積データプロセッシング	最高 74,880	最高 784	XPower アナライザおよび Web Power ツール	XPower アナライザおよび Web Power ツール	<ul style="list-style-type: none"> • 24 種類の差動およびシングルエンド I/O 規格をサポート • 最高 24mA のドライブ • DDR および DDR2 メモリ インターフェイス 	<ul style="list-style-type: none"> • エンベデッド 18 X 18 乗算器 • 18Kb のデュアルポート RAM • 分散 RAM およびシフトレジスタ 	<ul style="list-style-type: none"> • インシステムが容易なリプログラマビリティ、圧縮、JTAG、ISE™ ツール全種類をサポート

高速で柔軟なコネクティビティ

カスタマイズ可能な低コスト ネットワーキング およびシステム インターフェイスをインプリメント

最適化されたシリコンおよびアプリケーションで指定のインターフェイス IP コアの提供により、汎用的な低コスト インターフェイス規格を容易にサポートします。

PCI Express

- PCI Express Base Specification v1.1 に完全準拠
- 開発ボードを含む PCI Express スタータ キット
- LogiCORE™ PIPE Endpoint IP for PCI Express
- サードパーティの PHY を使用したリファレンス設計
- バンドル提供価格



Spartan-3 PCI Express キット

PCI 33MHz および 66MHz、PCI 3.0 に完全準拠

- PCI 32 および PCI 64 の LogiCORE IP コア
- カスタマイズ可能なバックエンドの機能性

イーサネット

- 1000Mbps、100Mbps、10Mbps モード用の IEEE 802.3-2002 仕様に対応した設計
- カスタマイズ可能な LogiCORE トライモード イーサネット MAC
- イーサネット リンクおよび物理レイヤのインプリメンテーション用のイーサネット 1000BASE-X PCS/PMA または SGMII LogiCORE の統合



10/100 イーサネット PHY 搭載の
Spartan-3E スタータ キット

SPI4.2、OIF および SATURN® 仕様に機能的に準拠

- SPI4.2 (PL4) Lite LogiCORE は、Xilinx CORE Generator™ を使用して選択およびコンフィギュレーションしたシンクおよびソース コアを提供

CAN、ISO 11898-1、CAN2.0A および CAN2.0B 仕様 に対応した設計

- ユーザー コンフィギュレーション可能な CAN LogiCORE IP
- スタンドアロン モードまたは Xilinx MicroBlaze™ プロセッサに接続

素早く信頼性の高いメモリ インターフェイスを構築

ダイナミック インพุット デレイ技術およびメモリ インターフェイス ジェネレータ (MIG) ツールにより、DDR や DDR2 などの最新のメモリと信頼性の高いインターフェイスが低コストで簡単に構築できます。

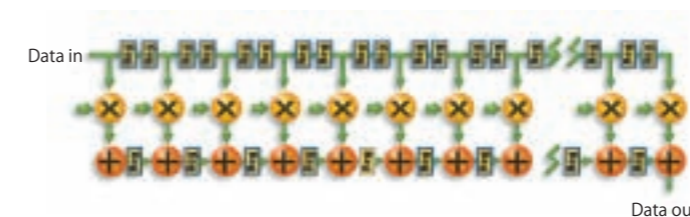
メモリ デバイス	インターフェイス	クロック レート	データ レート
DDR2 SDRAM	SSTL 1.8V	166MHz	333Mbps
DDR SDRAM	SSTL 2.5V	166MHz	333Mbps

低コストで高性能な デジタル信号処理

DSP アルゴリズムの効率的な高速化

Spartan-3 ジェネレーション FPGA は、コスト要求の厳しいアプリケーションに対して価格/消費電力/パフォーマンスが最適の DSP 信号処理ソリューションを提供します。エンベデッド乗算器やブロック RAM、分散 RAM、SRL16 シフトレジスタなどのデバイス機能に加え、AccelDSP™、System Generator for DSP などのツール、さらに事前検証済みの IO コアなどを提供する Spartan-3 ジェネレーションソリューションは下記のアプリケーションに最適です。

- ビデオ: H.264 コーディング、圧縮、カラースペース変換、ワーピング、ローテーション、スケーリング、エッジ検出
- マルチチャネルオーディオ: ノイズリダクション、変調と復調、エンコーディングとデコーディング
- 通信: サンプルレート変換、フィルタリング、ダウン/アップコンバージョン、変調と復調、誤り訂正 (FEC)、暗号化、圧縮、信号処理 (フィルタリングと安定化)、デシメーション



高性能 DSP システム用の 最先端モデルのインプリメンテーション ツール System Generator for DSP

System Generator for DSP は、FPGA を使用したハイパフォーマンス信号処理システムを設計する業界最高のツールです。MATLAB (The MathWorks, Inc.) や Simulink を用い、最新の FPGA を使用した高度の並列処理システム モデルを簡単に合成可能なコードを出力することができます。

System Generator は、最先端の FPGA、デザイン ツール、IP コア、パートナーシップ、デザイン サービスとトレーニング サービスを合わせて提供するザイリンクス XtremeDSP ソリューションの重要なコンポーネントです。



ハイパフォーマンス DSP システムをインプリメントする MATLAB 言語ベースのデザイン ツール AccelDSP

AccelDSP 合成ツールは、ザイリンクス FPGA 用の DSP ブロックを設計するための、ハイ レベルな MATLAB® 言語ベースのツールです。このツールにより、浮動小数点から固定小数点への変換が自動化され、合成可能な VHDL または Verilog が作成されるほか、検証のためのテストベンチを作成できます。また、MATLAB アルゴリズムから固定小数点 C++ モデル、または System Generator ブロックを作成できます。

AccelDSP 合成ツールは、最先端の FPGA、デザイン ツール、IP コア、パートナーシップ、デザイン サービスとトレーニング サービスを合わせて提供するザイリンクス XtremeDSP ソリューションの重要なコンポーネントです。



低コストで柔軟な エンベデッド プロセッシングソリューション

統合されたソフト エンベデッド プロセッサ

ザイリンクスは、柔軟なプログラマブル プロセッシングソリューションおよび開発キットを提供します。

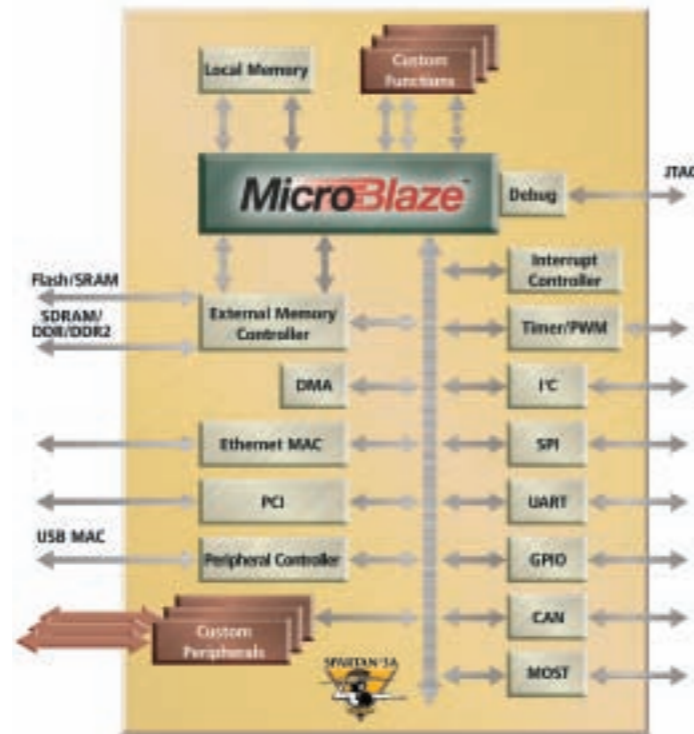
- ペリフェラルおよびリファレンス設計のフルセットを使用したカスタマイズ可能な 32 ビット MicroBlaze ソフト プロセッサ
- プロセッサやコードの陳腐化リスクを回避
- デザインのアップデートや変更に対応できる柔軟性
- エンベデッド開発キット (EDK) および Platform Studio™ ツール
- アセンブラ プログラムでの開発用小規模 PicoBlaze™ 8 ビット プロセッシングソリューション

エンベデッドプログラマブルシステムをデザインする エンベデッド開発キット (EDK)

エンベデッド開発キット (EDK) は、エンベデッドプログラマブルシステムをデザインするためのソフトウェアソリューションです。このキットには、Platform Studio ツールのほか、PowerPC ハード プロセッサ コアやザイリンクス MicroBlaze ソフト プロセッサ コアを搭載したザイリンクスプラットフォーム FPGA を設計するために必要なあらゆる関連資料および IP が含まれています。

エンベデッド開発キット (EDK) には、以下が含まれます。

- Platform Studio 統合開発環境 (IDE)
- Platform Studio ソフトウェア開発キット (SDK)
- エンベデッドシステムコンパイラとデバッガツール
- ボードサポートパッケージ生成
- プロセッサ IP ライブラリ
- MicroBlaze ソフト プロセッサ コア ライセンス



Spartan-3 ジェネレーション FPGA で 柔軟なエンベデッド プロセッシングシステムを構築 およびカスタマイズ

Spartan-3E 1600E Edition MicroBlaze 開発キットには、MicroBlaze ソフトウェア プロセッサ デザインをサポートする SP3E1600E 開発ボード、Platform Studio エンベデッド ツール および ISE デザイン ソフトウェアが含まれています。

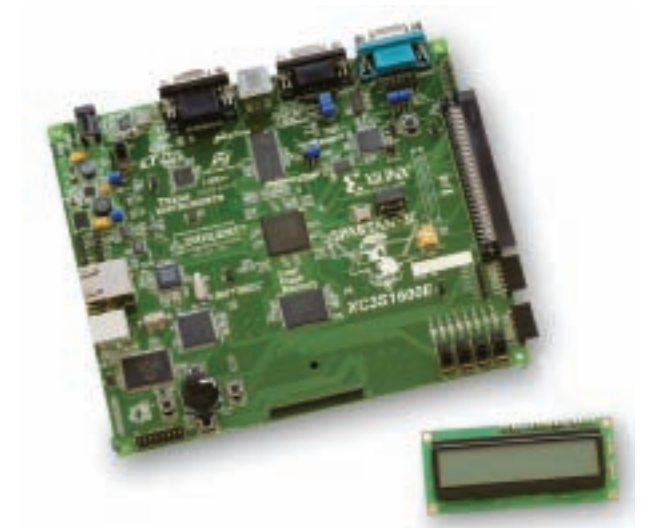
今後急増するソフト コア CPU を理解するためのハードウェアを、このキットで体験することができます。また、RTOS もサポートもされているため、OS を含めた最適設計の修得が可能です。



Spartan-3E 1600E Edition MicroBlaze 開発キット

開発キットには、以下が含まれます。

- ザイリンクス デバイス : XC3S1600E-4FG320C FPGA, XC9572XL CPLD
- Spartan-3E SP3E16 開発ボード
- Platform Studio エンベデッド ツール
- ISE WebPACK FPGA デザイン ソフトウェア
- 検証済みリファレンス デザイン
- 資料、JTAG プローブ、ケーブルと電源



Spartan-3E SP3E16 開発ボード

すぐに使えて 使いやすい スタータ キット

Spartan-3A FPGA のすべての機能へすぐにアクセス

Spartan-3A FPGA スタータ キットは、Spartan-3A ファミリのすべての機能の利用が可能で、RoHS 準拠の完全な開発ボード ソリューションです。待機時消費電力削減モードや高速 I/O オプション、DDR2 SDRAM メモリ インターフェイス、汎用フラッシュ コンフィギュレーション サポート、Device DNA による FPGA/IP 保護といったFPGA デバイス機能をすぐに使うことができます。



Spartan-3A スタータ キット

スタータ キットには、以下が含まれます。

- **ザイリンクス デバイス:**
Spartan-3A (XC3S700A-FG484) とプラットフォーム フラッシュ (XCF04S-VOG20C)
- **クロック:**
オンボードの 50MHz クリスタル オシレータ ユーザー クロック用 オプション スロット
- **メモリ:**
4Mbit プラットフォーム フラッシュ PROM、32M X 16 DDR2 SDRAM、32Mbit パラレル フラッシュ、2~16Mbit SPI フラッシュ デバイス
- **アナログインターフェイス デバイス:**
4チャンネルのD/Aコンバータ、2チャンネルのA/Dコンバータ、信号アンプリファイア
- **コネクタとインターフェイス:**
イーサネット 10/100 PHY、JTAG USB ダウンロード ポート、9ピン RS-232 シリアル ポート X2、PS/2 キーボード/マウス ポート X2、4,096 色の15ピン VGA コネクタ ケーブル、FX2 100ピン X1 と 6ピン拡張コネクタ X2、標準ヘッダピンに利用可能なユーザー I/O X20、PWM オーディオ用ステレオ ミニジャック、ロータリ/プッシュ ボタン機能スイッチ、独立した LED 出力 X8、スライダスイッチ X4、プッシュ ボタンスイッチ X4
- **ディスプレイ:**
16 キャラクタ - 2 ライン LCD



Spartan-3A スタータ キット開発ボード

品番	Spartan-3 集積度およびピンの数を最適化								Spartan-3E ロジックを最適化					Spartan-3A I/O を最適化				
	XC3S50	XC3S200	XC3S400	XC3S1000	XC3S1500	XC3S2000	XC3S4000	XC3S5000	XC3S100E	XC3S250E	XC3S500E	XC3S1200E	XC3S1600E	XC3S50A	XC3S200A	XC3S400A	XC3S700A	XC3S1400A
システム ゲート	50K	200K	400K	1000K	1500K	2000K	4000K	5000K	100K	250K	500K	1,200K	1,600K	50K	200K	400K	700K	1400K
ロジック セル	1,728	4,320	8,064	17,280	29,952	46,080	62,208	74,880	2,160	5,508	10,476	19,512	33,192	1,584	4,032	8,064	13,248	25,344
専用乗算器	4	12	16	24	32	40	96	104	4	12	20	28	36	3	16	20	20	32
ブロック RAM ブロック数	4	12	16	24	32	40	96	104	4	12	20	28	36	3	16	20	20	32
ブロック RAM ビット数	72K	216K	288K	432K	576K	720K	1,728K	1,872K	72K	216K	360K	504K	648K	54K	288K	360K	360K	576K
分散 RAM ビット数	12K	30K	56K	120K	208K	320K	432K	520K	15K	38K	73K	136K	231K	11K	28K	56K	92K	176K
DCM	2	4	4	4	4	4	4	4	2	4	4	8	8	2	4	4	8	8
最大シングル エンド I/O	124	173	264	391	487	565	712	784	108	172	232	304	376	144	248	311	372	502
最大差動 I/O ペア	56	76	116	175	221	270	312	344	40	68	92	124	156	52	112	142	165	227
VQ100 16 X 16mm	63	63							66	66								
CP132 8 X 8mm	89								83	92	92							
TQ144 22 X 22mm	97	97	97						108	108				108				
PQ208 30.6 X 30.6mm	124	141	141							158	158							
FT256 17 X 17mm		173	173	173						172	190	190		144	195	195		
FG320 19 X 19mm			221	221	221						232	250	250		248	251		
FG400 21 X 21mm												304	304			311	311	
FG456 23 X 23mm			264	333	333	333												
FG484 23 X 23mm													376				372	375
FG676 27 X 27mm				391	487	489	489											502
FG900 31 X 31mm						565	633	633										
FG1156 35 X 35mm							712	784										

注意：1. システム ゲートには RAM として使用する CLB が 20~30% 含まれています。
2. 表内のデバイス パッケージの数は、ユーザー I/O の最大値です。

短期間での設計を支援するザイリンクスの優れた開発ツール

- ISE Fmax テクノロジーおよび PlanAhead™ デザイン解析ツールにより素早くパフォーマンス目標を達成
- ChipScope™ Pro ツールのリアルタイム検証機能によりデバッグ サイクル タイムを削減
- オンライン リソース、トレーニング コース、プレミアム サポート サービスによる製品開発の高速化
- ソフトウェア、教育、サポート サービス、IP コアの XPA (ザイリンクス プロダクティビティ アドバンテージ) バンドルを提供