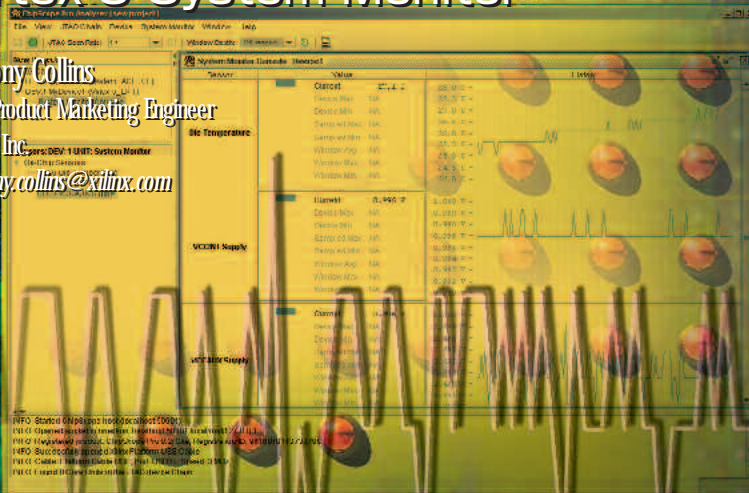


Enhancing System Management and Diagnostics with the Virtex-5 System Monitor

Virtex-5 System Monitor によるシステム管理と問題診断機能の拡張

FPGA 業界初のシステム管理機能
Virtex-5 System Monitor

Anthony Collins
Staff Product Marketing Engineer
Xilinx, Inc.
Virtex-5 System Monitor
anthony.collins@xilinx.com



通信業界では、高い可用性が求められます。受話器を上げたらすぐに発信音が聞こえるのが当然と思われています。ブロードバンドプロバイダが、いわゆる「トリプルプレイ サービス」を展開して音声と画像の送受信を実現しようと競争を激化させるなか、消費者は電話と同様の高い可用性を期待しています。

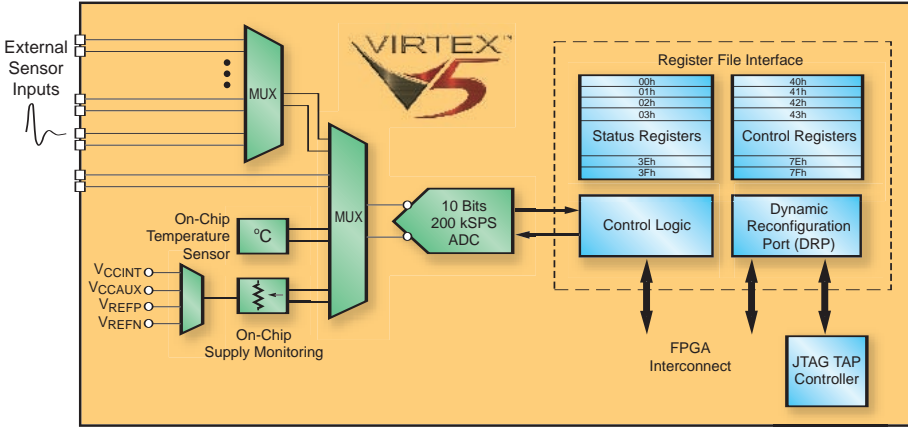
高い可用性は、システムを構成するハードウェアに冗長性を組み込むことではじめて可能になります。この冗長性を効果的に管理するには、システムがその稼動状態を監視し、障害が発生した際には消費者がダウンタイムに気付く前にバックアップハードウェアに切り換えを行う必要があります。物理環境を注意深く監視することで、コンポーネントに障害が生じた際に事前に策を講じることができるのです。そのためには、温度や電源電圧、湿度、冷却性能などの可変要因を記録する各種センサを用いて、シャーシ内の物理環境を監視する必要があります。

高い可用性が求められるインフラストラクチャでは、FPGA は重要なビルディングブロックとなります。したがって、FPGA のオンチップ環境とシステム内のその近隣周辺を慎重に監視することが大切です。ザイリンクスの Virtex™-5 System Monitor は、FPGA とその外部環境を容易に監視することが可能です。

Virtex-5 System Monitor

Virtex-5 System Monitor を使用することで、FPGA のオンチップ（ダイ）温度と電源環境に関する情報に容易にアクセスできます。また、最大 17 の外部センサを監視する外部アナログ入力チャネルを通して、外部センサの情報にアクセスすることも可能です。どのような機能を必要とするかにもよりますが、この情報にアクセスするには、デザインに対して手を加える必要はほとんどありません。アラームや自動チャネルシーケンサ、データ平均化といった一般的な機能は、

図 1 Virtex-5 System Monitor



System Monitor ブロック内に用意されているため容易に開発できます。

図 1 は、Virtex-5 System Monitor のブロックダイアグラムです。これは、10 ビット、200 キロサンプル/秒のアナログ/デジタル コンバータ (ADC) をもとに作られています。ADC のアナログ入力レンジは 0V~1V です。解像度 10 ビットでは、ADC は約 1mV の精度で入力電圧を解像できます。

図 1 に示すとおり、オンチップ センサと外部アナログ入力チャンネルの両方がアナログマルチプレクサを用いて ADC の入力に接続されています。このため、さまざまなセンサの出力電圧を ADC によってデジタルワードに順次変換する必要があります。これらの測定結果はステータスレジスタに書き込まれ、FPGA ファブリックを用いて容易に読むことができ、また FPGA と PC 基板の JTAG インフラストラクチャを通して外部的に読むことも可能です。System Monitor の制御レジスタは、同じインターフェイスを用いて書き込み、または読み込みが行えます。測定用センサチャンネルの選択やプログラムアラームのリミット、センサの平均化など、System Monitor の動作は制御レジスタによってコンフィギュレーションされます。System Monitor は、電源投入後すぐに完全に機能します。正しく動作させるために FPGA をコンフィギュレーションする必要はありません。デフォルトでは、電源投入後オンチップ センサのみを監視するようになっていますが、外部アナログ入力をイネー

ブルすることもできます。コンフィギュレーション前に測定情報にアクセスするには、JTAG テスト アクセス ポート (TAP) を使用します。

ユーザー アラーム

System Monitor に組み込まれている便利な機能の 1 つに、オンチップ センサ用のアラーム信号を生成する機能があります。これらアラーム信号には、しきい値を指定できます。System Monitor はセンサを自律的に監視し、アラーム条件が検出されたときのみシステムにアラートを送ります。

また、System Monitor には温度超過 (OT) という工場出荷時のアラーム条件の設定も可能です。この機能をイネーブルすると、System Monitor が 125°C を超えるダイ温度を検出した場合、チップ全体の電源切断を要求できます。ダイが指定された温度まで冷却すると、チップに電源が投入されます。System Monitor は、チップの電源切断中も稼動しオンチップ センサを監視します。

デフォルトでは、OT の機能はオフになっているため、明示的にイネーブルする必要があります。

チェック機能

Virtex-5 System Monitor を用いて精度と信頼性の高い情報を得るには、測定データとモニタの動作について信頼性をチェックする必要があります。System Monitor に

は、動作の信頼性を確認するのに役立つたくさんの機能が用意されています。ADC やセンサに組み込まれているオート キャリブレーションにより、動作環境に起因するアナログ測定システムのドリフトを補正します。また、システム ホストは、自己チェック機能により System Monitor の動作を監視することが可能です。

System Monitor JTAG アクセスの活用

Virtex-5 System Monitor の新しく追加された機能として、JTAG TAP を用いてブロックのあらゆる機能にアクセスすることが可能になります。アナログ テストとアナログ情報へのアクセスが可能になることで、システム内の既存の JTAG インフラストラクチャの価値や効率をさらに高めることができます。JTAG へのアクセスは、FPGA のコンフィギュレーション前に生産中の PC 基板のテスト手法の一部として使用したり、あるいは通常の動作中にデバッグを容易にするために利用したりできます。

PB 基板上の電源電圧や電流などのオフチップの測定を容易にするため、特殊な JTAG コマンドを使って、FPGA のコンフィギュレーション前に外部アナログ入力をイネーブルできます。FPGA のコンフィギュレーション後も、System Monitor はデザインに明示的なインスタンス化を必要としないため、設計段階の終盤であっても機能へのフル アクセスが可能で、JTAG TAP 経由でデバッグ作業を行ったりできます。System Monitor を確実に動作させるために必要な唯一の条件は、PC 基板を正しくサポートすることです。そのためには、System Monitor ユーザー ガイド (<http://japan.xilinx.com/vdocs/userguides/ug192.pdf>) で解説しているとおり、外部の 2.5V リファレンス IC への接続です。

図 2 は、FPGA の物理的な動作環境を通常の動作中に監視する代表的な診断アプリケーションです。図 2 の例では、時間 t0 で始まる膨大な電流需要の間、電力供給システム (PDS) における電圧 (IR) 低下を見るために System Monitor が使われていま

す。また、FPGA の温度も監視されています。電源や PC 基板のデザインにおける潜在的な問題は、開発中に素早く判別できます。JTAG アクセスは、特定のデザインに対する冷却が十分であるかを簡単に確認できます。ChipScope™ Pro Analyzer を使用すると、System Monitor に簡単にアクセスすることが可能で、他の JTGA テスト環境やプログラミング環境に簡単に取り込むことができます。

システム統合

JTAG TAP を用いた便利なアクセスに加え、FPGA ファブリックを通して System Monitor の制御レジスタとステータスレジスタにフルアクセスすることも可能です。これらのレジスタは、ファブリックからいつでもコンフィギュレーションを行い読み込むことが可能です。JTAG TAP コントローラとファブリック インターフェイスによって System Monitor の両レジスタにデュアルアクセスすることも可能で、衝突の可能性を避けるためアービトレーション スキームが用意されています。

System Monitor がデザイン上にインスタンス化されており、FPGA のコンフィギュレーション中に初期化されている場合、これらレジスタの内容を定義することが可能です。したがって、コンフィギュレーション後にユーザー定義の動作モードで起動するよう System Monitor をコンフィギュレーションすることができるようになります。ファブリック インターフェイスはダイナミックリコンフィギュレーション ポート (DRP) と呼ばれています。DRP は 16 ビットの平行同期データポートで、ブロック RAM に似ています。

System Monitor をもっと細かく制御する必要のあるより高度なアプリケーションについては、DRP を使うことによってハードもしくはソフト マイクロプロセッサのペリフェラル アドレス スペースに System Monitor を簡単にマッピングできます。図 3 は、MicroBlaze™ プロセッサがプロトコルライクなインテリジェント プラットフォーム管理インターフェイス (IPMI) を走らせなが

ら、イーサネットやシンプルな UART/モデムなどの管理チャンネルを介してシステム ホストと通信している、代表的なシステム管理アプリケーションです。

System Monitor はまた、汎用 ADC として重要なマイクロプロセッサ ペリフェラルを提供します。マイクロコントローラによく使われるアナログ ペリフェラルが FPGA に統合されたのは業界初です。ADC の動作はフルに制御できます。ADC は多数のサンプリング モードを備え、単極、双極、フル差動のアナログ入力方式をサポートします。

結論

Virtex-5 System Monitor は、一般的なオンチップ環境や外部環境の監視ニーズに非常にシンプルなソリューションを提供します。System Monitor が提供する機能は、最小限の開発とデザインで容易に利用することが可能です。System Monitor を JTAG TAP コントローラにインターフェイスさせることで、JTAG の機能は新たなアプリケーション分野で広く活用され、新たなテスト機能を実現しています。

図 2 System Monitor の測定値には JTAG TAP を通してアクセスが可能

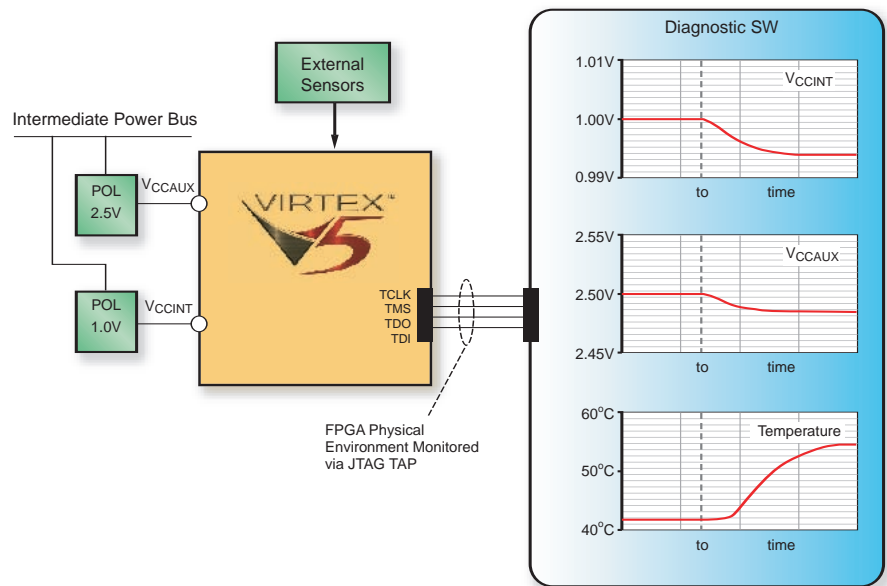


図 3 マイクロプロセッサ ペリフェラルとしての System Monitor (または ADC)

