

Virtex™ 2.5 Vフィールド・プログラマブル・ゲートアレイ

製品概要

特長	3
説明	3
Virtex のアーキテクチャ	4
性能の向上	4
アーキテクチャの説明	4
Virtex アレイ	4
入力 / 出力ブロック (IOB)	5
コンフィギャブル・ロジック・ブロック (CLB)	7
プログラマブル配線マトリクス	10
クロックの分配	12
バウンダリ・スキャン	13
識別レジスタ	15
開発システム	16
デザインのインプリメンテーション	16
デザインの検証	16
コンフィギュレーション	17
コンフィギュレーション・モード	17
アポート	22
コンフィギュレーション・シーケンス	23
データ・ストリームのフォーマット	24
リードバック	24

製品仕様

Virtex の DC 特性	27
用語の定義	27
Virtex の絶対最大定格	27
Virtex の推奨動作条件	27
Virtex の DC 入力レベルと DC 出力レベル	29
Virtex のスイッチング特性	30
Virtex IOB 入力のスイッチング特性	30
IOB 入力スイッチング特性規格値調整値	31
IOB 出力スイッチング特性規格値調整値	33
クロック分配のガイドライン	35
クロック分配のスイッチング特性	35
Virtex TBUF のスイッチング特性	39
Virtex テスト・アクセス・ポートのスイッチング特性	39

Virtex ピン間出力パラメータのガイドライン.....	40
Virtex ピン間入力パラメータのガイドライン.....	41
DLL タイミング・パラメータ.....	42
Virtex ピン定義.....	43
ピン配置表.....	44
デバイス / パッケージの組み合わせと最大 I/O 数.....	74
注文コード様式.....	74
リビジョン表.....	75

製品概要

特長.....	3
説明.....	3
Virtexのアーキテクチャ	4
アーキテクチャの説明.....	4
開発システム	16
コンフィギュレーション	17
リードバック	24

特長

- 超高集積・高性能フィールド・プログラマブル・ゲートアレイ (FPGA)
 - 集積度: システム・ゲート数 50,000 ~ 1,000,000 まで
 - 最大 200 MHz のシステム性能
 - 66 MHz PCI 標準に準拠
 - コンパクト PCI に対するホット・スワップ機能
- 複数の電源規格に対応可能な SelectIO™ インターフェイス
 - 16 種類の高性能フェイス規格に対応
 - ZBTRAM デバイスに直接接続
- クロック・マネジメント回路を内蔵
 - 高度クロック制御に使用可能な 4 個の専用ディレイ・ロックド・ループ (DLL)
 - 4 個のプライマリ・ロー・スキュー・グローバル・クロック分配ネットと 24 個のセカンダリ・ローカル・クロック・ネット
- 階層的なメモリ・システム
 - LUT を使用して 16 ビット RAM、32 ビット RAM、16 ビット・デュアル・ポート RAM、または 16 ビット・シフト・レジスタの構成が可能
 - デュアル・ポートの 4K ビット・シンクロナス RAM の構成が可能
 - 外付け高性能 RAM に対する高速インターフェイスが可能
- スピードと集積度を調和させるフレキシブルなアーキテクチャ
 - 高速演算用の専用キャリ・ロジック
 - 専用乗算器をサポート
 - ワイド入力ファンクション用のカスケード・チェーン
 - クロック・イネーブルおよびデュアル同期/非同期のセット/リセットを持つ豊富なレジスタ/ラッチ
 - 内部スリープ・スタート・パス

- IEEE 1149.1 バウンダリスキャン・ロジック
- チップ温度センサ・ダイオード
- Foundation™ 開発システムと Alliance 開発システムによるサポート
 - ユニファイド・ライブラリ、リレーショナル配置マクロ、デザイン・マネージャを完全サポート
 - PC およびワークステーション・プラットフォームの幅広い選択肢
- SRAM ベースのイン・システム・コンフィギュレーション
 - 無制限のプログラム回数
 - 4 種類のプログラミング・モード
- 先端の 0.22µm 5 層メタル・プロセス技術
- 100% の出荷テスト

説明

Virtex FPGA ファミリは、高性能で大規模なプログラマブル・ロジック・ソリューションを提供します。配置配線効率の最適化を行う新しいアーキテクチャと先端の 5 層メタル 0.22µm CMOS プロセス技術の採用により、大幅なシリコン利用率の向上を可能にしました。これらの進歩により、Virtex FPGA はマスク・プログラム・ゲート・アレイの強力でフレキシブルな置換品になっています。Virtex ファミリのデバイスは、表 1 に示す 9 種類のデバイスにより構成されています。

前の世代の FPGA における実績を基に構築された Virtex ファミリは、プログラマブル・ロジック・デザインにおける革命的な新たなステップを示しています。多様なプログラマブル・システム機能、高速でフレキシブルなインターコネクト・リソースの豊富な階層構造、最新の製造技術を組み合わせることにより、Virtex ファミリはフレキシブルなデザインとタイム・トゥ・マーケットの短縮を可能にする高速で大規模なプログラマブル・ロジック・ソリューションを提供します。

表 1: Virtex フィールド・プログラマブル・ゲートアレイ (FPGA) ファミリ・デバイス

Device	System Gates	CLB Array	Logic Cells	Maximum Available I/O	BlockRAM Bits	Max Select RAM Bits
XCV50	57,906	16x24	1,728	180	32,768	24,576
XCV100	108,904	20x30	2,700	180	40,960	38,400
XCV150	164,674	24x36	3,888	260	49,152	55,296
XCV200	236,666	28x42	5,292	284	57,344	75,264
XCV300	322,970	32x48	6,912	316	65,536	98,304
XCV400	468,252	40x60	10,800	404	81,920	153,600
XCV600	661,111	48x72	15,552	512	98,304	221,184
XCV800	888,439	56x84	21,168	512	114,688	301,056
XCV1000	1,124,022	64x96	27,648	512	131,072	393,216

Virtexのアーキテクチャ

Virtexデバイスは、コンフィギャブル・ロジック・ブロック(CLB)のアーレイ、およびこれらを取り囲むプログラマブル入力/出力ブロック(IOB)、ならびにこれら全てを相互接続する高速で融通性のある配線リソースの豊富な階層構造からなるフレキシブルで規則的なアーキテクチャを採用しています。豊富な配線リソースにより、Virtexファミリは最大規模で、かつ最も複雑なデザインにも対応することができます。

Virtex FPGAはSRAMをベースとしており、内部メモリ・セルにコンフィギュレーション・データをロードすることによりカスタマイズします。いくつかのモードでは、FPGAは外付けのPROM(マスター・シリアル・モード)からコンフィギュレーション・データを自分自身で読み込みます。他のモード(Select-MAP™モード、スレーブ・シリアル・モード、およびJTAGモード)では、コンフィギュレーション・データをFPGAに書き込みます。

ザイリンクスFoundation™開発システムとAllianceシリーズ™開発システムのStandardパッケージは、ビヘイビア入力や回路図入力からシミュレーション、自動デザイン変換とインプリメンテーションまでの全ての面でVirtexのデザインをサポートし、コンフィギュレーション・ビット・ストリームの作成、ダウンロード、リードバックを可能にします。

性能の向上

Virtexデバイスは、従来のFPGAより優れた性能を提供します。デザインでは、I/Oを含んで200 MHzまでの同期システム・クロック周波数を達成することができます。

表2: 共通回路機能の性能

Function	Bits	Virtex -6
Register-to-Register		
Adder	16	5.0 ns
	64	7.2 ns
Pipelined Multiplier	8 x 8	5.1 ns
	16 x 16	6.0 ns
Address Decoder	16	4.4 ns
	64	6.4 ns
16:1 Multiplexer		5.4 ns
Parity Tree	9	4.1 ns
	18	5.0 ns
	36	6.9 ns
Chip-to-Chip		
HSTL Class IV		200 MHz
LVTTL, 16mA, fast slew		180 MHz

Virtexの入力と出力はPCI仕様に完全に準拠しており、インターフェイスは33 MHzまたは66 MHzで動作するように構成することができます。さらに、VirtexはコンパクトPCIのホット・スワップ要求もサポートしています。

ザイリンクスは、Virtexファミリのすべてについてベンチマークを行いました。性能はデザインに依存しますが、多くのデザインは内部的に100 MHzを超えるスピードで動作し、200 MHzを達成することもできます。表2に、ワースト・ケースのタイミング・パラメータを使用する場合の代表的な回路に対する性能データを示します。

アーキテクチャの説明

Virtexアレイ

図1に示すVirtexのユーザ・プログラマブルなゲート・アレイは、コンフィギャブル・ロジック・ブロック(CLB)と入力/出力ブロック(IOB)の2つの主要なコンフィギャブル・エレメントから構成されています。

- CLBは、ロジックを構成するための機能エレメントを提供します。
- IOBは、パッケージ・ピンとCLBとの間のインターフェイスを提供します。

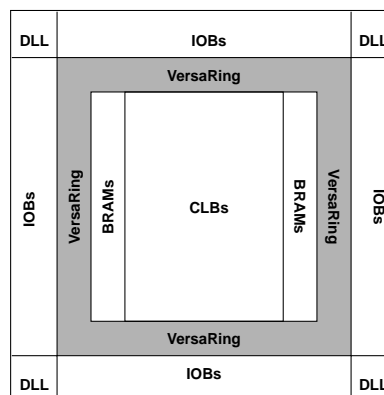
CLBは、汎用配線マトリクス(GRM)を経由して相互接続されます。GRMは、水平配線チャンネルと垂直配線チャンネルの交点に配置された配線スイッチのアーレイで構成されます。各CLBはVersaBlock™に組み込まれています。このVersaBlockは、CLBをGRMに接続するローカル配線リソースも提供します。

VersaRing™ I/Oインターフェイスは、デバイスの周辺でさらに配線リソースを提供します。この配線は、I/O配線性を向上させ、またピン固定機能を可能にします。

Virtexアーキテクチャには、GRMに接続する次の回路も含まれています。

- 各々4,096ビットの専用ブロック・メモリ
- クロック分配遅延補償とクロック・ドメイン制御用のクロックDLL
- 分割可能な専用水平配線リソースを駆動する各CLBに対応するスリーステート・バッファ(BUFT)

コンフィギャブル・ロジック・エレメントとインターコネクト・リソースは、スタティック・メモリ・セルに格納された値により制御されます。パワーアップ時に、これらの値がメモリ・セルにロードされます。また、必要に応じて、デバイスの機能を変更するために、これらの値をロードし直すこともできます。



vao_b.eps

図1: Virtexアーキテクチャの概要

日本語対応WebLIXX-J™のWebサイト

(<http://www.xilinx.co.jp/partinfo/databook.htm>)

にある補足説明ドキュメントは、Virtexアーキテクチャを採用する種々の製品についての次の説明を補足説明するものです。これらの補足説明ドキュメントは詳細な情報を提供するもので、次のトピックスを含んでいます。

- 入力/出力ブロック(IOB)
- コンフィギャブル・ロジック・ブロック(CLB)
- メモリ・リソース
- クロックの分配
- 配線リソース
- コンフィギュレーションとリードバック
- バウンダリ・スキャン
- 消費電力

入力/出力ブロック(IOB)

図2に示すVirtex IOBは、表3に示す様々なI/O信号方式をサポートするSelectIO™入力と出力を持っています。

3個のIOB記憶エレメントは、エッジ・トリガのD型フリップフロップまたはレベル・センシティブ・ラッチとして機能します。各IOBには、3個のフリップフロップに共通なクロック信号(CLK)と各フリップフロップに対して独立なクロック・イネーブル信号があります。

CLK信号とCEコントロール信号の他に、3個のフリップフロップはセット/リセット(SR)を共用しています。各フリップフロップに対して、この信号は独立に同期セット、同期リセット、非同期プリセット、または非同期クリアとしてコンフィギュレーションすることができます。

出力バッファ、およびすべてのIOBコントロール信号では、独立に極性を制御することができます。

すべてのパッドは、静電放電(ESD)と過電圧の遷移に対して保護されています。5V型と非5V型の2種類の過電圧保護方式が用意されています。5V型では、出力が約6.5Vに上昇すると、グラウンドに接続されたツェナーに似た構造が導通します。一方、3.3VのPCIを使用する場合は、従来型のクランプ・ダイオードを出力電源電圧 V_{CCO} に接続することができます。

オプションのプルアップ抵抗とプルダウン抵抗、およびオプションの弱いキーパー回路を各パッドに接続することもできます。コンフィギュレーションの前には、コンフィギュレーションに関係しないすべての出力ピンは強制的にハイ・インピーダンス状態にされます。プルダウン抵抗と、弱いキーパー回路はインアクティブになりますが、入力はオプションとしてプルアップすることができます。

コンフィギュレーション前のプルアップ抵抗の使用は、コンフィギュレーション・モード・ピンを使ってグローバルに制御することができます。プルアップ抵抗をアクティブにしない場合は、すべてのピンがフローティング状態になります。このため、コンフィギュレーション前に所定の入力ロジック・レベルを必要とするピンに対しては、外付けのプルアップ抵抗またはプルダウン抵抗を使用する必要があります。

すべてのVirtex IOBは、IEEE 1149.1準拠のバウンダリ・スキャン・テストをサポートしています。

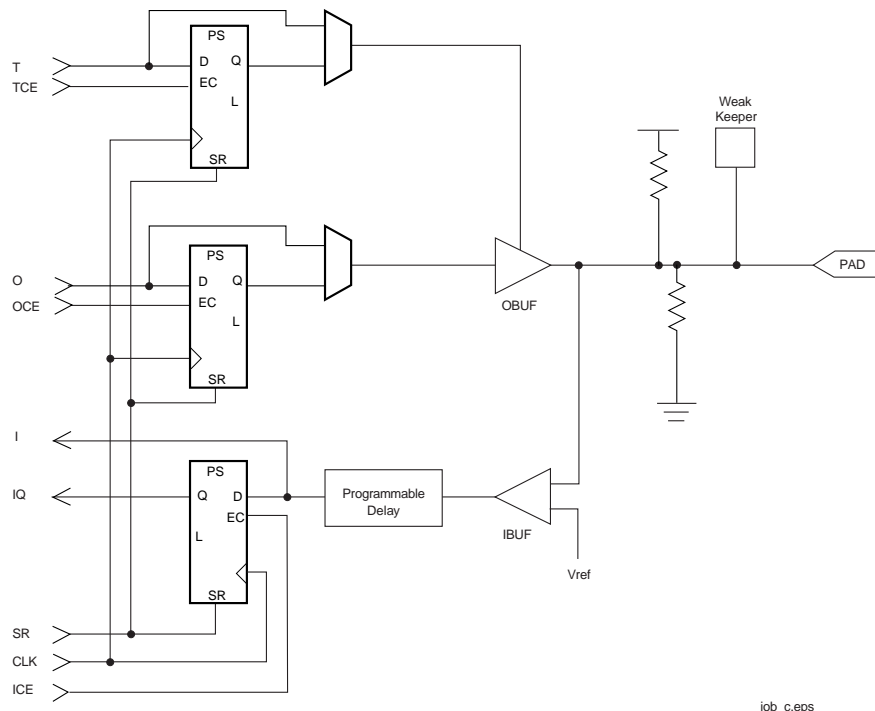


図2: Virtex入力/出力ブロック(IOB)

表3: サポートされているSelect I/O規格

I/O Standard	Input Reference Voltage (V_{REF})	Output Source Voltage (V_{CCO})	Board Termination Voltage (V_{TT})	5 V Tolerant
LVTTL 2 – 24 mA	N/A	3.3	N/A	Yes
LVC MOS2	N/A	2.5	N/A	Yes
PCI, 5 V	N/A	3.3	N/A	Yes
PCI, 3.3 V	N/A	3.3	N/A	No
GTL	0.8	N/A	1.2	No
GTL+	1.0	N/A	1.5	No
HSTL Class I	0.75	1.5	0.75	No
HSTL Class III	0.9	1.5	1.5	No
HSTL Class IV	0.9	1.5	1.5	No
SSTL3 Class I & II	1.5	3.3	1.5	No
SSTL2 Class I & II	1.25	2.5	1.25	No
CTT	1.5	3.3	1.5	No
AGP	1.32	3.3	N/A	No

入カバス

Virtex IOB入力バス内にあるバッファは、入力信号を内部ロジックに直接またはオプションの入力フリップフロップを経由して配線します。

このフリップフロップのD入力にあるオプションの遅延エレメントは、パッドとパッドの間のホールド・タイムを不要にします。この遅延はFPGAの内部クロック分配遅延に一致しており、これを使用すると、確実にパッドとパッドの間のホールド・タイムをゼロにすることができます。

各入力バッファは、サポートされているいずれの低電圧信号規格にも適合するようにコンフィギュレーションすることができます。これらの規格によっては、ユーザ指定のスレッシュOLD電圧 V_{REF} を入力バッファに入力する必要がある場合があります。 V_{REF} を与えるときには、お互いに近い関係にある規格しか使用できないという制約が生じます。本ページの「I/Oバンク」を参照してください。

各入力には、コンフィギュレーション後に使用するためのオプションのプルアップ抵抗とプルダウン抵抗が用意されています。これらの値は50 ~ 100K の範囲です。

出カバス

出力バスには、出力信号をパッドへ駆動するスリーステート出力バッファが内蔵されています。出力信号は、内部ロジックから直接バッファへ、またはオプションのIOB出力フリップフロップを経由して、それぞれ配線することができます。

また、出力に対するスリーステート・コントロール信号は、内部ロジックから直接配線することができます。あるいは、同期イネーブルと同期ディスエーブルを提供するフリップフロップを経由して配線することもできます。

各出力ドライバは、様々な低電圧信号規格に対応できるように個別に設定することができます。各出力バッファには、最大24 mAのソース電流または最大48 mAのシンク電流を流すことができます。駆動電流とスルー・レートを制御することにより、バスの電圧遷移を最小にすることができます。

大部分の信号方式では、出力電圧のHighレベルは外部から供給される V_{CCO} 電圧に依存します。 V_{CCO} を供給するときは、お互いに近い

関係にある規格しか使用できないという制約が発生します。本ページの「I/Oバンク」を参照してください。

オプションの弱いキーパー回路を各出力に接続することができます。この回路を選択すると、回路がパッド電圧を監視し、ピンをHighまたはLowに弱く駆動して、入力信号に一致させます。ピンに複数の信号源が接続されている場合には、すべてのドライバがディスエーブルされるときは、弱いキーパー回路が信号を最後の状態に維持します。この方法を使って有効なロジック・レベルを維持すると、バス・チャッタを無くすることができます。

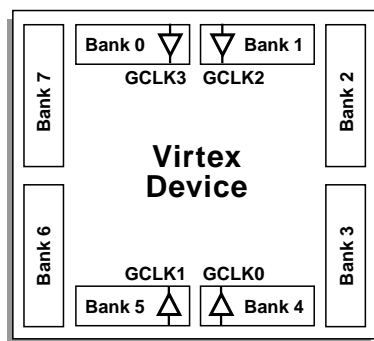
弱いキーパー回路はIOB入力バッファを使って入力レベルを監視しているため、信号方式で V_{REF} 電圧が必要とされる場合には、適切な V_{REF} 電圧が必要となります。この電圧を与える際には、I/Oバンクのルールを満たす必要があります。

I/Oバンク

上述のI/O規格によっては、 V_{CCO} 電圧および/または V_{REF} 電圧を必要とするものがあります。これらの外部電圧は、バンクと呼ばれるIOBのグループに接続されるデバイス・ピンに接続されます。このため、バンク内で組み合わせることができるI/O規格に関して制約があります。

図3に示すように、FPGAの各辺には2個のバンクがあり、合計8個のI/Oバンクが存在します。各バンクには複数の V_{CCO} ピンがあり、これらのすべてを同一電圧に接続する必要があります。この電圧は使用する出力規格により決定されます。

バンク内では、同一 V_{CCO} を使用している出力規格だけを混在させることができます。表4に、互換性のある規格を示します。GTLとGTL+のオープン・ドレイン出力は V_{CCO} に依存しないため、すべての電圧規格に入れられています。


図3: VirtexのI/Oバンク
表4: 互換性のある出力規格

V _{CCO}	Compatible Standards
3.3 V	PCI, LVTTTL, SSTL3 I, SSTL3 II, CTT, AGP, GTL, GTL+
2.5 V	SSTL2 I, SSTL2 II, LVCMOS2, GTL, GTL+
1.5 V	HSTL I, HSTL III, HSTL IV, GTL, GTL+

入力規格によっては、ユーザ指定のスレッシュホールド電圧 V_{REF} を必要とするものもあります。この場合には、ユーザI/Oピンを選んでこれを自動的に V_{REF} 電圧の入力としてコンフィギュレーションします。このルールでは、バンク内の6本のI/Oピンに対して約1本の V_{REF} 電圧入力ピンが必要とされます。

バンク内の V_{REF} ピンは内部で相互接続されているため、各バンク内では1種類の V_{REF} 電圧しか使用できません。正確な動作を得るためにバンク内のすべての V_{REF} ピンは、外部電圧ソースに接続する必要があります。

バンク内では、 V_{REF} を必要とする入力を、 V_{REF} を必要としない入力と混在させることができます。ただし、1つのバンク内では1種類の V_{REF} 電圧しか使用できません。 V_{REF} を使用する入力バッファは、5V対応型ではありません。LVTTTL、LVCMOS2、およびPCI 33MHz 5Vは、5V対応型です。

各バンクの V_{CCO} ピンと V_{REF} ピンは、デバイスのピン配置表とピン配置図に示してあります。図には、バンクを構成する各I/Oも表示されています。

パッケージ内では、 V_{REF} ピンと V_{CCO} ピンのピン数は、デバイスのサイズによって変わります。大規模なデバイスでは、より多くのI/Oピンが V_{REF} ピンとして使用されます。小型デバイスで使用される V_{REF} ピンの集合は、必ず大規模デバイスの V_{REF} ピン集合の部分集合となっているため、必要に応じて大規模なデバイスへ移行可能なPCBをデザインすることができます。大規模デバイスで V_{REF} ピンと見なされるすべてのピンは、 V_{REF} 電圧に接続して、I/Oとして使用しないようにする必要があります。

小型デバイスでは、大規模デバイスで使用されるいくつかの V_{CCO} ピンがパッケージ内で接続されていません。これらの未接続ピンは外部で開放のままにしておくか、または V_{CCO} 電圧に接続して、必要な場合に大規模デバイスへ移行できるようにしておきます。

TQ144パッケージとPQ/HQ240パッケージでは、すべての V_{CCO} ピンが内部で相互に接続されているため、これらすべてのピンに対しては等しい V_{CCO} 電圧を接続する必要があります。CS144パッケージでは、同じ辺上にあるバンク対は、内部で相互に接続されており、

V_{CCO} の4通りの選択が可能です。両ケースとも、 V_{REF} ピンは8個のバンクとして内部で接続されたままになっています。そのため、上記の説明に従って使用する必要があります。

コンフィギャブル・ロジック・ブロック(CLB)

Virtex CLBの基本ビルディング・ブロックは、ロジック・セル(LC)です。1個のLCには、4入力ファンクション・ジェネレータ、キャリ・ロジック、記憶エレメントが内蔵されています。各LC内のファンクション・ジェネレータ出力は、CLB出力とフリップフロップのD入力を駆動します。各Virtex CLBには、図4に示す2つ類似のスライスとして構成された4個のLCが内蔵されています。図5に、1つのスライスについて詳細を示します。

4個の基本LCの他に、Virtex CLBにはファンクション・ジェネレータを結合して5入力または6入力のファンクションを提供するロジックが内蔵されています。したがって、デバイス内に用意されているシステム・ゲート数を計算する際には、各CLBカウンを4.5 LCとしてカウントします。

ルックアップ・テーブル(LUT)

Virtexファンクション・ジェネレータは、4入力ルックアップ・テーブル(LUT)としてインプリメントされます。ファンクション・ジェネレータとしての動作の他に、各LUTは16×1ビットのシンクロナスRAMを提供することができます。さらに、同一スライス内の2個のLUTを組み合わせて、16×2ビットまたは32×1ビットのシンクロナスRAM、または16×1ビットのデュアル・ポートシンクロナスRAMを構成することができます。

VirtexのLUTは、高速モードまたはバースト・モードのデータ入力に最適な16ビット・シフトレジスタを提供することもできます。このモードを使用して、デジタル信号処理のようなアプリケーションのデータを格納することもできます。

記憶エレメント

Virtexスライス内の記憶エレメントは、エッジ・トリガD型フリップフロップまたはレベル・センシティブ・ラッチとしてコンフィギュレーションすることができます。D入力は、同一スライス内のファンクション・ジェネレータまたはファンクション・ジェネレータをバイパスしてスライス入力から直接駆動することができます。

クロック信号とクロック・イネーブル信号の他に、各スライスは同期セット信号と同期リセット信号(SRとBY)を持っています。SRは、記憶エレメントをコンフィギュレーションで指定された初期状態に設定します。BYは、それを(初期状態とは)反対の状態に設定します。別の手段として、これらの信号を非同期動作としてコンフィギュレーションすることもできます。

すべてのコントロール信号は、独立に反転することができ、同一スライス内の2個のフリップフロップにより共用されます。

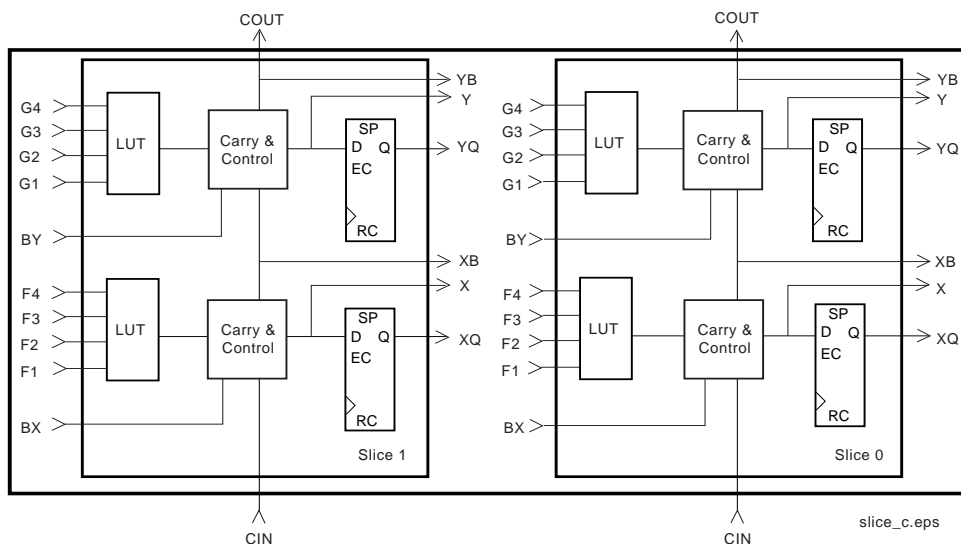


図4: Virtex CLBの2個のスライス

その他のロジック

各スライス内にあるF5マルチプレクサは、複数のファンクション・ジェネレータ出力を結合するときに使います。この結合を使うと、5入力ファンクション、4:1マルチプレクサ、または最大9入力までのファンクション選択してインプリメント可能なファンクション・ジェネレータを構成することができます。

同様に、F6マルチプレクサは、複数のF5マルチプレクサ出力から1つを選択することにより、同一CLB内にある4個の全ファンクション・ジェネレータ出力を結合するときに使います。これにより、6入力ファンクション、8:1マルチプレクサ、最大19入力までのファンクションを選択して、インプリメンテーションが可能です。

各CLB内には、各LCに1本ずつ合計4本の直接フィードバック・パスがあります。これらのパスは、追加データ入力ラインまたはロジック・リソースを消費しない追加ローカル配線として使うことができます。

演算ロジック

専用キャリ・ロジックは、高速演算機能に対して高速演算キャリ機能を提供します。Virtex CLBは、各スライスに1本の合計2本の独立したキャリ・チェーンをサポートしています。キャリ・チェーンの高さは1CLB当たり2ビットです。

演算ロジックは、1個のLC内で1ビット全加算器を構成できるXORゲートを内蔵しています。さらに、専用ANDゲートを使って、乗算器のインプリメンテーション効率を改善します。

また、専用キャリ・パスを使用して、ファンクション・ジェネレータをカスケード接続した多入力ロジック・ファンクションをインプリメントすることもできます。

BUFT

各Virtex CLBは、オンチップ・バスを駆動できる2個のスリーステート・ドライバ(BUFT)を内蔵しています。11ページの「専用配線機能」を参照してください。各Virtex BUFTは独立なスリーステート・コントロール・ピンと独立な入力ピンを持っています。

Block SelectRAM

Virtex FPGAは、複数の大規模Block SelectRAMメモリを採用しています。これらのメモリにより、CLB内にインプリメントされる浅いRAM構造を提供する分散型LUT SelectRAMを補完します。

Block SelectRAMメモリ・ブロックは列状に構成されています。すべてのVirtexデバイスには、左右の垂直な縁に沿ってこのような列が1つずつ合計2つあります。これらの列は、チップの高さに達する長さを持っています。各メモリ・ブロックの高さは4 CLB分であるため、CLB64個分の高さを持つVirtexデバイスには、各列当たり16個のメモリ・ブロックが含まれ、合計32ブロックになります。

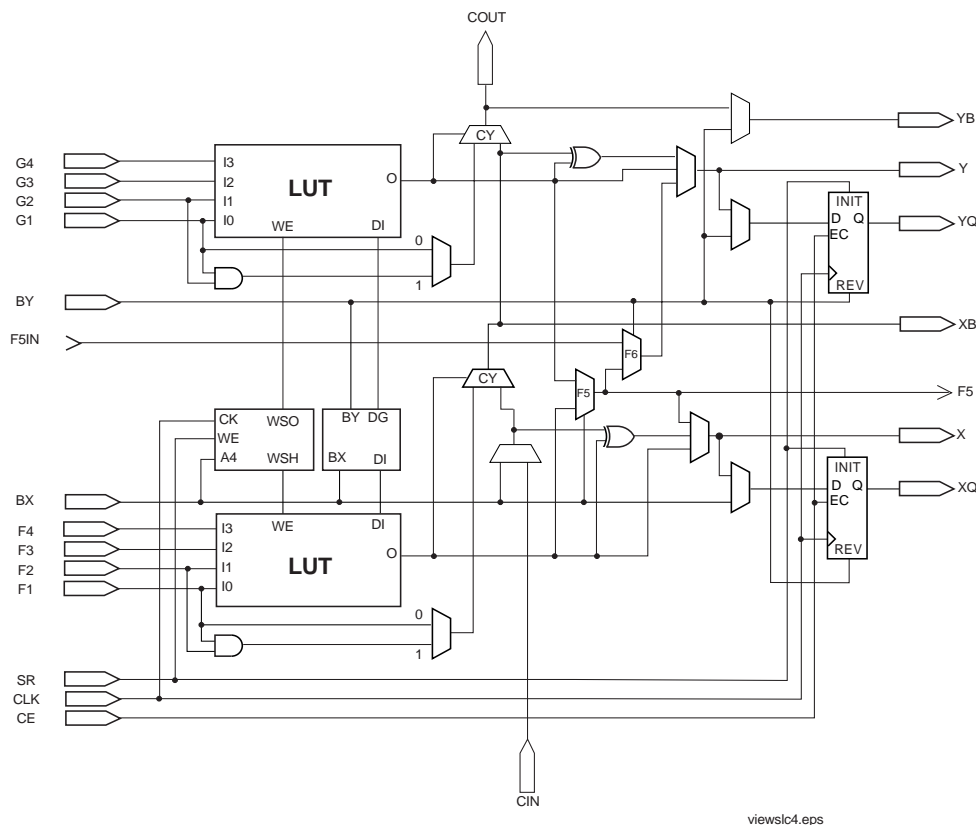


図5: Virtexスライスの詳細図

表5に、各Virtexデバイス内に存在するBlock SelectRAMメモリの量を示します。

表5: VirtexのBlock SelectRAMの量

Virtex Device	# of Blocks	Total Block SelectRAM Bits
XCV50	8	32,768
XCV100	10	40,960
XCV150	12	49,152
XCV200	14	57,344
XCV300	16	65,536
XCV400	20	81,920
XCV600	24	98,304
XCV800	28	114,688
XCV1000	32	131,072

図6に示す各ブロック内のSelectRAMセルはデュアル・ポートの4,096ビット・シンクロナスRAMで、各ポートに対して独立なコントロール信号を持っています。2つのポート・データ幅は独立に設定することができ、これにより内蔵バス幅変換機能を提供しています。

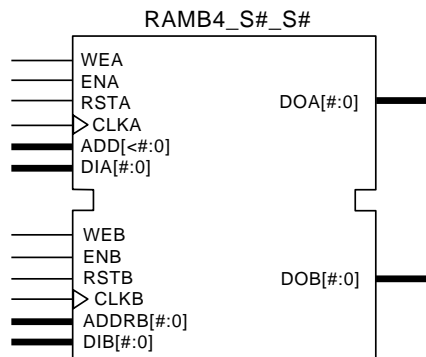


図6: デュアル・ポートBlock SelectRAM

表6に、Block SelectRAMの深さと幅の比を示します。

表6: Block SelectRAMポートの深さと幅の比

Width	Depth	ADDR Bus	Data Bus
1	4096	ADDR<11:0>	DATA<0>
2	2048	ADDR<10:0>	DATA<1:0>
4	1024	ADDR<9:0>	DATA<3:0>
8	512	ADDR<8:0>	DATA<7:0>
16	256	ADDR<7:0>	DATA<15:0>

VirtexのBlock SelectRAMには、CLBと他のBlock SelectRAMの両方に対する効率良いインターフェイスを提供する専用配線も含まれています。

プログラマブル配線マトリクス

デザインのワースト・ケースでのスピードを制限するのは、最長の遅延パスです。このため、Virtex配線アーキテクチャと配置配線ソフトウェアは、統合されて1つの最適化プロセス内で定義されています。この統合された最適化により、長いパス遅延を最小化して、最善のシステム性能を得ています。

この統合された最適化では、アーキテクチャとソフトウェアとの協調性が優れているため、デザイン・コンパイル時間も短くなっています。デザイン繰り返し時間の短縮に対応してデザイン・サイクルが短くなっています。

ローカル配線

VersaBlockは図7に示すローカル配線リソースを提供し、次の3種類の接続が可能です。

- LUT、フリップフロップ、GRM間の相互接続
- 同一CLB内の複数LUT間的高速接続を提供し、最小配線遅延でチェーン接続する内部CLBフィードバック・バス
- 水平方向の隣接CLB間的高速接続を提供して、GRMの遅延を無くする直接パス

汎用配線機能

大部分のVirtexの信号は汎用の配線機能を使って配線されるため、大部分のインターコネクティブ・リソースは配線階層のこのレベルに対応しています。ゼネラル配線リソースは、行CLBと列CLBに対応した水平配線チャンネルと垂直配線チャンネル内に配置されています。汎用配線リソースを次にリストします。

- 各CLBに隣接して配置されているのがゼネラル配線マトリクス(GRM)です。GRMはスイッチ・マトリクスであり、これを經由して水平配線リソースと垂直配線リソースが接続されます。また、CLBが汎用配線にアクセスする手段としてこれを使用しています。
- 24本のシングル・レングス・ラインは、GRM信号をその上下左右の隣接GRMに配線します。
- 96本のバッファ付きHexラインは、GRM信号をその上下左右に6ブロック離れた別のGRMに配線します。ずらしたパターンで配置されたHexラインは、それらの端点でのみ駆動可能になっています。Hexラインの信号は、端点または中点(駆動源から3ブロック離れた点)でアクセスすることができます。Hexラインの1/3の部分は双方向性で、残りの2/3は単方向性です。
- 12本のロングラインは、信号をデバイス内で迅速に効率よく分配するバッファ付き双方向線です。垂直ロングラインはデバイスの高さに達する長さを持ち、水平ロングラインはデバイス幅に達する長さを持っています。

I/Oの配線機能

Virtexデバイスはその周辺に別の配線リソースも持ってあり、このリソースによりCLBアレイとIOBとの間のインターフェイスを構成します。VersaRingと呼ばれるこの配線は、ロジックのデザイン変更を既存のPCBレイアウトに合わせる場合などに使用するピンのスワッピングとピンのロッキングを可能にします。ロジック・デザインの進行中にも、PCBと他のシステム・コンポーネントを製造することが可能になるため、タイム・トゥ・マーケットを短縮することができます。

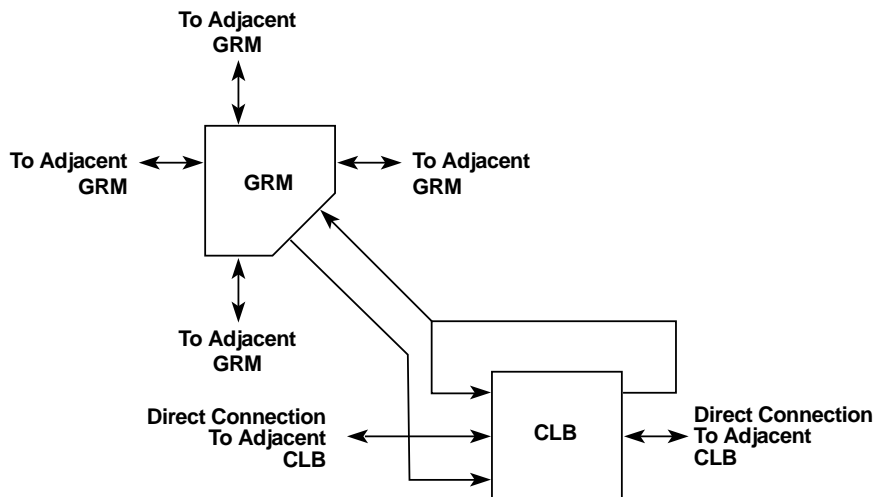


図7: Virtexのローカル配線

専用配線機能

信号のクラスによっては、最適性能を得るために専用配線リソースを必要とする場合があります。Virtexアーキテクチャでは、専用配線リソースが次の2つのクラスの信号に対して用意されています。

- 水平配線リソースは、オンチップ・スリープ・バス用に用意されています。1 CLB行当たり4本の分割可能なバス・ラインが用意されており、図8に示すように1行内に複数のバスを配線することが可能になっています。
- 1 CLB当たり2本の専用ネットが、上下の隣接CLBに対するキャリ信号の伝搬用に用意されています。

グローバル配線機能

グローバル配線リソースは、クロック信号とデバイス内で多くのファンアウトが必要なその他の信号を分配するために用意されています。Virtexデバイスには、プライマリ・グローバル配線リソースおよびセカンダリ・ローカル・クロック配線リソースと呼ばれる2種類のグローバル配線リソースがあります。

- プライマリ・グローバル配線リソースは、ファンアウトの多いクロック信号を最小のスキューで分配するようにデザインされた専用入力ピンを持つ4つの専用グローバル・ネットで構成されています。各グローバル・クロック・ネットは、すべてのCLBピン、IOBピン、ブロックRAMクロック・ピンを駆動することができます。グローバル・バッファのみが、プライマリ・グローバル・ネットを駆動することができます。

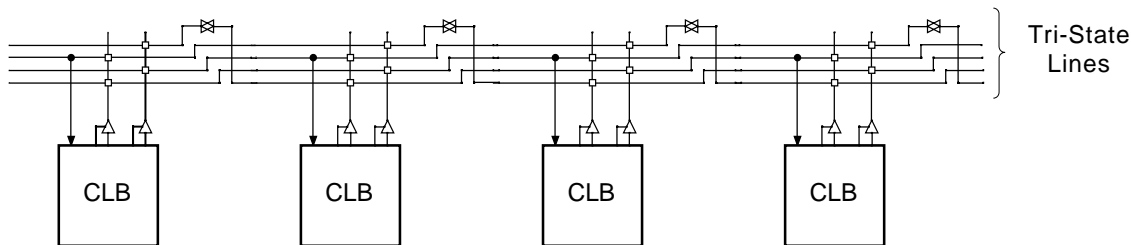


図8: 専用水平バス・ラインに対するBUFTの接続

各グローバル・ネットに対して1個ずつ合計4個のグローバル・バッファが用意されています。

- セカンダリ・ローカル・クロック配線リソースは、チップ上部の12本とチップ下部の12本の合計24本のバックボーン・ラインで構成されています。1列当たり最大12本の信号を列内にある12本のロングラインを経由してこれらのラインから分配することができます。これらのセカンダリ・リソースはクロック・ピンに対する配線に限定されていないため、プライマリ・リソースよりフレキシブルです。

クロックの分配

Virtexでは、前述のプライマリ・グローバル配線リソースを使って高速でロー・スキューのクロック分配機能を提供しています。図9に、代表的なクロック分配ネットを示します。

デバイスの上部中央と下部中央にそれぞれ2個の合計4個のグローバル・バッファが用意されています。これらのバッファは、クロック・ピンを駆動する4個のプライマリ・グローバル・ネットを駆動しています。

各グローバル・バッファに隣接して4個の専用クロック・パッドが用意されています。グローバル・バッファに対する入力は、これらパッドまたは汎用配線の信号から選択されます。

ディレイ・ロックド・ループ(DLL)

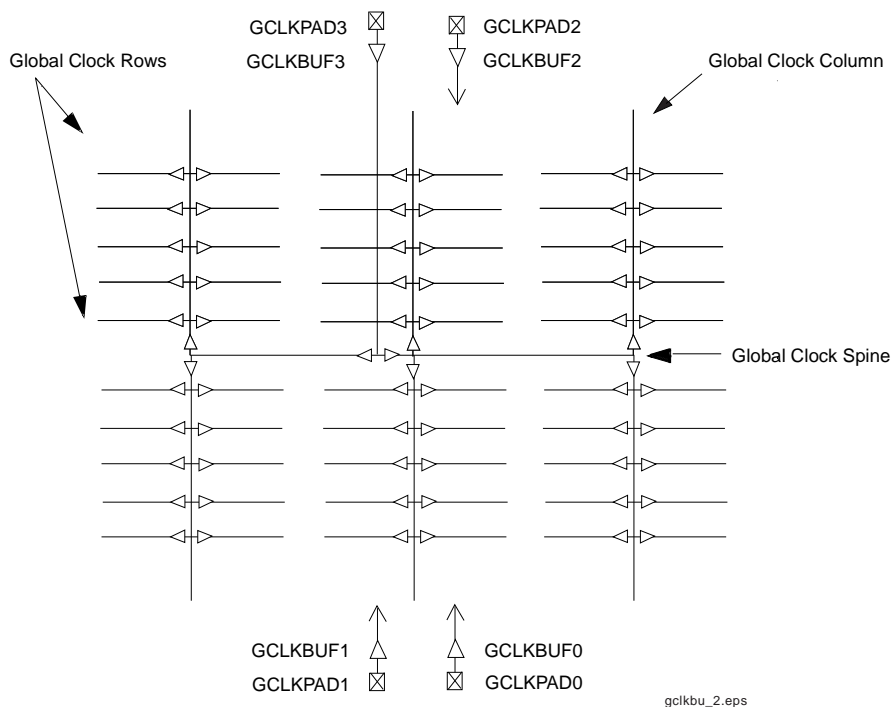
各グローバル・クロック入力バッファに対応して、完全にデジタル化されたディレイ・ロックド・ループ(DLL)が用意されており、デバイ

ス内部でのクロック入力パッドと内部クロック入力ピンとの間でのスキューを除去することができます。各DLLは、2つのグローバル・クロック・ネットワークを駆動することができます。DLLは入力クロックと分配されたクロックを監視して、クロック遅延要素を自動的に調整します。クロックが入力に到達した後、1~4クロック周期経過してクロック・エッジが内部フリップフロップに到着するように遅延を追加します。入力に到着するクロック・エッジに同期して確実にクロック・エッジを内部フリップフロップに到達させることにより、この閉ループ・システムは効果的にクロック分配遅延を無くします。

クロック分配遅延を無くする他に、このDLLは複数のクロック・ドメインに対する進んだ制御機能も提供します。このDLLは、ソース・クロックから互いに90度ずれた4相のクロック方式を提供しており、2倍のクロック、または1.5、2、2.5、3、4、5、8、または16分周したクロックをそれぞれ発生することができます。

このDLLは、クロック・ミラーとしても動作します。DLL出力を一旦チップ外部に出力した後にチップ内部に戻す場合には、このDLLを使って、複数のVirtexデバイス間におけるボード・レベルでのクロック・スキューを除くことができます。

コンフィギュレーション後に、FPGAの起動に先立ってシステム・クロックを正常に動作させるために、DLLがロックされるまで、DLLがコンフィギュレーション処理の完了を遅らせることができます。



gclkbu_2.eps

図9: グローバル・クロック分配ネットワーク

バウンダリ・スキャン

Virtex デバイスは、IEEE 標準 1149.1 テスト・アクセス・ポート (TAP) で規定されているすべての必須なバウンダリ・スキャン・インストラクションをサポートしており、EXTEST、INTEST、SAMPLE/PRELOAD、BYPASS、IDCODE、USERCODE 及び HIGHZ の各インストラクションをインプリメントするレジスタが用意されています。TAP では、2 つの内部スキャン・チェーンとデバイスのコンフィギュレーション/リードバックもサポートしています。

TAP は、常に LVTTTL を使って動作する専用パッケージ・ピンを使います。TDO を LVTTTL を使って動作させる場合は、バンク 2 の V_{CCO} には 3.3V を使う必要があります。そうしないと、TDO はグランドと V_{CCO} の間でフル振幅動作をしてしまいます。

バウンダリ・スキャン動作は、個々の IOB コンフィギュレーションに無関係で、パッケージ・タイプに影響されません。未接続を含むすべての IOB は単一スキャン・チェーン内で独立なスリーステート双方向ピンとして扱われます。コンフィギュレーション後に双方向テスト機能を維持することにより、外部の相互接続をテストすることができます。

表 7 に、Virtex FPGA でサポートしているバウンダリ・スキャン・インストラクションを示します。未接続または未使用の IOB に内部信号を接続すると、EXTEST の実行時に、それらの内部信号を取り込むことができます。これらは、単方向入力ピンとして定義された IOB の未使用出力に接続することもできます。

デバイスのコンフィギュレーション前には、USER1 と USER2 以外のすべてのインストラクションを使用することができます。コンフィギュレーション後には、全インストラクションを使用することができます。コンフィギュレーション時は、バウンダリ・スキャン・レジスタ (SAMPLE/PRELOAD、INTEST、EXTEST) を使用する動作を実行しないようにお奨めします。

上に概要を示したテスト・インストラクションの他に、バウンダリ・スキャン回路は、FPGA のコンフィギュレーションとコンフィギュレーション・データのリードバックにも使うことができます。

図 10 に、Virtex シリーズのバウンダリ・スキャンのロジック図を示します。この図には、各 IOB の 3 ビットのデータ・レジスタ、IEEE 1149.1 テスト・アクセス・ポート・コントローラ、デコーダ付きインストラクション・レジスタも示してあります。

その他の標準レジスタとしては、1 つのフリップフロップで構成される BYPASS レジスタがあります。このレジスタは、FPGA を経由して下流にある次のバウンダリ・スキャン・デバイスに渡すデータを同期化します。

この FPGA は最大 2 つまでの内部スキャン・チェーンの追加をサポートしており、これらは BSCAN マクロを使用して指定することができます。このマクロは、2 本のユーザ・ピン (SEL1、SEL2) を提供します。これら 2 本のピンは、それぞれ USER1 インストラクションと USER2 インストラクションのデコードに使用されます。これらのインストラクションに対しては、該当する 2 本のピン (TDO1、TDO2) を使って、ユーザ・スキャン・データが TDO からシフト出力されます。

同様に、各ユーザ・レジスタに対して個々のクロック・ピン (DRCK1、DRCK2) も用意されています。共通の入力ピン (TDI) と TAP コントローラの状態 (RESET、SHIFT、UPDATE) を表示する共用出力ピンもあります。

表 7: バウンダリ・スキャン・インストラクション

バウンダリ・スキャン・コマンド	バイナリ・コード (4:0)	説明
EXTEST	00000	バウンダリ・スキャン EXTEST 動作をイネーブル ID コードのシフトアウトをイネーブル バイパス・レジスタのイネーブル中は出力ピンをスリーステートにする
SAMPLE/PRELOAD	00001	バウンダリ・スキャン SAMPLE 動作をイネーブル
USER 1	00010	ユーザ定義レジスタ 1 にアクセス
USER 2	00011	ユーザ定義レジスタ 2 にアクセス
CFG_OUT	00100	リードバックのためにコンフィギュレーション・バスにアクセス
CFG_IN	00101	コンフィギュレーションのためにコンフィギュレーション・バスにアクセス
INTEST	00111	バウンダリ・スキャンのイン・テスト動作をイネーブル
USERCODE	01000	USER コードのシフトアウトをイネーブル
IDCODE	01001	ID コードのシフトアウトをイネーブル
HIGHZ	01010	コンフィギュレーション・バスをリセット
JSTART	01100	StartupCik が TCK の場合にスタートアップ・シーケンスをクロック駆動
BYPASS	11111	BYPASS をイネーブル
RESERVED	All other codes	ザイリンクスが予約済みのインストラクション

インストラクション・セット

Virtex シリーズのバウンダリ・スキャン・インストラクション・セットには、デバイスのコンフィギュレーションとコンフィギュレーション・データのリードバックを行うインストラクション (CFG_IN、CFG_OUT、JSTART) も含まれています。すべてのインストラクション・セットは表 7 に示すように符号化されています。

データ・レジスタ

主要なデータ・レジスタはバウンダリ・スキャン・レジスタであり、このレジスタには FPGA 内の各 IOB (ボンディングの有無によらず) に対して、入力、出力、スリーステートの制御用に 3 ビットが配置されています。非 IOB ピンに対しては、入力専用または出力専用の場合、該当するビットのみが配置されています。各 EXTEST CAPTURED-OR ステートでは、すべての入力ピン、出力ピン、スリーステート・ピンが取り込まれます。

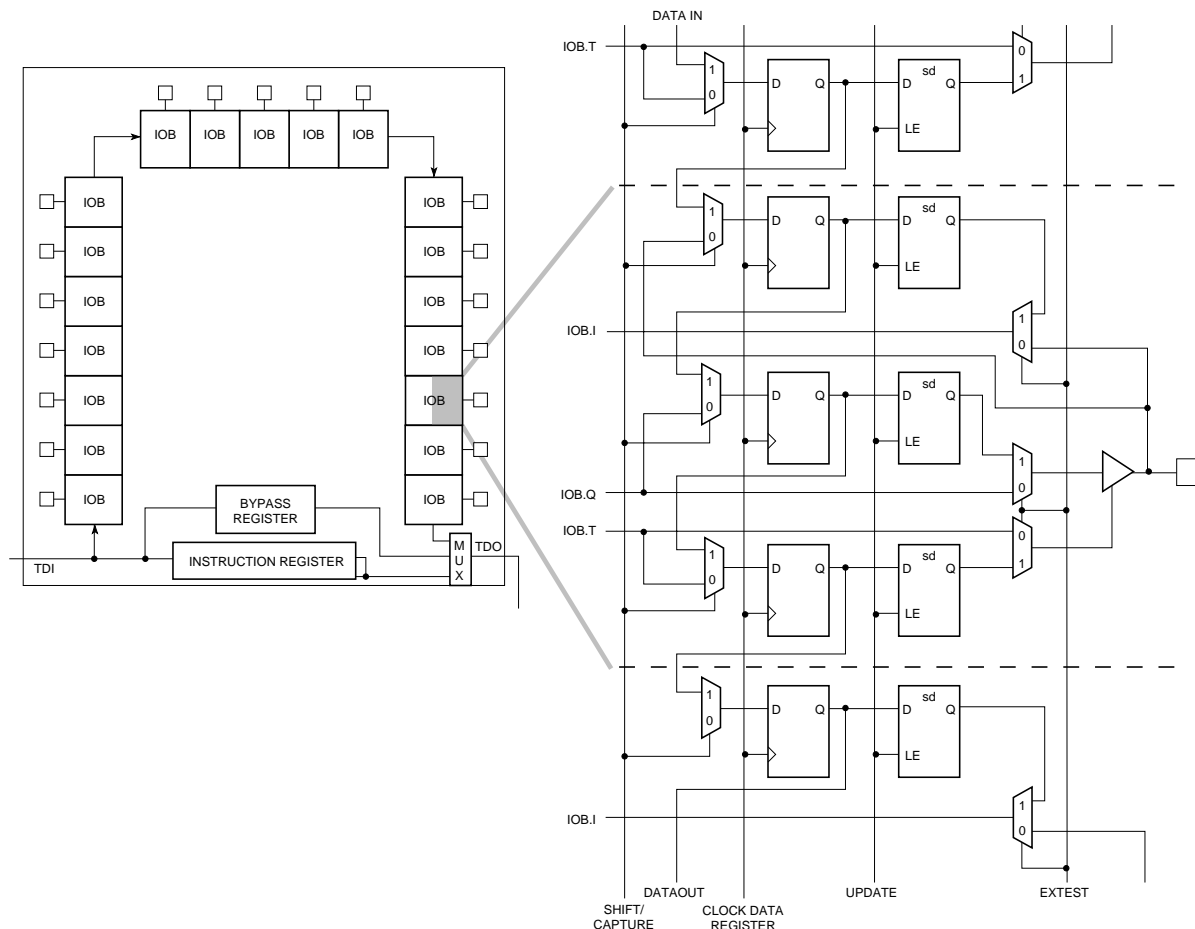


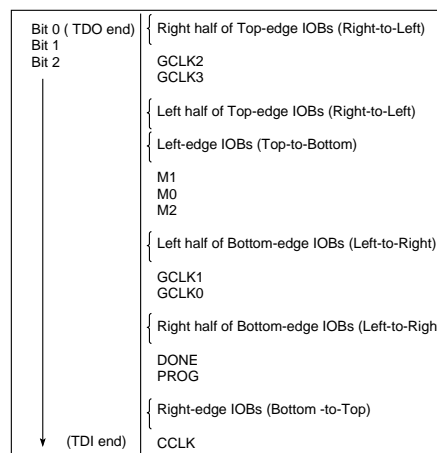
図10: Virtexシリーズバウンダリ・スキャンのロジック図

ビット・ストリーム

各IOB内の順序は、入力、出力、スリーステートの順です。入力専用ピンはバウンダリ・スキャンI/Oデータ・レジスタに対して入力ビットとしてのみ寄与しますが、出力専用ピンは3ビットすべてに対して寄与します。

チップのキャピティ・アップ側から見た場合(EPICに表示)、バウンダリ・スキャン・データ・レジスタ・ビットはチップの右上が先頭で、図11に示す順に配置されています。

Virtex シリーズ・デバイスのBSDL(バウンダリ・スキャン記述言語)ファイルは、ザイリンクスwebサイトのファイル・ダウンロード・エリアに用意されています。



990602001

図11: バウンダリ・スキャン・ビット・シーケンス

識別レジスタ

IDCODEレジスタもサポートされています。IDCODEを使って、JTAGポートに接続されているデバイスが識別されます。IDCODEレジスタは次に示すバイナリ・フォーマットを持っています。

```
vvvv:ffff:fffa:aaaa:aaaa:cccc:cccc:ccc1
```

ここで、

v = チップのバージョン番号

f = ファミリー・コード (Virtexファミリーは03h)

a = CLB列の数 (XCV50の010h ~ XCV1000の040h)

c = 会社コード (ザイリンクスは49h)

USERCODEレジスタもサポートされています。USERCODEを使って、ユーザ設定可能な識別コードをロードし、さらにそれをシフト出力して確認することができます。識別コードはビット・ストリーム生成時に組み込まれ、コンフィギュレーション後に有効になります。

表8: Virtex FPGAに割り当てられているIDCODE

FPGA	IDCODE
XCV50	V0610093h
XCV100	V0614093h
XCV150	V0618093h
XCV200	V061C093h
XCV300	V0620093h
XCV400	V0628093h
XCV600	V0630093h
XCV800	V0638093h
XCV1000	V0640093h

デザインへのバウンダリ・スキャンの組み込み

バウンダリ・スキャン・ピンは専用であるため、内部データ・レジスタ (USRE1またはUSER2)を必要としない限り、デザインに特別なエレメントを追加する必要はありません。

内部データ・レジスタを使用する場合は、バウンダリ・スキャン・シンボルを挿入して該当するピンに接続します。

開発システム

Virtex FPGAは、ザイリンクスの日本語対応FoundationツールとAlliance CAEツールによりサポートされています。Virtexデザインの基本的な方法は、相互に関係するデザイン入力、インプリメンテーション、検証の3ステップで構成されています。デザイン入力とシミュレーションでは、業界標準のツールを使うことができます(例えば、Synopsys社のFPGA Express)。一方、ザイリンクスはアーキテクチャ固有な当社独自のインプリメンテーション用ツールを提供します。

ザイリンクスの開発システムは、ザイリンクス・デザイン・マネージャ(XDMTM)ソフトウェアの中に統合されており、選択した入力ツールと検証ツールに無関係な共通ユーザ・インターフェイスを提供しています。XDMソフトウェアでは、プルダウン・メニューとオンライン・ヘルプを使うことによりインプリメンテーション・オプションの選択を簡単に行うことができます。

回路図入力から配置配線(PAR)までのアプリケーション・プログラムは、XDMソフトウェアを経由してアクセスできます。実行前にプログラム・コマンド・シーケンスが発生されて、ドキュメントとして保存されます。

いくつかの最新ソフトウェア機能を使いますとVirtexデザインが容易になります。例えば、RPMは回路図ベースのマクロであり、相対位置に条件をつけて配置を行います。これらのソフトウェアにより、共通ファンクションの最適インプリメンテーションを支援します。

HDLデザイン入力に対しては、ザイリンクスFPGA Foundation開発システムにより、次の論理合成デザイン環境に対するインターフェイスを提供しています。

- Synopsys (FPGA Compiler, FPGA Express)
- Exemplar (Spectrum)
- Synplicity (Synplify)

回路図デザイン入力に対しては、ザイリンクスの日本語対応Foundation開発システムとAlliance開発システムにより、次の回路図入力デザイン環境に対するインターフェイスを提供しています。

- Mentor Graphics V8 (Design Architect, QuickSim II)
- Viewlogic Systems (Viewdraw)

サード・パーティ・ベンダもその他の多くの環境をサポートしています。標準インターフェイス・ファイル仕様のEDIF (Electronic Design Interchange Format)を使うと、開発システムに対するファイル転送が簡単になります。

Virtex FPGAは、標準ファンクションの統一されたライブラリによりサポートされています。このライブラリには、2入力ANDゲートから16ビット・アキュムレータまでの400を超えるプリミティブとマクロが収容されており、演算機能、コンパレータ、カウンタ、データレジスタ、デコーダ、エンコーダ、I/O機能、ラッチ、プールの関数、マルチプレクサ、シフトレジスタ、パレル・シフトも含まれています。ライブラリの"ソフト・マクロ"部分には、共通ロジック・ファンクションの詳細な記述が含まれていますが、分割または配置の情報は含まれていません。これらのマクロの性能は、インプリメンテーション時に得られた分割と配置に依存します。

一方、RPMにはこれらのファンクションの最適インプリメンテーションを可能にする定義済みの分割と配置の情報が含まれていません。ユーザは、標準ライブラリ内のマクロとプリミティブをベースにして、ユーザ固有のソフト・マクロまたはRPMのライブラリを作成することができます。

このデザイン環境では、主要なファンクション・ブロックを構成する上位レベル回路図による階層的なデザイン入力をサポートしています。一方、下位レベルの回路図は、これらブロック内のロジックを定義します。これらの階層的なデザイン・エレメントは、インプリメンテーション・ツールと自動的に組み合わせられます。別のデザイン入力ツールを階層的なデザイン内で組み合わせることができるため、デザインの各部分に対して最も便利な入力方法を使うことができます。

デザインのインプリメンテーション

配置配線ツール(PAR)は、この節で説明するインプリメンテーション・フローを自動的に用意します。分割は、デザインのEDIFネットリストを取得し、ロジックをFPGAを構成するリソース(例えば、CLBやIOB)に割り当てます。プレーサは、相互接続と所望性能に基づいてこれらのブロックに対する最適配置を決定します。最後に、ルータがブロックを相互接続します。

PARアルゴリズムを用いますと、大部分のデザインに対しては自動インプリメンテーションで十分足ります。ただし、複雑なアプリケーションに対しては、ユーザが処理に対して種々の程度の制御を行うことができます。デザイン入力処理時に、ユーザは分割、配置、配線の情報をオプションとして指定することができます。高度に構造化されたデザインのインプリメンテーションでは、基本フロア・プランニングを使うと、大いにメリットがあります。

インプリメンテーション・ソフトウェアは、タイミング駆動の配置配線プログラムであるTiming Wizard[®]を採用しています。デザイン入力時の全体のパスの何時でも、タイミング条件を指定することができます。PARのタイミング・パス解析ルーチンは、これらのユーザ指定の条件を認識してそれに対応します。

タイミング条件は、ターゲットのクロック周波数や2つのレジスタ間の最大許容遅延のようなシステム条件に直接関係する形式で回路図に入力されます。この方法では、信号バス全体に関するシステムの全体性能がユーザ指定の仕様通りに自動的に調整されます。個々のネットに対する特定のタイミング情報は不要です。

デザインの検証

従来型のソフトウェア・シミュレーションの他に、FPGAのユーザはインサーキット・デバッグ技術を使用することができます。ザイリンクス・デバイスには書き換え回数の制限がないため、デザインをリアルタイムに検証することができ、広範なソフトウェア・シミュレーション・ベクタを用意する必要はありません。

開発システムでは、ソフトウェア・シミュレーション技術とインサーキット・デバッグ技術の両方をサポートしています。シミュレーションに対しては、システムがデザイン・データベースからレイアウト後のタイミング情報を抽出し、シミュレータで使用できるようにこの情報をネットリストにバックアノテーションします。代わりに、スタティック・タイミング・アナライザTRACE[®]を使って、ユーザがデザインのクリティカルなタイミングの部分を検証することもできます。インサーキット・デバッグに対しては、開発システムはダウンロード・ケーブルとリードバック・ケーブルを提供します。このケーブルは、ターゲット・システム内のFPGAをPCまたはワークステーションに接続します。デザインをFPGAへダウンロードした後、ロジックをシングル・ステップで実行し、フリップフロップの内容をリードバックして、内部ロジック状態を検証します。簡単な変更は数分間でシステムにダウンロードすることができます。

コンフィギュレーション

Virtex デバイスは、コンフィギュレーション・データを内部コンフィギュレーション・メモリにロードすることにより、コンフィギュレーションされます。この作業に使用されるいくつかのピンは専用コンフィギュレーション・ピンであり、他のピンはコンフィギュレーション完了後に汎用の入力ピンまたは出力ピンとして使用することができます。

この専用ピンとしては、モード・ピン(M2、M1、M0)、コンフィギュレーション・クロック・ピン(CCLK)、INIT ピン、DONE ピン、バウンダリ・スキャン・ピン(TDI、TDO、TMS、TCK)があります。選択したコンフィギュレーション・モードに応じて、CCLK は FPGA 内で発生された出力、または外部で発生されたもので FPGA に対する入力になります。

出力として動作することがあるコンフィギュレーション用ピンに注意してください。LVTTTL 動作を許容する場合、正常動作のためにはこれらのピンには 3.3V の V_{CCO} が必要となることがあります。影響を受けるすべてのピンはバンク 2 またはバンク 3 内にあります。

下記より詳しい説明については、コンフィギュレーションとリードバックに関する補足説明を参照してください。

表9: コンフィギュレーション・コード

Configuration Mode	M2	M1	M0	CCLK Direction	Data Width	Serial D _{out}	Configuration Pull-ups
Master-serial mode	0	0	0	Out	1	Yes	No
Boundary-scan mode	1	0	1	N/A	1	No	No
SelectMAP mode	1	1	0	In	8	No	No
Slave-serial mode	1	1	1	In	1	Yes	No
Master-serial mode	1	0	0	Out	1	Yes	Yes
Boundary-scan mode	0	0	1	N/A	1	No	Yes
SelectMAP mode	0	1	0	In	8	No	Yes
Slave-serial mode	0	1	1	In	1	Yes	Yes

スレーブ・シリアル・モード

スレーブ・シリアル・モードでは、FPGA はシリアル PROM または他のシリアル・コンフィギュレーション・データ・ソースからビット・シリアル形式でコンフィギュレーション・データを受け取ります。シリアル・ビット・ストリームは、外部で発生された CCLK の各立ち上がりエッジより少し前に DIN 入力ピンに入力される必要があります。複数の FPGA をディジー・チェーン接続して、1 つのソースからコンフィギュレーションすることができます。1 つの FPGA のコンフィギュレーションが済んだら、次のデバイスに対するデータが DOUT ピンに出力されます。DOUT ピン上のデータは、CCLK の立ち上がりエッジで変化します。

CCLK の立ち上がりエッジでの DOUT の変化は、これまでのファミリとは異なっていますが、混在したコンフィギュレーション・チェーンで問題が生ずることはありません。この変更は、Virtex のみで構成されるチェーン接続に対してシリアル・コンフィギュレーション・レートを変更するために行われました。

コンフィギュレーション・モード

Virtex では次の 4 つのコンフィギュレーション・モードをサポートしています。

- スレーブ・シリアル・モード
- マスタ・シリアル・モード
- SelectMAP モード
- バウンダリ・スキャン・モード

コンフィギュレーション・モード・ピン(M2、M1、M0)を使って、これらのコンフィギュレーション・モードを選択します。各モードには、コンフィギュレーション前に各 IOB ピンをプルアップまたはフローティング状態にするオプションがあります。表 8 に、選択コードを示します。

バウンダリ・スキャン・ポートを介するコンフィギュレーションは、モードの選択とは無関係に、常に可能です。バウンダリ・スキャン・モードを選択すると、他のモードは単純にターンオフされます。3 本のモード・ピンは内部プルアップ抵抗を持っており、未接続の場合はデフォルトとしてロジック High になります

図 12 に、フル・マスタ/スレーブ・システムを示します。スレーブ・シリアル・モードでは、Virtex デバイスは左から 3 番目のデバイスのように接続する必要があります。

モード・ピン(M2、M1、M0)に <111> または <011> を入力すると、スレーブ・シリアル・モードが選択されます。ピンが開放のままである場合には、モード・ピンの弱いプルアップ抵抗により、スレーブ・シリアルがデフォルト・モードとして設定されます。図 13 に、スレーブ・シリアル・コンフィギュレーションのタイミングを示します。

表 10 に、図 13 に対する詳しい特性を示します。すべてのディジー・チェーン接続された FPGA の INIT ピンが High になるまで、コンフィギュレーションを遅延させる必要があります。

表10: マスタ・シリアル・モードでの書き込みタイミング

	Description		Symbol		Units	
CCLK	DIN setup/hold, slave mode	1/2	T_{DCC}/T_{CCD}	5.0/0.0	ns, min	
	DIN setup/hold, master mode	1/2	T_{DSCK}/T_{SCKD}	5.0/0.0	ns, min	
	DOUT	3	T_{CCO}	12.0	ns, max	
	High time	4	T_{CCH}	5.0	ns, min	
	Low time	5	T_{CCL}	5.0	ns, min	
	Maximum Frequency			F_{CC}	66	MHz, max
	Frequency Tolerance, master mode with respect to nominal				+45% -30%	

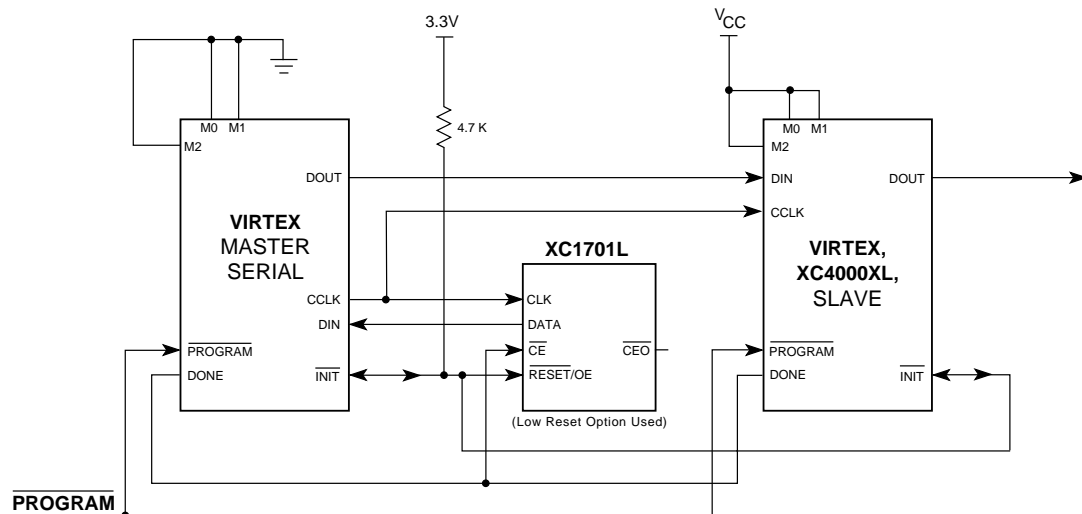


図12: マスタ・シリアル・モードの回路図

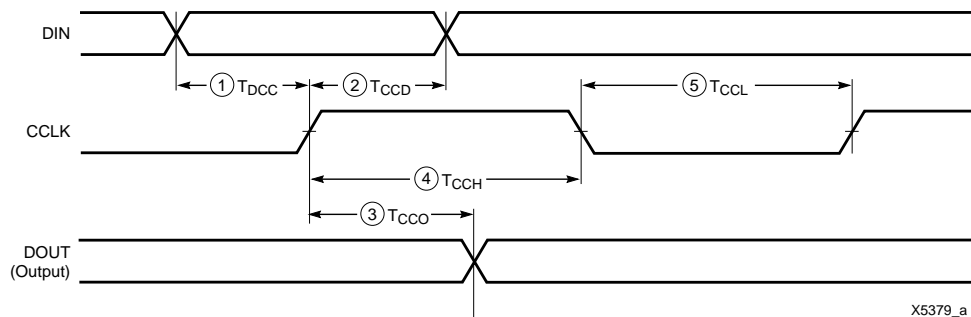


図13: スレーブ・シリアル・モードでの書き込みタイミング

X5379_a

マスタ・シリアル・モード

マスタ・シリアル・モードでは、FPGAのCCLK出力がビット・シリアル・データをDIN入力へ出力するザイリンクス・シリアルPROMを駆動します。FPGAは、このデータをCCLKの各立ち上がりエッジで受け取ります。FPGAのロードが終了すると、ディジー・チェーン内の次のデバイスに対するデータがCCLKの立ち上がりエッジの後にDOUTピンに出力されます。

インターフェイスはスレーブ・シリアルの場合と同じですが、コンフィギュレーション・クロック(CCLK)の発生に内部発振器が使われている点が異なります。CCLKとしては広い範囲の周波数が選択できます。CCLKは必ず低速のデフォルト周波数から動作を開始します。後で、コンフィギュレーション・ビットによりCCLKを高い周波数に切り替えて、その後のコンフィギュレーションを実行します。低い周波数側への切り替えはできません。CCLK周波数は、ビット・ストリーム生成ソフトウェア内のConfigRateオプションを使って設定します。選択可能な最大CCLK周波数は60MHzです。CCLK周波数を選択するときは、シリアルPROMとディジー・チェーン接続されるFPGAがそのレートに対応できるよう十分高速であることを確認してください。

パワーアップ時のCCLK周波数は2.5MHzです。周波数が選択したConfigRateに変化する際にConfigRateがロードされるまで、この周波数が使用されます。デザイン内で別の周波数が指定されない限り、デフォルトConfigRateは4MHzです。

図12に、フル・マスタ/スレーブ・システムを示します。このシステムでは、最も左側のデバイスがマスタ・シリアル・モードで動作します。残りのデバイスはスレーブ・シリアル・モードで動作します。SPROMのRESETピンはINITにより、CE入力はDONEにより、それぞれ駆動されます。このため、選択したスタートアップ・シーケンス・オプションによって、DONEピンで競合が発生する可能性があります。

図14に、シリアルにVirtex FPGAをコンフィギュレーションするときに必要な動作シーケンスを示します。

図15に、マスタ・シリアル・コンフィギュレーションのタイミングを示します。モード・ピン(M2, M1, M0)に<100>を入力すると、マスタ・シリアル・モードが選択されます。表10に、図13のタイミング情報を示します。

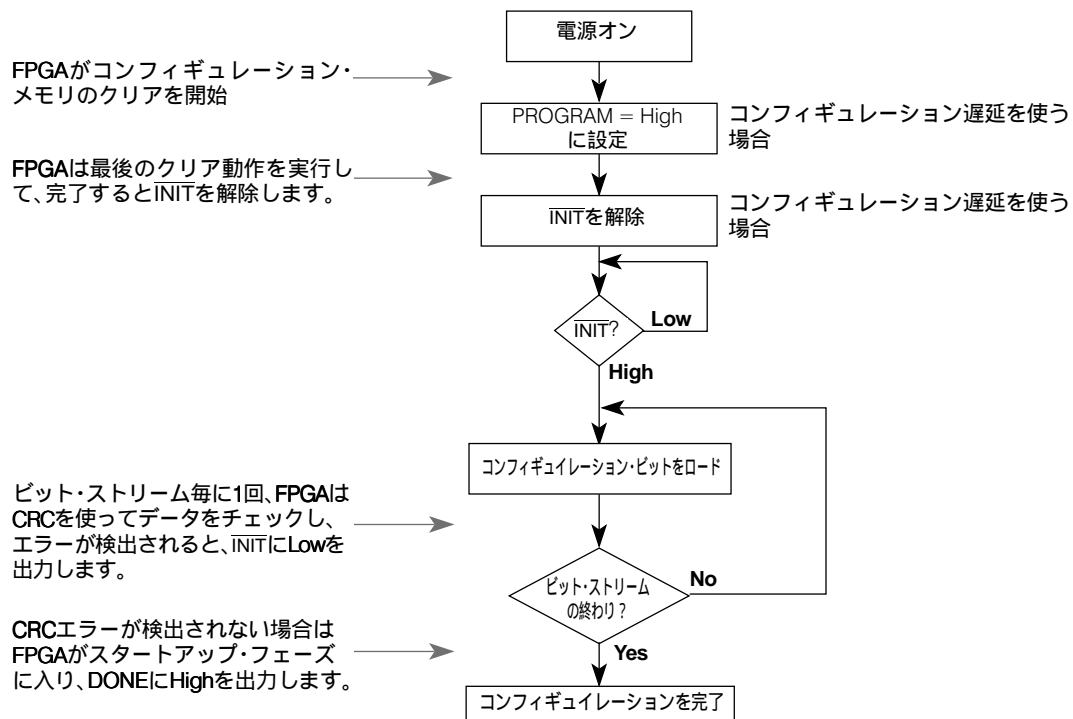
パワーアップ時、Vccは50 ms以内に2.0 VからVcc minに立ち上がる必要があります。そうでない場合は、Vccが有効になるまでPROGRAMをLowに駆動して、コンフィギュレーションを遅延させます。

SelectMAPモード

SelectMAPモードは、最も高速なコンフィギュレーション・オプションです。バイト幅データがFPGAに書き込まれます。BUSYフラグにより、データ・フローを制御します。

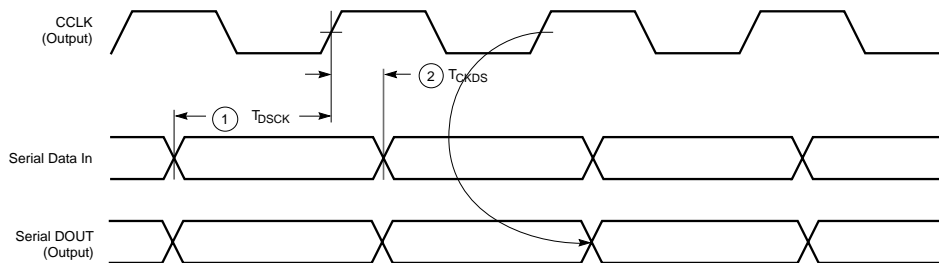
外部のデータ・ソースが、バイト・ストリーム、CCLK、チップ・セレクト(\overline{CS})信号、ライト信号(WRITE)を提供します。FPGAがBUSYをアサート(High)すると、BUSYがLowになるまで、データを保持する必要があります。

SelectMAP モードを使ってデータを読み出すこともできます。 \overline{WRITE} がアサートされていないときは、リードバック動作の一部として、コンフィギュレーション・データをFPGAから読み出すことができます。



X8793_b

図14: シリアル・コンフィギュレーションのフローチャート



X3223_a

図15: マスタ・シリアル・モード書き込みスイッチング

コンフィギュレーション後、SelectMAPポートのピンは追加ユーザ I/Oとして使うことができます。代わりに、高速8ビット・リードバックを行うために、ポートを維持しておくこともできます。

SelectMAPポートの維持は、デザイン毎にビット・ストリームの生成時に選択することができます。維持を選択する場合は、SelectMAP-ポート・ピンがユーザ I/Oとして使用されるのを防止するために、PROHIBIT制約条件が必要になります。

SelectMAPモードを使うと、複数のVirtex FPGAをコンフィギュレーションして、同時にスタートアップさせることができます。複数のデバイスをこの方法でコンフィギュレーションするときは、すべてのデバイスのCCLKピン、Dataピン、 $\overline{\text{WRITE}}$ ピン、BUSYピンを並列接続します。各デバイスの $\overline{\text{CS}}$ ピンを順にアサートして該当するデータを書き込むことにより、個々のデバイスは個別にロードされます。

注: SelectMAPの書き込みタイミング特性については、表11を参照。

表11: マスタ・シリアル・モードでの書き込みタイミング

	Description		Symbol		Units
CCLK	D_{0-7} Setup/Hold	1/2	$T_{\text{SMDC}}/T_{\text{SMCCD}}$	5.0/0.0	ns, min
	$\overline{\text{CS}}$ Setup/Hold	3/4	$T_{\text{SMCSCC}}/T_{\text{SMCCCS}}$	7.0/0.0	ns, min
	$\overline{\text{WRITE}}$ Setup/Hold	5/6	$T_{\text{SMCCW}}/T_{\text{SMWCC}}$	7.0/0.0	ns, min
	BUSY Propagation Delay	7	T_{SMCKBY}	12.0	ns, max
	Maximum Frequency		F_{CC}	66	MHz, max
	Maximum Frequency with no handshake		F_{CCNH}	50	MHz, max

書き込み

書き込み動作では、コンフィギュレーション・データの packets を FPGA に送信します。複数サイクル書き込み動作の動作シーケンスを次に説明します。コンフィギュレーション・packet は、このような多数のシーケンスに分割できることに注意してください。packet は $\overline{\text{CS}}$ の1回のアサート内で終わる必要はありません(図16)。

- $\overline{\text{WRITE}}$ と $\overline{\text{CS}}$ を Low にアサートします。連続する CCLK で $\overline{\text{CS}}$ をアサートすると、 $\overline{\text{WRITE}}$ はアサート状態またはディ・アサート状態を維持することに注意してください。その他の場合は、後で説明するようにアサート状態になります。
- データを $D[7:0]$ に出力します。競合を回避するために、 $\overline{\text{CS}}$ が Low で、かつ $\overline{\text{WRITE}}$ が High のときは、データ・ソースをイネーブルしないように注意してください。同様に、 $\overline{\text{WRITE}}$ が High のときは、複数回の $\overline{\text{CS}}$ アサートは避けてください。

- CCLK の立ち上がりエッジで BUSY が Low の場合、データはこのクロックで受け取られます。前の $\overline{\text{WRITE}}$ 以後 BUSY が High のままである場合は、データは受け取られません。代わりに、BUSY が Low になった後の最初のクロックで受け取られるため、データはこのタイミングまで保持しておく必要があります。
- すべてのデータが送信されるまで、ステップ2とステップ3を繰り返します。
- $\overline{\text{CS}}$ と $\overline{\text{WRITE}}$ をディ・アサートします。

書き込み動作のフローチャートを図17に示します。CCLK が f_{CCNH} より低速の場合、FPGA は BUSY をアサートしないことに注意してください。この場合、上のハンドシェイクは不要で、データは各 CCLK サイクルで単純に FPGA に入力されます。

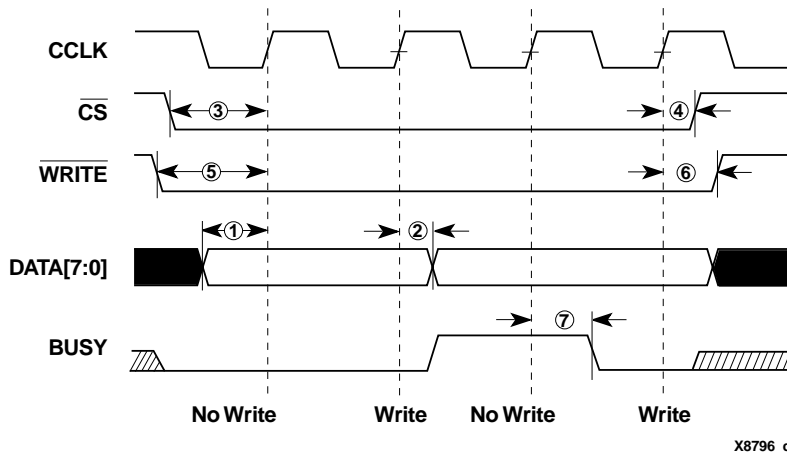
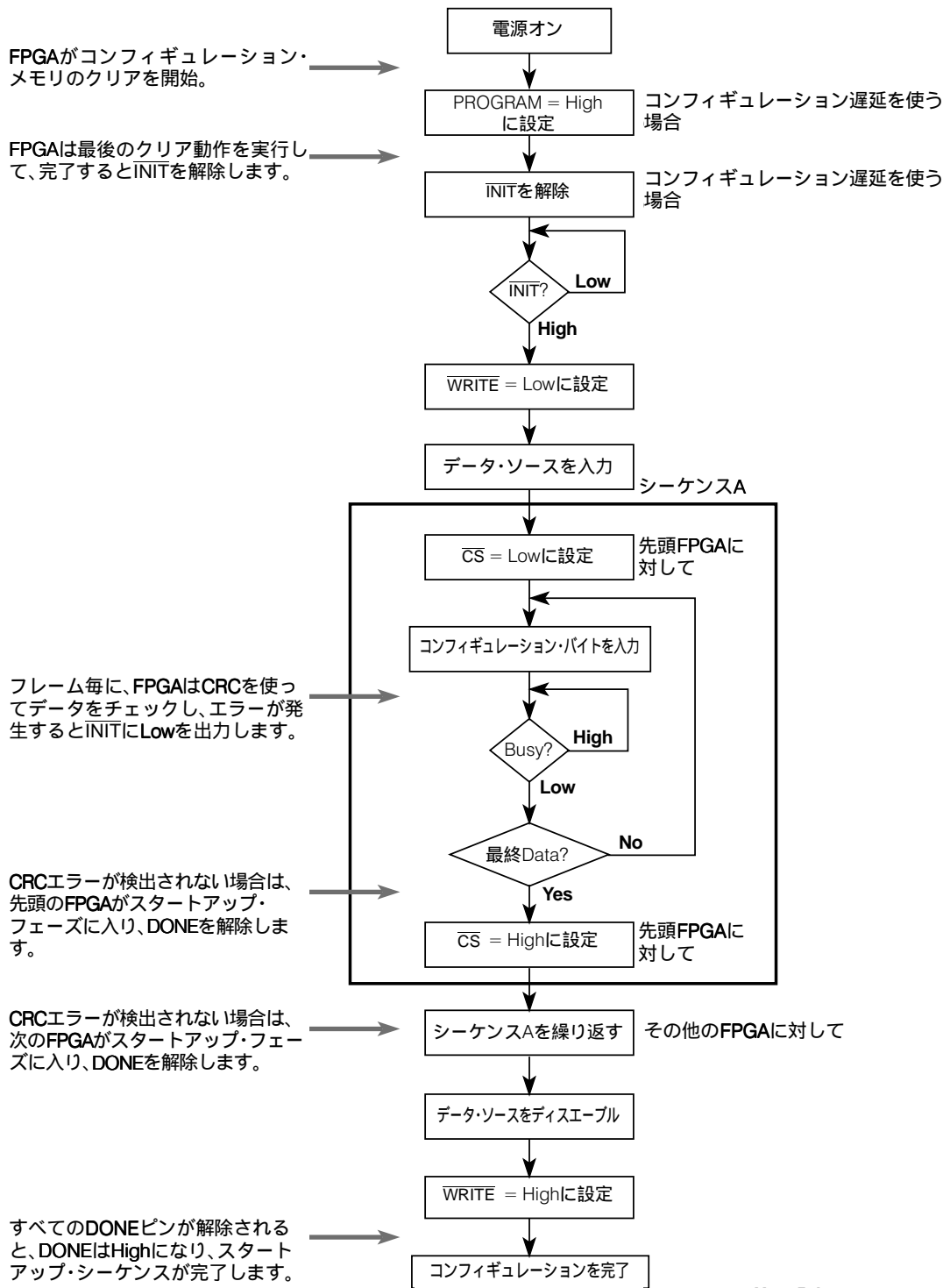


図16: SelectMAPの書き込み波形

アボート

\overline{CS} のアサート中は、書き込みから読み出しへ切り替えることはできません。逆の切り替えもできません。この動作を行うと、実行中のパケット・コマンドがアボートされます。デバイスは、アボートされた動作が完了するまでBUSY状態になります。アボートの後、データの

ワード境界が不整列であるものと見なして、FPGAは新しくワード同期をとった後に新しいパケットを受信します。書き込み動作中にアボートを起動するときは、 \overline{WRITE} をディ・アサートします。CCLKの立ち上がりエッジで、アボートが開始されます(図18)。



X8795_b

図17: 書き込み動作に対するSelectMAPのフローチャート

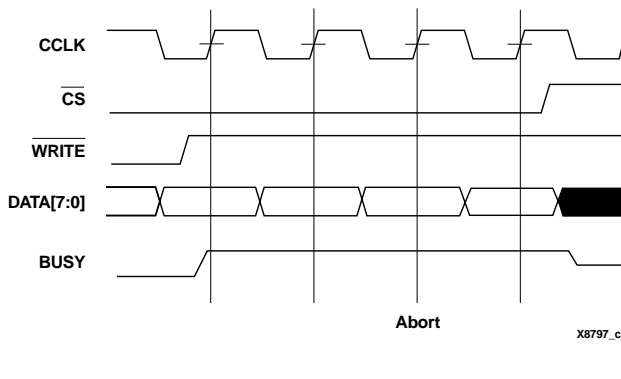


図18: SelectMAP書き込みのアポート時の波形

バウンダリ・スキャン・モード

バウンダリ・スキャン・モードでは、専用ピンのみを使います。コンフィギュレーションは、IEEE 1149.1標準のテスト・アクセス・ポート (TAP)を使って実行します。

TAPを使うコンフィギュレーションでは、特別なCFG_INインストラクションを使用します。このインストラクションを使うと、TDIIに入力されたデータは内部コンフィギュレーション・バスで使用するデータ・パケットに変換されます。

バウンダリ・スキャン・ポートを使ってFPGAをコンフィギュレーションするときは、次のステップが必要です(TCKをスタートアップ・クロックとして使用)。

1. CFG_INインストラクションをバウンダリ・スキャン・インストラクション・レジスタ(IR)にロードします。
2. Shift-DR (SDR)状態に入ります。
3. 標準コンフィギュレーション・ビット・ストリームをTDIへシフトします。
4. Run-Test-Idle (RTI)に戻ります。
5. STARTインストラクションをIRへロードします。
6. SDR状態に入ります。
7. スタートアップ・シーケンス中、TCKをクロックとして使います。
8. RTIに戻ります。

TAPを使用して、コンフィギュレーションとリードバックは常に可能です。モード・ピン(M2, M1, M0)に<101>または<001>を入力すると、バウンダリ・スキャン・モードが選択されます。

コンフィギュレーション・シーケンス

Virtexデバイスのコンフィギュレーションは、3つのフェーズから構成されるプロセスです。まず、コンフィギュレーション・メモリをクリアします。次に、コンフィギュレーション・データをメモリにロードします。最後に、スタートアップ・プロセスにより、ロジックが起動されます。

次に説明するように、ユーザがコンフィギュレーションを遅延させない限り、パワーアップ時にコンフィギュレーションが自動的に開始されます。コンフィギュレーション・プロセスは、PROGRAMのアサートにより起動することもできます。メモリ・クリア・フェーズの

終了はINITがHighになることにより、プロセス全体の完了はDONEがHighになることにより、それぞれ表示されます。

コンフィギュレーション信号のパワーアップ時のタイミングを図19に示します。表12に、対応するタイミング特性を示します。

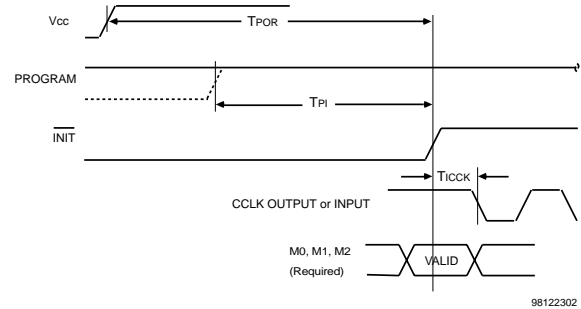


図19: コンフィギュレーション信号のパワーアップ時のタイミング

表12: パワーアップ時のタイミング特性

Description	Symbol	Value	Units
Power-on Reset	T _{POR}	2.0	ms, max
Program Latency	T _{PL}	100.0	μs, max
CCLK (output) Delay	T _{ICCK}	0.5	μs, min
		4.0	μs, max
Program Pulse Width	T _{PROGRAM}	300	ns, min

遅延コンフィギュレーション

システムでデバイスのコンフィギュレーションを実行する準備が整うまでPROGRAMピンをLowに維持して、FPGAのコンフィギュレーションを遅延させることができます。メモリ・クリア・フェーズでは、コンフィギュレーション・メモリの全アドレスのクリアが完了するまでコンフィギュレーション・シーケンスのサイクルが繰り返されます。この動作は、PROGRAMピンがHighになった後も1アドレス・サイクル分だけ続きます。したがって、メモリ・クリア・フェーズを延長することにより、コンフィギュレーションを遅延させることができます。

代わりに、オープン・ドレイン・ドライバを使ってINITをLowに維持することもできます。INITは、コンフィギュレーション・メモリのクリア中にFPGAがLowに維持する双方向のオープン・ドレイン・ピンであるため、ここでオープン・ドレイン・ドライバが必要になります。ピンをLowにする時間を延長することにより、コンフィギュレーション・シーケンス中にコンフィギュレーション・メモリが未だクリア中であるかのように動作させます。こうして、コンフィギュレーションを遅延させて、データをロードするフェーズに入ってしまうのを防止します。

スタートアップ・シーケンス

デフォルトのスタートアップ・シーケンスでは、DONEがHighになった後の1CCLKサイクルで、グローバル・スリーステート信号(GTS)が解除されます。このシーケンスでは、必要に応じてデバイス出力をターンオンすることができます。

1CCLKサイクル後に、グローバル・セット/リセット(GSR)信号とグローバル・ライト・イネーブル(GWE)信号が解除されます。このた

め、ロジックとユーザ・クロックに応答して、内部記憶エレメントがその状態を変更することができます。

これらイベントの相対タイミングは変更することができます。さらに、GTS、GSR、GWEの各イベントが複数デバイスの全DONEピンがHighになることに依存するようにして、全デバイスが同期して起動するようにすることもできます。すべてのDLLがロックするまで、シーケンスを任意のステージで停止させることもできます。

データ・ストリームのフォーマット

データのフレームをシーケンシャルにロードすることにより、Virtexデバイスのコンフィギュレーションが実行されます。表13に、各デバイスをコンフィギュレーションする際に必要な合計ビット数を示します。詳細については、アプリケーション・ノートXAPP151『Virtexコンフィギュレーション・アーキテクチャ・アドバンスド・ユーザズ・ガイド』を参照してください。

表13: Virtexのビット・ストリーム長

Device	# of Configuration Bits
XCV50	559,232
XCV100	781,248
XCV150	1,041,128
XCV200	1,335,872
XCV300	1,751,840
XCV400	2,546,080
XCV600	3,608,000
XCV800	4,715,684
XCV1000	6,127,776

リードバック

Virtexコンフィギュレーション・メモリに格納されているコンフィギュレーション・データをリードバックして検証することができます。コンフィギュレーション・データと一緒に、すべてのフリップフロップ/ラッチ、LUTRAM、ブロックRAMの内容もリードバックすることができます。この機能は、リアルタイム・デバッグで使用されます。

詳細については、アプリケーション・ノートXAPP138『Virtex FPGA シリーズのコンフィギュレーションおよびリードバック』を参照してください。

製品仕様

VirtexのDC特性.....	27
Virtexのスイッチング特性.....	30
Virtexピン定義.....	43
デバイス/パッケージの組み合わせと最大I/O数.....	74
注文コード様式.....	74
リビジョン表.....	75

VirtexのDC特性

用語の定義

データシートには、アドバンスまたは暫定の区別があります。これらデータシートの仕様ステータスは次の通りです。

アドバンス : シミュレーションおよび / または他のスピード・グレード、デバイス、またはファミリからの外挿に基づく最初の計算値。値は変更されることがあります。見積値として使用し、量産用には使用しないでください。

暫定 : 暫定キャラクタライゼーションに基づきます。変更されることは予想されていません。

マークなし : アドバンスまたは暫定と表示されていないデータシートは最終版と見なされます。

すべての仕様は、ワースト・ケース電源電圧条件とジャンクション温度条件の下で表されたものです。記載されるパラメータは、一般的なデザインと代表的なアプリケーションに対して共通に適用されます。詳細情報を必要とするデザインについては、最寄りのザイリンクスにご相談ください。

すべての仕様は予告無く変更されることがあります。

Virtexの絶対最大定格

Symbol	Description			Units
V_{CCINT}	Supply voltage relative to GND		-0.5 to 3.0	V
V_{CCO}	Supply voltage relative to GND		-0.5 to 4.0	V
V_{REF}	Input Reference Voltage		-0.5 to 3.6	V
V_{IN}	Input voltage relative to GND	Using V_{REF}	-0.5 to 3.6	V
		Internal threshold	-0.5 to 5.5	V
V_{TS}	Voltage applied to 3-state output		-0.5 to 5.5	V
V_{CC}	Longest Supply Voltage Rise Time from 1V-2.375V		50	ms
T_{STG}	Storage temperature (ambient)		-65 to +150	°C
T_{SOL}	Maximum soldering temp. (10s @ 1/16 in. = 1.5 mm)		+260	°C
T_J	Junction temperature	Ceramic packages	+125	°C
		Plastic packages	+125	°C

注: 絶対最大定格を超えるストレスは、デバイスに永久的な損傷を与える場合があります。ここに定める値は、ストレスの定格に限定したものであり、これらの値または推奨動作条件を超える他の条件におけるデバイスの機能動作を意味するものではありません。デバイスを長時間絶対最大定格状態におくと、デバイスの信頼性に影響を与える場合があります。

電源は任意の順序でONにすることができます。

長時間(例えば、1日以上)、 V_{CCO} より3.6V以上高い電圧を V_{IN} に入力しないでください。

Virtexの推奨動作条件

Symbol	Description		Min	Max	Units
V_{CCINT}	Supply voltage relative to GND, $T_J = 0^\circ\text{C}$ to $+85^\circ\text{C}$	Commercial	2.5 - 5%	2.5 + 5%	V
	Supply voltage relative to GND, $T_J = -40^\circ\text{C}$ to $+100^\circ\text{C}$	Industrial	2.5 - 5%	2.5 + 5%	V
V_{CCO}	Supply voltage relative to GND, $T_J = 0^\circ\text{C}$ to $+85^\circ\text{C}$	Commercial	1.2	3.6	V
	Supply voltage relative to GND, $T_J = -40^\circ\text{C}$ to $+100^\circ\text{C}$	Industrial	1.2	3.6	V
T_{IN}	Input signal transition time			250	ns

注: 正常動作は、最小 $V_{CCINT} = 2.25\text{ V}$ (公称 $V_{CCINT} - 10\%$)で保証されます。上記最小値より下では、すべての遅延パラメータが、規定範囲より下において V_{CCINT} が50 mV低下する毎に3%増加します。

上記動作条件の接合温度を超えると、すべての遅延パラメータは、0.35%/°で増加します。入力と出力は V_{CC} の約50%スレッショルドで測定。

推奨動作条件でのVirtexのDC特性

Symbol	Description	Device	Min	Max	Units	
V_{DRINT}	Data Retention V_{CCINT} Voltage (below which configuration data may be lost)	All	2.0		V	
V_{DRIO}	Data Retention V_{CCO} Voltage (below which configuration data may be lost)	All	1.2		V	
I_{CCINTQ}	Quiescent V_{CCINT} supply current (注 1)	XCV50				
		XCV100				
		XCV150				
		XCV200				
		XCV300				
		XCV400				
		XCV600				
		XCV800				
		XCV1000				
I_{CCOQ}	Quiescent V_{CCO} supply current (注1)	XCV50				
		XCV100				
		XCV150				
		XCV200				
		XCV300				
		XCV400				
		XCV600				
		XCV800				
		XCV1000				
I_{REF}	V_{REF} current per V_{REF} pin	All		20	μ A	
I_L	Input or output leakage current	All	-10	+10	μ A	
C_{IN}	Input capacitance (sample tested)	BGA, PQ, HQ, packages		All	8	pF
I_{RPU}	Pad pull-up (when selected) @ $V_{in} = 0$ V, $V_{CCO} = 3.3$ V (sample tested)	All	注2	0.25	mA	
I_{RPD}	Pad pull-down (when selected) @ $V_{in} = 3.6$ V (sample tested)		注2	0.15	mA	

注1: 出力電流負荷なし、アクティブ入力プルアップ抵抗なし、すべてのI/Oピン・スリーステートでフローティングの場合。

注2: 内部プルアップ抵抗とプルダウン抵抗が、未接続入力ピンの有効なロジック・レベルを保証します。入力ピンが他の回路に接続された場合は、これらのプルアップ抵抗とプルダウン抵抗は有効なロジック・レベルを保証しません。

VirtexのDC入力レベルとDC出力レベル

V_{IL} と V_{IH} の値は推奨入力電圧です。 I_{OL} と I_{OH} の値は、推奨動作条件における V_{OL} と V_{OH} テスト・ポイントでの保証出力電流です。選択された規格のみがテストされています。すべての規格がそれぞれの仕様を満たすように選択します。選択された規格は、それぞれ表示した V_{OL} と V_{OH} の電圧レベルで、最小 V_{CCO} 値でテストされます。その他の規格に対してはサンプリング・テストがされています。

Input/Output Standard	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V, min	V, max	V, min	V, max	V, Max	V, Min	mA	mA
LVTTTL (注1)	-0.5	0.8	2.0	5.5	0.4	2.4	24	-24
LVC MOS2	-0.5	0.7	1.7	5.5	0.4	1.9	12	-12
PCI, 3.3 V	-0.5	44% V_{CCINT}	60% V_{CCINT}	$V_{CCO} + 0.5$	10% V_{CCO}	90% V_{CCO}	注2	注2
PCI, 5.0 V	-0.5	0.8	2.0	5.5	0.55	2.4	注2	注2
GTL	-0.5	$V_{REF} - 0.05 V_{REF}$	$V_{REF} + 0.05$	3.6	0.4	n/a	40	n/a
GTL+	-0.5	-0.1	$V_{REF} + 0.1$	3.6	0.6	n/a	36	n/a
HSTL I	-0.5	$V_{REF} - 0.1$	$V_{REF} + 0.1$	3.6	0.4	$V_{CCO} - 0.4$	8	-8
HSTL III	-0.5	$V_{REF} - 0.1$	$V_{REF} + 0.1$	3.6	0.4	$V_{CCO} - 0.4$	24	-8
HSTL IV	-0.5	$V_{REF} - 0.1$	$V_{REF} + 0.1$	3.6	0.4	$V_{CCO} - 0.4$	48	-8
SSTL3 I	-0.5	$V_{REF} - 0.2$	$V_{REF} + 0.2$	3.6	$V_{REF} - 0.6$	$V_{REF} + 0.6$	8	-8
SSTL3 II	-0.5	$V_{REF} - 0.2$	$V_{REF} + 0.2$	3.6	$V_{REF} - 0.8$	$V_{REF} + 0.8$	16	-16
SSTL2 I	-0.5	$V_{REF} - 0.2$	$V_{REF} + 0.2$	3.6	$V_{REF} - 0.50$	$V_{REF} + 0.50$	7.6	-7.6
SSTL2 II	-0.5	$V_{REF} - 0.2$	$V_{REF} + 0.2$	3.6	$V_{REF} - 0.50$	$V_{REF} + 0.50$	15.2	-15.2
CTT	-0.5	$V_{REF} - 0.2$	$V_{REF} + 0.2$	3.6	$V_{REF} - 0.4$	$V_{REF} + 0.4$	8	-8
AGP	-0.5	$V_{REF} - 0.2$	$V_{REF} + 0.2$	3.6	10% V_{CCO}	90% V_{CCO}	注2	注2

注1: これより小さい駆動電流に対する V_{OL} と V_{OH} にはサンプリング・テストを行が行われています。

注2: 関連仕様に従ってテストされます。

Virtexのスイッチング特性

スイッチング・パラメータのテストは、MIL-M-38510/605に規定されるテスト方法に従いモデル化しています。すべてのデバイスに100%の機能テストを実施します。内部タイミング・パラメータは、内部テスト・パターンを測定することで導出しています。次に示すのは代表値です。個別の正確なデータとワースト・ケース保証データに対しては、スタティック・タイミング・アナライザ(ザイリンクス開発システムのTRCE)から報告された値とシミュレーション・ネットリストにバック・アノテーションされた値を使ってください。すべてのタイミング・パラメータはワースト・ケース動作条件(電源電圧と接合温度)で規定しています。特に別の注記がない限り、値はすべてのVirtexデバイスに適用されます。

Virtex IOB入力のスイッチング特性

パッドに対応する入力遅延は、LVTTTLレベルに対して規定します。他の規格に対しては、31ページの"IOB入力スイッチング特性規格値調整値"に示す値を使って遅延を調整してください。

Description	Device	Symbol	Speed Grade			Units
			-6	-5	-4	
Propagation Delays						
Pad to output, no delay	All	T_{IOPI}	0.8	0.9	1.0	ns, max
Pad to I output, with delay	XCV50	T_{IOPID}	1.5	1.7	1.9	ns, max
	XCV100		1.5	1.7	1.9	ns, max
	XCV150		1.5	1.7	1.9	ns, max
	XCV200		1.5	1.7	1.9	ns, max
	XCV300		1.5	1.7	1.9	ns, max
	XCV400		1.8	2.0	2.3	ns, max
	XCV600		1.8	2.0	2.3	ns, max
	XCV700		2.2	2.4	2.7	ns, max
XCV1000	2.2	2.4	2.7	ns, max		
Pad to output IQ via transparent latch, no delay	All	T_{IOPLI}	1.6	1.8	2.0	ns, max
Pad to output IQ via transparent latch, with delay	XCV50	T_{IOPLID}	3.8	4.1	4.8	ns, max
	XCV100		3.8	4.1	4.8	ns, max
	XCV150		4.0	4.3	5.0	ns, max
	XCV200		4.0	4.4	5.0	ns, max
	XCV300		4.0	4.4	5.1	ns, max
	XCV400		4.2	4.6	5.4	ns, max
	XCV600		4.2	4.7	5.5	ns, max
	XCV700		4.4	4.8	5.7	ns, max
	XCV1000		4.5	5.1	5.9	ns, max
	Sequential Delays					
Clock CLK to output IQ	All	T_{IOCKIQ}	0.7	0.7	0.8	ns, max
Setup and Hold Times with respect to Clock CLK			Setup Time/Hold Time			
Pad, no delay	All	T_{IOPICK}/T_{IOICKP}	1.6 / 0.0	1.8 / 0.0	2.0 / 0.0	ns, min
Pad, with delay	All	$T_{IOPICKD}/T_{IOICKPD}$	3.9 / 0.0	4.4 / 0.0	5.0 / 0.0	ns, min
ICE input	All	$T_{IOICECK}/T_{IOICKICE}$	0.8 / 0.0	0.9 / 0.0	1.0 / 0.0	ns, min
SR input (IFF, synchronous)	All	$T_{IOSRCKI}/T_{IOICKISR}$	1.0 / 0.0	1.1 / 0.0	1.3 / 0.0	ns, min
Set/Reset Delays						
SR input to IQ (asynchronous)	All	T_{IOSRIQ}	1.4	1.6	1.8	ns, max
GSR to output IQ	All	T_{GSRQ}	9.7	10.9	12.5	ns, max

IOB入カスイッチング特性規格値調整値

Description	Symbol	Standard	Speed Grade			Units
			-6	-5	-4	
Data Input Delay Adjustments						
Standard-specific data input delay adjustments	T _{IPOFFSET}	LVTTTL	0.0	0.0	0.0	ns
		LVC MOS2	0.0	-0.1	-0.1	ns
		PCI, 33 MHz, 3.3 V	-0.1	-0.2	-0.2	ns
		PCI, 33 MHz, 5.0 V	0.3	0.3	0.4	ns
		PCI, 66 MHz, 3.3 V	-0.1	-0.2	-0.2	ns
		GTL	0.2	0.3	0.3	ns
		GTL+	0.2	0.2	0.2	ns
		HSTL	0.1	0.1	0.1	ns
		SSTL3	0.0	-0.1	-0.1	ns
		SSTL2	0.0	-0.1	-0.1	ns
		CTT	0.1	0.1	0.1	ns
AGP	0.0	-0.1	-0.1	ns		

Virtex IOB出力のスイッチング特性

パッドで終端する出力遅延は、12mA駆動の高速スルー・レートを持つLVTTTLに対して規定してあります。その他の規格に対しては、33ページの"IOB出力スイッチング特性規格値調整値"に示す値(T_{OPSL})を使って遅延を調整してください。

Description	Symbol	Speed Grade			Units
		-6	-5	-4	
Propagation Delays					
O input to Pad	T_{IOOP}	3.3	3.7	4.2	ns, max
O input to Pad via transparent latch	T_{IOOLP}	3.7	4.2	4.8	ns, max
3-State Delays					
T input to Pad high-impedance (注1)	T_{IOTHZ}	2.3	2.8	3.0	ns, max
T input to valid data on Pad	T_{IOTON}	3.4	3.8	4.4	ns, max
T input to Pad high-impedance via transparent latch (注1)	$T_{IOTLPHZ}$	2.8	3.1	3.5	ns, max
T input to valid data on Pad via transparent latch	$T_{IOTLPON}$	3.8	4.3	4.9	ns, max
GTS to Pad high impedance (注1)	T_{GTS}	4.9	5.5	6.3	ns, max
Sequential Delays					
Clock CLK to Pad	T_{IOCKP}	3.3	3.7	4.2	ns, max
Clock CLK to Pad high-impedance (synchronous) (注1)	T_{IOCKHZ}	2.7	3.0	3.4	ns, max
Clock CLK to valid data on Pad (synchronous)	T_{IOCKON}	3.7	4.2	4.8	ns, max
Setup Times before Clock CLK					
O input	T_{IOOCK}	1.1	1.2	1.3	ns, min
OCE input	$T_{IOOCECK}$	0.8	0.9	1.0	ns, min
SR input (OFF)	$T_{IOSRCKO}$	1.1	1.2	1.4	ns, min
3-State Setup Times, TCE input	$T_{IOTCECK}$	0.9	0.9	1.1	ns, min
3-State Setup Times, T input	T_{IOTCK}	0.7	0.8	0.9	ns, min
3-State Setup Times, SR input (TFF)	$T_{IOSRCKT}$	1.0	1.1	1.3	ns, min
Hold Times after Clock CLK					
All Hold Times		0.0	0.0	0.0	ns, min
Set/Reset Delays					
SR input to Pad (asynchronous)	T_{IOSRP}	4.1	4.6	5.3	ns, max
SR input to Pad high-impedance (asynchronous) (注1)	T_{IOSRHZ}	3.5	3.9	4.4	ns, max
SR input to valid data on Pad (asynchronous)	T_{IOSRON}	4.5	5.1	5.8	ns, max
GSR to Pad	T_{GSRQ}	9.7	10.9	12.5	ns, max

注1: スリーステート・ターンオフ遅延は調整しないでください。

IOB出力スイッチング特性規格値調整値

パッドで終端する出力遅延は、12mA駆動の高速スルー・レートを持つLVTTTLに対して規定してあります。その他の規格に対しては、次に示す値を使って遅延を調整してください。

Description	Symbol	Standard	Speed Grade			Units
			-6	-5	-4	
Output Delay Adjustments						
Standard-specific adjustments for output delays terminating at pads (based on standard capacitive load, Csl)	T _{OPADJUST}	LVTTTL, Slow, 2 mA	15.2	17.1	19.6	ns
		4 mA	7.7	8.7	10.0	ns
		6 mA	5.0	5.6	6.5	ns
		8 mA	4.2	4.8	5.5	ns
		12 mA	3.0	3.4	3.9	ns
		16 mA	2.2	2.5	2.9	ns
		24 mA	2.1	2.4	2.8	ns
		LVTTTL, Fast, 2 mA	13.5	15.2	17.4	ns
		4 mA	5.5	6.2	7.1	ns
		6 mA	3.2	3.6	4.2	ns
		8 mA	1.2	1.4	1.6	ns
		12 mA	0.0	0.0	0.0	ns
		16 mA	-0.1	-0.1	-0.1	ns
		24 mA	-0.5	-0.5	-0.6	ns
		LVCOS2	0.1	0.1	0.2	ns
		PCI, 33 MHz, 3.3 V	2.3	2.6	3.0	ns
		PCI, 33 MHz, 5.0 V	2.8	3.2	3.6	ns
		PCI, 66 MHz, 3.3 V	-0.4	-0.4	-0.5	ns
		GTL	0.5	0.6	0.7	ns
		GTL+	0.8	0.9	1.0	ns
		HSTL I	-0.5	-0.5	-0.6	ns
		HSTL III	-0.9	-1.0	-1.1	ns
		HSTL IV	-1.0	-1.1	-1.2	ns
		SSTL3 I	-0.5	-0.5	-0.6	ns
		SSTL3 II	-1.0	-1.1	-1.2	ns
		SSTL2 I	-0.5	-0.5	-0.6	ns
		SSTL2 II	-0.9	-1.0	-1.1	ns
CTT	-0.6	-0.6	-0.7	ns		
AGP	-0.9	-1.0	-1.1	ns		

容量の関数としての $T_{i\text{oop}}$ の計算

$T_{i\text{oop}}$ の値は、表14に示す各I/O規格に対する標準容量負荷(C_{sl})に基づいています。

その他の容量負荷に対しては、次式を使って対応する $T_{i\text{oop}}$ を計算してください。

$$T_{i\text{oop}} = T_{i\text{oop}} + T_{\text{opadjust}} + (C_{\text{load}} - C_{sl}) * fl$$

ここで、

T_{opadjust} は、前の出力遅延調整の節で示した値。

C_{load} は、デザインの容量負荷。

表14: $T_{i\text{oop}}$ の計算で使用する定数

Standard	Csl (pF)	fl (ns/pF)
LVCOS2	35	0.041
LVTTTL Fast Slew Rate, 2mA drive	35	0.41
LVTTTL Fast Slew Rate, 4mA drive	35	0.20
LVTTTL Fast Slew Rate, 6mA drive	35	0.13
LVTTTL Fast Slew Rate, 8mA drive	35	0.079
LVTTTL Fast Slew Rate, 12mA drive	35	0.048
LVTTTL Fast Slew Rate, 16mA drive	35	0.043
LVTTTL Fast Slew Rate, 24mA drive	35	0.033
LVTTTL Slow Slew Rate, 2mA drive	35	0.41
LVTTTL Slow Slew Rate, 4mA drive	35	0.20
LVTTTL Slow Slew Rate, 6mA drive	35	0.14
LVTTTL Slow Slew Rate, 8mA drive	35	0.086
LVTTTL Slow Slew Rate, 12mA drive	35	0.058
LVTTTL Slow Slew Rate, 16mA drive	35	0.053
LVTTTL Slow Slew Rate, 24mA drive	35	0.44
HSTL Class I	20	0.022
HSTL Class III	20	0.016
HSTL Class IV	20	0.014
SSTL2 Class I	30	0.028
SSTL2 Class II	30	0.016
SSTL3 Class 1	30	0.029
SSTL3 Class II	30	0.016
CTT	20	0.035
AGP	10	0.037
GTL	0	0.014
GTL+	0	0.017
PCI 33MHz 5V	50	0.050
PCI 33MHZ 3V	10	0.050
PCI 66 MHz	10	0.033

クロック分配のガイドライン

Description	Device	Symbol	Speed Grade			Units
			-6	-5	-4	
Global Clock Skew						
Global Clock Skew between IOB Flip-flops	XCV50	$T_{GSKEWIOB}$	0.10	0.12	0.14	ns, max
	XCV100		0.12	0.13	0.15	ns, max
	XCV150		0.12	0.13	0.15	ns, max
	XCV200		0.13	0.14	0.16	ns, max
	XCV300		0.14	0.16	0.18	ns, max
	XCV400		0.13	0.13	0.14	ns, max
	XCV600		0.14	0.15	0.17	ns, max
	XCV800		0.16	0.17	0.20	ns, max
	XCV1000		0.20	0.23	0.25	ns, max

注: これらのクロック・スキュー分配遅延はガイドラインとしてのみ示してあります。ワースト・ケース条件での代表的なデザインで遭遇する遅延を示しています。特定のデザインに対する正確な値はタイミング・アナライザから得られます。

クロック分配のスイッチング特性

Description	Symbol	Speed Grade			Units
		-6	-5	-4	
GCLK IOB and Buffer					
Global Clock PAD to output.	T_{GPIO}	0.7	0.8	0.9	ns, max
IN input to OUT output	T_{GIO}	0.7	0.8	0.9	ns, max

Virtex CLBのスイッチング特性

F/G入力で発生する遅延は、使用する入力に応じて僅かに変化します。次に示す値はワースト・ケースの値です。正確な値は、タイミング・アナライザにより与えられます。

Description	Symbol	Speed Grade			Units
		-6	-5	-4	
Combinatorial Delays					
4-input function: F/G inputs to X/Y outputs	T_{ILO}	0.6	0.7	0.8	ns, max
5-input function: F/G inputs to F5 output	T_{IF5}	1.0	1.1	1.2	ns, max
5-input function: F/G inputs to X output	T_{IF5X}	1.0	1.2	1.3	ns, max
6-input function: F/G inputs to Y output via F6 MUX	T_{IF6Y}	1.2	1.4	1.6	ns, max
6-input function: F5IN input to Y output	T_{F5INY}	0.4	0.5	0.6	ns, max
Incremental delay routing through transparent latch to XQ/YQ outputs	T_{IFNCTL}	0.4	0.5	0.6	ns, max
BY input to YB output	T_{BYYB}	0.5	0.6	0.7	ns, max
Sequential Delays					
FF Clock CLK to XQ/YQ outputs	T_{CKO}	1.1	1.3	1.4	ns, max
Latch Clock CLK to XQ/YQ outputs	T_{CKLO}	0.7	0.7	0.9	ns, max
Setup Times before Clock CLK					
4-input function: F/G Inputs	T_{ICK}	1.0	1.1	1.2	ns, min
5-input function: F/G inputs	T_{IF5CK}	1.4	1.6	1.8	ns, min
6-input function: F5IN input	T_{F5INCK}	0.8	0.9	1.0	ns, min
6-input function: F/G inputs via F6 MUX	T_{IF6CK}	1.6	1.8	2.0	ns, min
BX/BY inputs	T_{DICK}	1.6	1.8	2.0	ns, min
CE input	T_{CECK}	0.8	0.9	1.0	ns, min
SR/BY inputs (synchronous)	T_{RCK}	1.3	1.5	1.7	ns, min
Hold Times after Clock CLK					
All Hold Times		0.0	0.0	0.0	ns, min
Clock CLK					
Minimum Pulse Width, High	T_{CH}	1.5	1.7	2.0	ns, min
Minimum Pulse Width, Low	T_{CL}	1.5	1.7	2.0	ns, min
Set/Reset					
Minimum Pulse Width, SR/BY inputs	T_{RPW}	2.9	3.4	3.9	ns, min
Delay from SR/BY inputs to XQ/YQ outputs (asynchronous)	T_{RQ}	1.6	1.9	2.2	ns, max
Delay from GSR to XQ/YQ outputs	T_{GSRQ}	10.0	11.0	13.0	ns, max

Virtex CLB演算回路のスイッチング特性

記載されていないセットアップ・タイムは、表に示すセットアップ・タイム調整値を組み合わせ遅延から減算することにより、近似することができます。正確な値は、タイミング・アナライザにより与えられます。

Description	Symbol	Speed Grade			Units
		-6	-5	-4	
Combinatorial Delays					
F operand inputs to X via XOR	T _{OPX}	0.8	0.9	1.0	ns, max
F operand input to XB output	T _{OPXB}	1.2	1.4	1.6	ns, max
F operand input to Y via XOR	T _{OPY}	1.6	1.9	2.2	ns, max
F operand input to YB output	T _{OPYB}	1.3	1.5	1.7	ns, max
F operand input to COUT output	T _{OPCYF}	1.3	1.5	1.7	ns, max
G operand inputs to Y via XOR	T _{OPGY}	1.0	1.1	1.3	ns, max
G operand input to YB output	T _{OPGYB}	1.4	1.6	1.9	ns, max
G operand input to COUT output	T _{OPCYG}	1.4	1.6	1.8	ns, max
BX initialization input to COUT	T _{BXCY}	0.8	0.9	1.0	ns, max
CIN input to X output via XOR	T _{CINX}	0.5	0.5	0.6	ns, max
CIN input to XB	T _{CINXB}	0.1	0.1	0.1	ns, max
CIN input to Y via XOR	T _{CINY}	0.5	0.6	0.7	ns, max
CIN input to YB	T _{CINYB}	0.2	0.2	0.2	ns, max
CIN input to COUT output	T _{BYP}	0.1	0.2	0.2	ns, max
Multiplier Operation					
F1/2 operand inputs to XB output via AND	T _{FANDXB}	0.4	0.5	0.6	ns, max
F1/2 operand inputs to YB output via AND	T _{FANDYB}	0.5	0.6	0.6	ns, max
F1/2 operand inputs to COUT output via AND	T _{FANDCY}	0.5	0.5	0.6	ns, max
G1/2 operand inputs to YB output via AND	T _{GANDYB}	0.4	0.4	0.5	ns, max
G1/2 operand inputs to COUT output via AND	T _{GANDCY}	0.4	0.4	0.5	ns, max
Setup Times before Clock CLK					
CIN input to FFX	T _{CCKX}	0.8	0.9	1.1	ns, min
CIN input to FFY	T _{CCKY}	0.9	1.0	1.1	ns, min
Setup Time Adjustment					ns
Hold Times after Clock CLK					
All Hold Times		0.0	0.0	0.0	ns, min

Virtex CLB SelectRAMのスイッチング特性

Description	Symbol	Speed Grade			Units
		-6	-5	-4	
Sequential Delays					
Clock CLK to X/Y outputs (WE active)	T_{SHCKO}	2.3	2.6	3.0	ns, max
Shift-Register Mode					
Clock CLK to X/Y outputs		2.3	2.6	3.0	ns, max
Setup Times before Clock CLK					
F/G address inputs	T_{AS}/T_{AH}	0.6	0.7	0.8	ns, min
BX/BY data inputs (DIN)	T_{DS}/T_{DH}	1.0	1.2	1.3	ns, min
CE input (WE)	T_{WS}/T_{WH}	0.6	0.6	0.7	ns, min
Shift-Register Mode					
BX/BY data inputs (DIN)	T_{SHDICK}	0.7	0.8	0.9	ns, min
CE input (WS)	$T_{SHCHECK}$	0.8	0.9	1.0	ns, min
Hold Times after Clock CLK					
All Hold Times		0.0	0.0	0.0	ns, min
Clock CLK					
Minimum Pulse Width, High	T_{WPH}	2.4	2.7	3.1	ns, min
Minimum Pulse Width, Low	T_{WPL}	2.4	2.7	3.1	ns, min
Minimum clock period to meet address write cycle time	T_{WC}	5.8	6.7	7.7	ns, min
Shift-Register Mode					
Minimum Pulse Width, High	T_{SRPH}	2.4	2.7	3.1	ns, min
Minimum Pulse Width, Low	T_{SRPL}	2.4	2.7	3.1	ns, min

Virtex BLOCKRAMのスイッチング特性

Description	Symbol	Speed Grade			Units
		-6	-5	-4	
Sequential Delays					
Clock CLK to DOUT output	T_{BCKO}	3.3	3.8	4.4	ns, max
Setup Times before Clock CLK					
ADDR inputs	T_{BACK}	1.2	1.4	1.6	ns, min
DIN inputs	T_{BDCK}	1.2	1.4	1.6	ns, min
EN input	T_{BECK}	2.7	3.1	3.6	ns, min
RST input	T_{BRCK}	2.5	2.9	3.3	ns, min
WEN input	T_{BWCK}	2.4	2.8	3.2	ns, min
Hold Times after Clock CLK					
All Hold Times		0.0	0.0	0.0	ns, min
Clock CLK					
Minimum Pulse Width, High	T_{BPWH}	1.5	1.7	2.0	ns, min
Minimum Pulse Width, Low	T_{BPWL}	1.5	1.7	2.0	ns, min
CLKA -> CLKB setup time for different ports	T_{BCCS}	3.0	3.5	4.0	ns, min

Virtex TBUFのスイッチング特性

Description	Symbol	Speed Grade			Units
		-6	-5	-4	
Combinatorial Delays					
IN input to OUT output	T_{IO}	0.2	0.2	0.2	ns, max
TRI input to OUT output high-impedance	T_{OFF}	0.2	0.2	0.2	ns, max
TRI input to valid data on OUT output	T_{ON}	0.2	0.2	0.2	ns, max

Virtexテスト・アクセス・ポートのスイッチング特性

Description	Symbol	Speed Grade			Units
		-6	-5	-4	
TMS and TDI Setup times before TCK	T_{TAPTK}	4.0	4.0	4.0	ns, min
TMS and TDI Hold times after TCK	T_{TCKTAP}	2.0	2.0	2.0	ns, min
Output delay from clock TCK to output TDO	T_{TCKTDO}	11.0	11.0	11.0	ns, max
Maximum TCK clock frequency	F_{TCK}	33	33	33	MHz, max

Virtexピン間出力パラメータのガイドライン

スイッチング・パラメータのテストは、MIL-M-38510/605に規定されるテスト方法に従いモデル化しています。すべてのデバイスに100%の機能テストを実施します。次に示すのは、代表的なピン位置と通常のクロック負荷に対する代表的な値です。特に別の注記がない限り、単位はnsです。

LVTTL、12mA、高速スルーレート、DLL付きの場合のグローバル入力から出力までの遅延

Description	Symbol	Device	Speed Grade				Units
			All	-6	-5	-4	
			Min	Max	Max	Max	
LVTTLグローバル・クロック入力から出力までの遅延(出力フリップフロップ、12mA、高速スルーレート、DLL付きを使用)。異なる規格値のデータ出力に対しては、出力遅延調整に示す値(T _{OPADJUST})を使って遅延を調整してください。		XCV50		3.5	3.8	4.3	ns
		XCV100		3.5	3.8	4.3	ns
		XCV150		3.5	3.8	4.3	ns
		XCV200		3.5	3.8	4.3	ns
		XCV300		3.5	3.8	4.3	ns
		XCV400		3.5	3.8	4.3	ns
		XCV600		3.5	3.8	4.3	ns
		XCV800		3.5	3.8	4.3	ns
		XCV1000		3.5	3.8	4.3	ns

注: 上記の値は、1つのグローバル・クロック入力アクセス可能な各列内にある1本の垂直クロック・ラインを駆動し、アクセス可能なすべてのIOBとCLBフリップフロップがグローバル・クロック・ネットからクロック駆動されている場合の代表例です。

出力タイミングは、外部負荷35pFを接続し、V_{CC}の50%スレッシュホールドで測定。その他の負荷については、表14を参照してください。

DLL出力ジッタはタイミング計算に含まれています。

LVTTL、12mA、高速スルーレート、DLLなしの場合のグローバル入力から出力までの遅延

Description	Symbol	Device	Speed Grade				Units
			All	-6	-5	-4	
			Min	Max	Max	Max	
LVTTLグローバル・クロック入力から出力までの遅延(出力フリップフロップ、12mA、高速スルーレート、DLLなしを使用)。異なる規格値のデータ出力に対しては、出力遅延調整に示す値(T _{OPADJUST})を使って遅延を調整してください。		XCV50		5.0	5.6	6.4	ns
		XCV100		5.0	5.6	6.4	ns
		XCV150		5.1	5.7	6.5	ns
		XCV200		5.1	5.7	6.5	ns
		XCV300		5.1	5.7	6.6	ns
		XCV400		5.2	5.8	6.7	ns
		XCV600		5.3	5.9	6.7	ns
		XCV800		5.3	6.0	6.9	ns
		XCV1000		5.4	6.1	7.0	ns

注: 上記の値は、1つのグローバル・クロック入力アクセス可能な各列内にある1本の垂直クロック・ラインを駆動し、アクセス可能なすべてのIOBとCLBフリップフロップがグローバル・クロック・ネットからクロック駆動されている場合の代表例です。

出力タイミングは、外部負荷35pFを接続し、V_{CC}の50%スレッシュホールドで測定。その他の負荷については、表14を参照してください。

Virtexピン間入力パラメータのガイドライン

スイッチング・パラメータのテストは、MIL-M-38510/605に規定されるテスト方法に従いモデル化しています。すべてのデバイスに100%の機能テストを実施します。次に示すのは、代表的なピン位置と通常のクロック負荷に対する代表的な値です。特に別の注記がない限り、単位はnsです。

グローバル・クロックのセットアップ・タイムとホールド・タイム(LVTTL規格、DLL付き)

		Speed Grade			Units	
Description	Symbol	Device	-6 Min	-5 Min		-4 Min
LVTTL規格値のグローバル・クロック入力信号を基準とする入力セットアップ・タイムとホールド・タイム。異なる規格のデータ入力に対しては、入力遅延調整に示す値(T _{IPOFFSET})を使ってセットアップ・タイム遅延を調整してください。						
Full Delay Global Clock and IFF, with DLL		XCV50	1.7 / -0.4	1.8 / -0.4	2.1 / -0.4	ns
		XCV100	1.7 / -0.4	1.9 / -0.4	2.1 / -0.4	ns
		XCV150	1.7 / -0.4	1.9 / -0.4	2.1 / -0.4	ns
		XCV200	1.7 / -0.4	1.9 / -0.4	2.1 / -0.4	ns
		XCV300	1.7 / -0.4	1.9 / -0.4	2.2 / -0.4	ns
		XCV400	1.7 / -0.4	1.9 / -0.4	2.2 / -0.4	ns
		XCV600	1.7 / -0.4	1.9 / -0.4	2.2 / -0.4	ns
		XCV800	1.8 / -0.4	1.9 / -0.4	2.2 / -0.4	ns
		XCV1000	1.8 / -0.4	1.9 / -0.4	2.2 / -0.4	ns

IFF = 入力フリップフロップまたはラッチ

注: セットアップ・タイムは、グローバル・クロック入力信号を基準として、最高速の配線と最小負荷で測定。ホールド・タイムは、グローバル・クロック入力信号を基準として、最低速の配線と最大負荷で測定。
DLL入力ジッタはタイミング計算に含まれています。

グローバル・クロックのセットアップ・タイムとホールド・タイム(LVTTL規格、DLLなし)

		Speed Grade			Units	
Description	Symbol	Device	-6 Min	-5 Min		-4 Min
LVTTL規格値のグローバル・クロック入力信号を基準とする入力セットアップ・タイムとホールド・タイム。異なる規格のデータ入力に対しては、入力遅延調整に示す値(T _{IPOFFSET})を使ってセットアップ・タイム遅延を調整してください。						
Full Delay Global Clock and IFF, without DLL		XCV50	2.3 / 0.0	2.6 / 0.0	2.9 / 0.0	ns
		XCV100	2.3 / 0.0	2.6 / 0.0	3.0 / 0.0	ns
		XCV150	2.4 / 0.0	2.7 / 0.0	3.1 / 0.0	ns
		XCV200	2.5 / 0.0	2.8 / 0.0	3.2 / 0.0	ns
		XCV300	2.5 / 0.0	2.8 / 0.0	3.1 / 0.0	ns
		XCV400	2.6 / 0.0	2.9 / 0.0	3.3 / 0.0	ns
		XCV600	2.6 / 0.0	2.9 / 0.0	3.3 / 0.0	ns
		XCV800	2.7 / 0.0	3.1 / 0.0	3.5 / 0.0	ns
		XCV1000	2.8 / 0.0	3.2 / 0.0	3.6 / 0.0	ns

IFF = 入力フリップフロップまたはラッチ

注: セットアップ・タイムは、グローバル・クロック入力信号を基準として、最高速の配線と最小負荷で測定。ホールド・タイムは、グローバル・クロック入力信号を基準として、最低速の配線と最大負荷で測定。

DLL タイミング・パラメータ

スイッチング・パラメータのテストは、MIL-M-38510/605に規定されるテスト方法に従いモデル化しています。すべてのデバイスに100%の機能テストを実施します。多くの内部タイミング・パラメータを直接測定することは困難であるため、これらのパラメータはベンチマーク・タイミング・パターンから導出しています。次のガイドラインは推奨動作条件でのワースト・ケース値を反映しています¹。

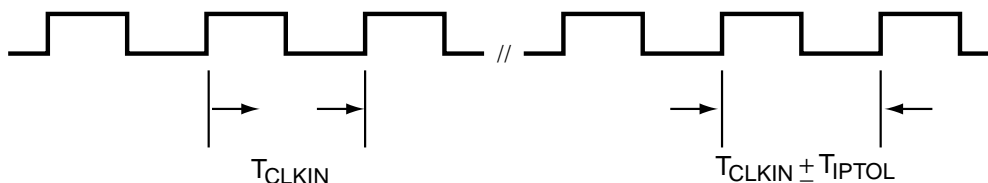
		Speed Grade						
Description	Symbol	-4		-5		-6		Units
		Min	Max	Min	Max	Min	Max	
Input Clock Frequency (CLKDLLHF)	F _{CLKINHF}	60	180	60	180	60	200	MHz
Input Clock Frequency (CLKDLL)	F _{CLKINLF}	25	90	25	90	25	100	MHz
Input Clock Pulse Width (CLKDLLHF)	T _{DLLPWHF}	2.4	-	2.4	-	2.0	-	ns
Input Clock Pulse Width (CLKDLL)	T _{DLLPWL}	3.0	-	3.0	-	2.5	-	ns

注: すべての仕様は、コマーシャル動作温度(0 ~ +100)に対応します。

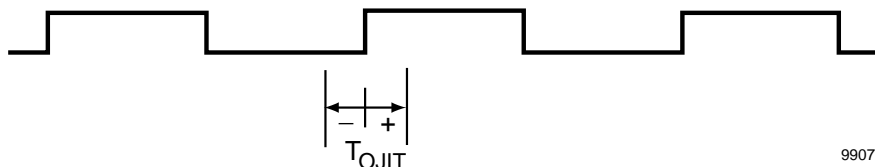
Description	Symbol	CLKDLLHF		CLKDLL		Units	
		Min	Max	Min	Max		
Input Clock Period Tolerance	T _{IPTOL}	-	1.0	-	1.0	ns	
Time Required for DLL to Acquire Lock	T _{LOCK}						
	F _{CLKIN}	> 60 MHz	-	20	-	20	μs
	F _{CLKIN}	50 - 60 MHz	-	-	-	25	μs
	F _{CLKIN}	40 - 50 MHz	-	-	-	50	μs
	F _{CLKIN}	30 - 40 MHz	-	-	-	90	μs
DLL Output Skew (Between any DLL output)	T _{SKEW}	-	±150	-	±150	ps	
DLL Output Jitter Long Term	T _{OJIT}	-	±100	-	±100	ps	
DLL Output Jitter Cycle to Cycle	T _{OJITCC}		±60		±60	ps	

注1: すべての仕様は、コマーシャル動作温度(0 ~ +100)に対応します。

周期変動: 許容入力クロック周期変動(ns)



クロック・ジッタ: 理想基準クロック・エッジと実際のデザインとの間の差



990708001

図20: 周波数変動とクロック・ジッタ

Virtexピン定義

表15: 専用ピン

ピン名	専用ピン	方向	説明
GCK0, GCK1, GCK2, GCK3	Yes	入力	グローバル・クロック・バッファに接続されるクロック入力ピン。クロックとして使用しない場合は、これらのピンはユーザ入力として使用できます。
M0, M1, M2	Yes	入力	コンフィギュレーション・モードを指定するピン。
CCLK	Yes	入力または出力	コンフィギュレーション・クロック/I/Oピン。SelectRAMとスレーブ・シリアル・モードでは入力になり、マスタ・シリアル・モードでは出力になります。
$\overline{\text{PROGRAM}}$	Yes	入力	Lowにアサートされた場合に、コンフィギュレーション・シーケンスを起動します。
DONE	Yes	双方向	コンフィギュレーションのローディングが終了して、スタートアップ・シーケンス実行中を表示します。出力はオープン・ドレインとなります。
$\overline{\text{INIT}}$	No	双方向 (オープン・ドレイン)	Lowのときは、コンフィギュレーション・メモリのクリア中を表示します。このピンはコンフィギュレーション後にユーザI/Oになります。
BUSY/ DOUT	No	出力	SelectMAPモードでは、BUSYはコンフィギュレーション・データがロードされる速度を制御します。SelectMAPポートが必要ない場合、このピンはコンフィギュレーション後にユーザI/Oになります。ビット・シリアル・モードでは、DOUTからプリアンブルとコンフィギュレーション・データをディジー・チェーン内の次のデバイスに出力します。このピンはコンフィギュレーション後にユーザI/Oになります。
D0/DIN, D1, D2, D3, D4, D5, D6, D7	No	入力または出力	SelectMAPモードでは、D0~7がコンフィギュレーション・データ入力ピンになります。SelectMAPポートが必要ない場合、これらのピンはコンフィギュレーション後にユーザI/Oになります。ビット・シリアル・モードでは、DINは唯一のデータ入力になります。このピンはコンフィギュレーション後にユーザI/Oになります。
$\overline{\text{WRITE}}$	No	入力	SelectMAPモードでは、アクティブLowのライト・イネーブル信号になります。SelectMAPポートが必要ない場合、このピンはコンフィギュレーション後にユーザI/Oになります。
$\overline{\text{CS}}$	No	入力	SelectMAPモードでは、アクティブLowのチップ・セレクト信号になります。SelectMAPポートが必要ない場合、このピンはコンフィギュレーション後にユーザI/Oになります。
TDI, TDO, TMS, TCK	Yes	入力/出力	IEEE 1149.1標準に規定されたバウンダリ・スキャンのテスト・アクセス・ポート・ピン。
DXN, DXP	Yes	N/A	温度検出ダイオード・ピン (正極: DXP, 負極: DXN)
V _{CCINT}	Yes	入力	内部コア・ロジックに対する電源ピン。
V _{CCO}	Yes	入力	出力ドライバに対する電源ピン(バンク・ルールに従います)。
V _{REF}	No	入力	入力スレッシュホールド電圧ピン。外部スレッシュホールド電圧が不要の場合、ユーザI/Oになります(バンク・ルールに従います)。
GND	Yes	入力	グラウンド

Virexのピン配置

ピン配置表

更新と他のピン配置の情報については、ザイリンクスの日本語対応WebLINX-JのWebサイト (<http://www.xilinx.co.jp/partinfo/databook.htm>)をご覧ください。便宜のために、表16、表17、表18に、特定目的ピンと電源ピンの配置を示します。表示していないピンはユーザI/Oピンです。

表16: Virtexのピン配置表(チップ・スケール・パッケージおよびQFPパッケージ)

Pin Name	Device	CS144	TQ144	PQ/HQ240
GCK0	All	K7	90	92
GCK1	All	M7	93	89
GCK2	All	A7	19	210
GCK3	All	A6	16	213
M0	All	M1	110	60
M1	All	L2	112	58
M2	All	N2	108	62
CCLK	All	B13	38	179
PROGRAM	All	L12	72	122
DONE	All	M12	74	120
$\overline{\text{INIT}}$	All	L13	71	123
BUSY/DOUT	All	C11	39	178
D0/DIN	All	C12	40	177
D1	All	E10	45	167
D2	All	E12	47	163
D3	All	F11	51	156
D4	All	H12	59	145
D5	All	J13	63	138
D6	All	J11	65	134
D7	All	K10	70	124
$\overline{\text{WRITE}}$	All	C10	32	185
$\overline{\text{CS}}$	All	D10	33	184
TDI	All	A11	34	183
TDO	All	A12	36	181
TMS	All	B1	143	2
TCK	All	C3	2	239

表16: Virtexのピン配置表(チップ・スケール・パッケージおよびQFPパッケージ) (続き)

Pin Name	Device	CS144	TQ144	PQ/HQ240
V _{CCINT}	All	A9, B6, C5, G3, G12, M5, M9, N6	10, 15, 25, 57, 84, 94, 99, 126	16, 32, 43, 77, 88, 104, 137, 148, 164, 198, 214, 225
V _{CCO}	All	<u>Banks 0 and 1:</u> A2, A13, D7 <u>Banks 2 and 3:</u> B12, G11, M13 <u>Banks 4 and 5:</u> N1, N7 N13 <u>Banks 6 and 7:</u> B2, G2, M2	<u>Unbanked:</u> 1, 17, 37, 55, 73, 92, 109, 128	<u>Unbanked:</u> 15, 30, 44, 61, 76, 90, 105, 121, 136, 150, 165, 180, 197, 212, 226, 240
V _{REF} Bank 0	XCV50	C4, D6	5, 13	218, 232
(V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV100/150	... + B4	... + 7	... + 229
	XCV200/300			... + 236
	XCV400			... + 215
	XCV600			... + 230
	XCV800			... + 222
V _{REF} Bank 1	XCV50	A10, B8	22, 30	191, 205
(V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV100/150	... + D9	... + 28	... + 194
	XCV200/300			... + 187
	XCV400			... + 208
	XCV600			... + 193
	XCV800			... + 201

表16: Virtexのピン配置表(チップ・スケール・パッケージおよびQFPパッケージ) (続き)

Pin Name	Device	CS144	TQ144	PQ/HQ240
V_{REF} Bank 2 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	D11, F10	42, 50	157, 171
	XCV100/150	... + D13	... + 44	... + 168
	XCV200/300			... + 175
	XCV400			... + 154
	XCV600			... + 169
	XCV800			... + 161
V_{REF} Bank 3 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	H11, K12	60, 68	130, 144
	XCV100/150	... + J10	... + 66	... + 133
	XCV200/300			... + 126
	XCV400			... + 147
	XCV600			... + 132
	XCV800			... + 140
V_{REF} Bank 4 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	L8, L10	79, 87	97, 111
	XCV100/150	... + N10	... + 81	... + 108
	XCV200/300			... + 115
	XCV400			... + 94
	XCV600			... + 109
	XCV800			... + 101
V_{REF} Bank 5 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	L4, L6	96, 104	70, 84
	XCV100/150	... + N4	... + 102	... + 73
	XCV200/300			... + 66
	XCV400			... + 87
	XCV600			... + 72
	XCV800			... + 80

表16: Virtexのピン配置表(チップ・スケール・パッケージおよびQFPパッケージ) (続き)

Pin Name	Device	CS144	TQ144	PQ/HQ240
V _{REF} Bank 6 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	H2, K1	116, 123	36, 50
	XCV100/150	... + J3	... + 118	... + 47
	XCV200/300			... + 54
	XCV400			... + 33
	XCV600			... + 48
	XCV800			... + 40
V _{REF} Bank 7 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	D4, E1	133, 140	9, 23
	XCV100/150	... + D2	... + 138	... + 12
	XCV200/300			... + 5
	XCV400			... + 26
	XCV600			... + 11
	XCV800			... + 19
GND	All	A1, B9, B11, C7, D5, E4, E11, F1, G10, J1, J12, L3, L5, L7, L9, N12	9, 18, 26, 35, 46, 54, 64, 75, 83, 91, 100, 111, 120, 129, 136, 144,	1, 8, 14, 22, 29, 37, 45, 51, 59, 69, 75, 83, 91, 98, 106, 112, 119, 129, 135, 143, 151, 158, 166, 172, 182, 190, 196, 204, 211, 219, 227, 233

表17: Virtexのピン配置図(BGA)

Pin Name	Device	BG256	BG352	BG432	BG560
GCK0	All	Y11	AE13	AL16	AL17
GCK1	All	Y10	AF14	AK16	AJ17
GCK2	All	A10	B14	A16	D17
GCK3	All	B10	D14	D17	A17
M0	All	Y1	AD24	AH28	AJ29
M1	All	U3	AB23	AH29	AK30
M2	All	W2	AC23	AJ28	AN32
CCLK	All	B19	C3	D4	C4
$\overline{\text{PROGRAM}}$	All	Y20	AC4	AH3	AM1
DONE	All	W19	AD3	AH4	AJ5
$\overline{\text{INIT}}$	All	U18	AD2	AJ2	AH5
BUSY/DOUT	All	D18	E4	D3	D4
D0/DIN	All	C19	D3	C2	E4
D1	All	E20	G1	K4	K3
D2	All	G19	J3	K2	L4
D3	All	J19	M3	P4	P3
D4	All	M19	R3	V4	W4
D5	All	P19	U4	AB1	AB5
D6	All	T20	V3	AB3	AC4
D7	All	V19	AC3	AG4	AJ4
$\overline{\text{WRITE}}$	All	A19	D5	B4	D6
$\overline{\text{CS}}$	All	B18	C4	D5	A2
TDI	All	C17	B3	B3	D5
TDO	All	A20	D4	C4	E6
TMS	All	D3	D23	D29	B33
TCK	All	A1	C24	D28	E29
DXN	All	W3	AD23	AH27	AK29
DXP	All	V4	AE24	AK29	AJ28

表17: Virtexのピン配置図(BGA) (続き)

Pin Name	Device	BG256	BG352	BG432	BG560
V _{CCINT} (V _{CCINT} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。)	XCV50/100/ 150/200	C10, D6, D15, F4, F17, L3, L18, R4, R17, U6, U15, V10	A20, C14, D10, J24, K4, P2, P25, V24, W2, AC10, AE14, AE19		
	XCV300		... + B16, D12, L1, L25, R23, T1, AF11, AF16	A10, A17, B23, C14, C19, K3, K29, N2, N29, T1, T29, W2, W31, AB2, AB30, AJ10, AJ16, AK13, AK19, AK22	
	XCV400/600			... + B26, C7, F1, F30, AE29, AF1, AH8, AH24	A21, B14, B18, B28, C24, E9, E12, F2, H30, J1, K32, N1, N33, U5, U30, Y2, Y31, AD2, AD32, AG3, AG31, AK8, AK11, AK17, AK20, AL14, AL27, AN25
	XCV800/1000				... + B12, C22, M3, N29, AB2, AB32, AJ13, AL22,
V _{CC0} , Bank 0	All	D7, D8	A17, B25, D19	A21, C29, D21	A22, A26, A30, B19, B32
V _{CC0} , Bank 1	All	D13, D14	A10, D7, D13	A1, A11, D11	A10, A16, B13, C3, E5
V _{CC0} , Bank 2	All	G17, H17	B2, H4, K1	C3, L1, L4	B2, D1, H1, M1, R2
V _{CC0} , Bank 3	All	N17, P17	P4, U1, Y4	AA1, AA4, AJ3	V1, AA2, AD1, AK1, AL2

表17: Virtexのピン配置図(BGA) (続き)

Pin Name	Device	BG256	BG352	BG432	BG560
V _{CCO} , Bank 4	All	U13, U14	AC8, AE2, AF10	AH11, AL1, AL11	AM2, AM15, AN4, AN8, AN12
V _{CCO} , Bank 5	All	U7, U8	AC14, AC20, AF17	AH21, AJ29, AL21	AL31, AM21, AN18, AN24, AN30
V _{CCO} , Bank 6	All	N4, P4	U26, W23, AE25	AA28, AA31, AL31	W32, AB33, AF33, AK33, AM32
V _{CCO} , Bank 7	All	G4, H4	G23, K26, N23	A31, L28, L31	C32, D33, K33, N32, T33
V _{REF} Bank 0 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	A8, B4			
	XCV100/150	... + A4	A16,C19, C21		
	XCV200/300		... + D21	B19, D22, D24, D26	
	XCV400		... + B15	... + C18	A19, D20, D26, E23, E27
	XCV600			... + C24	... + E24
	XCV800			... + B21	... + E21
	XCV1000				... + D29
V _{REF} Bank 1 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	A17, B12			
	XCV100/150	... + B15	B6, C9, C12		
	XCV200/300		... + D6	A13, B7, C6, C10	
	XCV400		... + C13	... + B15	A6, D7, D11, D16, E15
	XCV600			... + D10	... + D10
	XCV800			... + B12	... + D13
	XCV1000				... + E7

表17: Virtexのピン配置図(BGA) (続き)

Pin Name	Device	BG256	BG352	BG432	BG560
V _{REF} Bank 2 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	C20, J18			
	XCV100/150	... + F19	E2, H2, M4		
	XCV200/300		... + D2	E2, G3, J2, N1	
	XCV400		... + M1	... + R3	G5, H4, L5, P4, R1
	XCV600			... + H1	... + K5
	XCV800			... + M3	... + N5
	XCV1000				... + B3
V _{REF} Bank 3 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	M18, V20			
	XCV100/150	... + R19	R4, V4, Y3		
	XCV200/300		... + AC2	V2, AB4, AD4, AF3	
	XCV400		. + R1	... + U2	V4, W5, AD3, AE5, AK2
	XCV600			... + AC3	... + AF1
	XCV800			... + Y3	... + AA4
	XCV1000				... + AH4
V _{REF} Bank 4 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	V12, Y18			
	XCV100/150	... + W15	AC12, AE5, AE8,		
	XCV200/300		... + AE4	AJ7, AL4, AL8, AL13	
	XCV400		... + AF12	... + AK15	AL7, AL10, AL16, AM4, AM14
	XCV600			... + AK8	... + AL9
	XCV800			... + AJ12	... + AK13
	XCV1000				... + AN3

表17: Virtexのピン配置図(BGA) (続き)

Pin Name	Device	BG256	BG352	BG432	BG560
V_{REF} Bank 5 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	V9, Y3			
	XCV100/150	... + W6	AC15, AC18, AD20		
	XCV200/300		... + AE23	AJ18, AJ25, AK23, AK27	
	XCV400		... + AF15	... + AJ17	AJ18, AJ25, AL20, AL24, AL29
	XCV600			... + AL24	... + AM26
	XCV800			... + AH19	... + AN23
	XCV1000				... + AK28
V_{REF} Bank 6 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	M2, R3			
	XCV100/150	...+ T1	R24, Y26, AA25,		
	XCV200/300		... + AD26	V28, AB28, AE30, AF28	
	XCV400		... + P24	... + U28	V29, Y32, AD31, AE29, AK32
	XCV600			... + AC28	... + AE31
	XCV800			... + Y30	... + AA30
	XCV1000				... + AH30
V_{REF} Bank 7 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	G3, H1			
	XCV100/150	... + D1	D26, G26, L26		
	XCV200/300		... + E24	F28, F31, J30, N30	
	XCV400		... + M25	... + R31	E31, G31, K31, P31, T31
	XCV600			... + J28	... + H32
	XCV800			... + M28	... + L33
	XCV1000				... + D31

表17: Virtexのピン配置図(BGA) (続き)

Pin Name	Device	BG256	BG352	BG432	BG560
GND	All	C3, C18, D4, D5, D9, D10, D11, D12, D16, D17. E4, E17, J4, J9, J10, J11, J12, J17, K4, K9, K10, K11, K12, K17, L4, L9, L10, L11, L12, L17, M4, M9, M10, M11, M12, M17, T4, T17, U4, U5, U9, U10, U11, U12, U16, U17, V3, V18	A1, A2, A5, A8, A14, A19, A22, A25, A26, B1, B26, E1, E26, H1, H26, N1, P26, W1, W26, AB1, AB26, AE1, AE26, AF1, AF2, AF5, AF8, AF13, AF19, AF22, AF25, AF26	A2, A3, A7, A9, A14, A18, A23, A25, A29, A30, B1, B2, B30, B31, C1, C31, D16, G1, G31, J1, J31, P1, P31, T4, T28, V1, V31, AC1, AC31, AE1, AE31, AH16, AJ1, AJ31, AK1, AK2, AK30, AK31, AL2, AL3, AL7, AL9, AL14, AL18, AL23, AL25, AL29, AL30	A1, A7, A12, A14, A18, A20, A24, A29, A32, A33, B1, B6, B9, B15, B23, B27, B31, C2, E1, F32, G2, G33, J32, K1, L2, M33, P1, P33, R32, T1, V33, W2, Y1, Y33, AB1, AC32, AD33, AE2, AG1, AG32, AH2, AJ33, AL32, AM3, AM7, AM11, AM19, AM25, AM28, AM33, AN1, AN2, AN5, AN10, AN14, AN16, AN20, AN22, AN27, AN33
No Connect					C31, AC2, AK4, AL3

表18: Virtexのピン配置図(Fine-pitch BGA)

Pin Name	Device	FG256	FG456	FG676	FG680
GCK0	All	N8	W12	AA14	AW19
GCK1	All	R8	Y11	AB13	AU22
GCK2	All	C9	A11	C13	D21
GCK3	All	B8	C11	E13	A20
M0	All	N3	AB2	AD4	AT37
M1	All	P2	U5	W7	AU38
M2	All	R3	Y4	AB6	AT35
CCLK	All	D15	B22	D24	E4
$\overline{\text{PROGRAM}}$	All	P15	W20	AA22	AT5
DONE	All	R14	Y19	AB21	AU5
$\overline{\text{INIT}}$	All	N15	V19	Y21	AU2
BUSY/DOUT	All	C15	C21	E23	E3
D0/DIN	All	D14	D20	F22	C2
D1	All	E16	H22	K24	P4
D2	All	F15	H20	K22	P3
D3	All	G16	K20	M22	R1
D4	All	J16	N22	R24	AD3
D5	All	M16	R21	U23	AG2
D6	All	N16	T22	V24	AH1
D7	All	N14	Y21	AB23	AR4
$\overline{\text{WRITE}}$	All	C13	A20	C22	B4
$\overline{\text{CS}}$	All	B13	C19	E21	D5
TDI	All	A15	B20	D22	B3
TDO	All	B14	A21	C23	C4
TMS	All	D3	D3	F5	E36
TCK	All	C4	C4	E6	C36
DXN	All	R4	Y5	AB7	AV37
DXP	All	P4	V6	Y8	AU35

表18: Virtexのピン配置図(Fine-pitch BGA) (続き)

Pin Name	Device	FG256	FG456	FG676	FG680
V _{CCINT}	All	C3, C14, D4, D13, E5, E12, M5, M12, N4, N13, P3, P14	E5, E18, F6, F17, G7, G8, G9, G14, G15, G16, H7, H16, J7, J16, P7, P16, R7, R16, T7, T8, T9, T14, T15, T16, U6, U17, V5, V18	G7, G20, H8, H19, J9, J10, J11, J16, J17, J18, K9, K18, L9, L18, T9, T18, U9, U18, V9, V10, V11, V16, V17, V18, W8, W19, Y7, Y20	AD5, AD35, AE5, AE35, AL5, AL35, AM5, AM35, AR8, AR9, AR15, AR16, AR24, AR25, AR31, AR32, E8, E9, E15, E16, E24, E25, E31, E32, H5, H35, J5, J35, R5, R35, T5, T35
V _{CCO} , Bank 0	All	E8, F8	F7, F8, F9, F10 G10, G11	H9, H10, H11, H12, J12, J13	E26, E27, E29, E30, E33, E34
V _{CCO} , Bank 1	All	E9, F9	F13, F14, F15, F16, G12, G13	H15, H16, H17, H18, J14, J15	E6, E7, E10, E11, E13, E14
V _{CCO} , Bank 2	All	H11, H12	G17, H17, J17, K16, K17, L16	J19, K19, L19, M18, M19, N18	F5, G5, K5, L5, N5, P5
V _{CCO} , Bank 3	All	J11, J12	M16, N16, N17, P17, R17, T17	P18, R18, R19, T19, U19, V19	AF5, AG5, AN5, AK5, AJ5, AP5
V _{CCO} , Bank 4	All	L9, M9	T12, T13, U13, U14, U15, U16,	V14, V15, W15, W16, W17, W18	AR6, AR7, AR10, AR11, AR13, AR14
V _{CCO} , Bank 5	All	L8, M8	T10, T11, U7, U8, U9, U10	V12, V13, W9, W10, W11, W12	AR26, AR27, AR29, AR30, AR33, AR34
V _{CCO} , Bank 6	All	J5, J6	M7, N6, N7, P6, R6, T6	P9, R8, R9, T8, U8, V8	AF35, AG35, AJ35, AK35, AN35, AP35
V _{CCO} , Bank 7	All	H5, H6	G6, H6, J6, K6, K7, L7	J8, K8, L8, M8, M9, N9	F35, G35, K35, L35, N35, P35

表18: Virtexのピン配置図(Fine-pitch BGA) (続き)

Pin Name	Device	FG256	FG456	FG676	FG680
V_{REF} Bank 0 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	B4, B7			
	XCV100/150	... + C6	A9, C6, E8		
	XCV200/300	... + A3	... + B4		
	XCV400			A12, C11, D6, E8, G10	
	XCV600			...+B7	A33, B28, B30, C23, C24, D33
	XCV800			...+B10	...+A26
	XCV1000				...+D34
V_{REF} Bank 1 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	B9, C11			
	XCV100/150	... + E11	A18, B13, E14		
	XCV200/300	... + A14	... + A19		
	XCV400			A14, C20, C21, D15, G16	
	XCV600			...+B19	B6, B8, B18, D11, D13, D17
	XCV800			...+A17	...+B14
	XCV1000				...+B5
V_{REF} Bank 2 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	F13, H13			
	XCV100/150	... + F14	F21, H18, K21		
	XCV200/300	... + E13	... + D22		
	XCV400			F24, H23, K20, M23, M26	
	XCV600			...+G26	G1, H4, J1, L2, V5, W3
	XCV800			...+K25	...+N1
	XCV1000				...+D2

表18: Virtexのピン配置図(Fine-pitch BGA) (続き)

Pin Name	Device	FG256	FG456	FG676	FG680
V _{REF} Bank 3 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	K16, L14			
	XCV100/150	... + L13	N21, R19, U21		
	XCV200/300	... + M13	... + U20		
	XCV400			R23, R25, U21, W22, W23	
	XCV600			...+W26	AC1, AJ2, AK3, AL4, AR1, Y1
	XCV800			...+U25	...+AF3
	XCV1000				...+AP4
V _{REF} Bank 4 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	P9, T12			
	XCV100/150	... + T11	AA13, AB16, AB19		
	XCV200/300	... + R13	... + AB20		
	XCV400			AC15, AD18, AD21, AD22, AF15	
	XCV600			...AF20	AT19, AU7, AU17, AV8, AV10, AW11
	XCV800			...AF17	...+AV14
	XCV1000				...+AU6
V _{REF} Bank 5 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	T4, P8			
	XCV100/150	... + R5	W8, Y10, AA5		
	XCV200/300	... + T2	... + Y6		
	XCV400			AA10, AB8, AB12, AC7, AF12	
	XCV600			...+AF8	AT27, AU29, AU31, AV35, AW21, AW23
	XCV800			...+AE10	...+AT25
	XCV1000				...+AV36

表18: Virtexのピン配置図(Fine-pitch BGA) (続き)

Pin Name	Device	FG256	FG456	FG676	FG680
V_{REF} Bank 6 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	J3, N1			
	XCV100/150	... + M1	N2, R4, T3		
	XCV200/300	... + N2	... + Y1		
	XCV400			AB3, R1, R4, U6, V5	
	XCV600			...+Y1	AB35, AD37, AH39, AK39, AM39, AN36
	XCV800			...+U2	...+AE39
	XCV1000				...+AT39
V_{REF} Bank 7 (V _{REF} ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内で記載されたすべての小型デバイスの両方に対して記載されたすべてのピンを接続してください。) 各バンク内で、入力基準電圧が不要な場合は、すべてのV _{REF} ピンは汎用I/Oになります。	XCV50	C1, H3			
	XCV100/150	... + D1	E2, H4, K3		
	XCV200/300	... + B1	... + D2		
	XCV400			F4, G4, K6, M2, M5	
	XCV600			...+H1	E38, G38, L36, N36, U36, U38
	XCV800			...+K1	...+N38
	XCV1000				...+F36

表18: Virtexのピン配置図(Fine-pitch BGA) (続き)

Pin Name	Device	FG256	FG456	FG676	FG680
GND	All	A1, A16, B2, B15, F6, F7, F10, F11, G6, G7, G8, G9, G10, G11, H7, H8, H9, H10, J7, J8, J9, J10, K6, K7, K8, K9, K10, K11, L6, L7, L10, L11, R2, R15, T1, T16	A1, A22, B2, B21, C3, C20, J9, J10, J11, J12, J13, J14, K9, K10, K11, K12, K13, K14, L9, L10, L11, L12, L13, L14, M9, M10, M11, M12, M13, M14, N9, N10, N11, N12, N13, N14, P9, P10, P11, P12, P13, P14, Y3, Y20, AA2, AA21, AB1, AB22	A1, A26, B2, B9, B14, B18, B25, C3, C24, D4, D23, E5, E22, J2, J25, K10, K11, K12, K13, K14, K15, K16, K17, L10, L11, L12, L13, L14, L15, L16, L17, M10, M11, M12, M13, M14, M15, M16, M17, N2, N10, N11, N12, N13, N14, N15, N16, N17, P10, P11, P12, P13, P14, P15, P16, P17, P25, R10, R11, R12, R13, R14, R15, R16, R17, T10, T11, T12, T13, T14, T15, T16, T17, U10, U11, U12, U13, U14, U15, U16, U17, V2, V25, AB5, AB22, AC4, AC23, AD3, AD24, AE2, AE9, AE13, AE18, AE25, AF1, AF26	A1, A2, A3, A37, A38, A39, AA5, AA35, AH4, AH5, AH35, AH36, AR5, AR12, AR19, AR20, AR21, AR28, AR35, AT4, AT12, AT20, AT28, AT36, AU1, AU3, AU20, AU37, AU39, AV1, AV2, AV38, AV39, AW1, AW2, AW3, AW37, AW38, AW39, B1, B2, B38, B39, C1, C3, C20, C37, C39, D4, D12, D20, D28, D36, E5, E12, E19, E20, E21, E28, E35, M4, M5, M35, M36, W5, W35, Y3, Y4, Y5, Y35, Y36, Y37

表18: Virtexのピン配置図(Fine-pitch BGA) (続き)

Pin Name	Device	FG256	FG456	FG676	FG680
No Connect (未使用ピンは昇順に示してあります。指定されたデバイスと、同一パッケージ内に記載したすべての大型デバイスの両方に対して記載したピンは、すべて未使用ピンです。)	XCV800			A2, A3, A15, A25, B1, B6, B11, B16, B21, B24, B26, C1, C2, C25, C26, F2, F6, F21, F25, L2, L25, N25, P2, T2, T25, AA2, AA6, AA21, AA25, AD1, AD2, AD25, AE1, AE3, AE6, AE11, AE14, AE16, AE21, AE24, AE26, AF2, AF24, AF25	
	XCV600			...	
	XCV400			...+ A9, A10, A13, A16, A24, AC1, AC25, AE12, AE15, AF3, AF10, AF11, AF13, AF14, AF16, AF18, AF23, B4, B12, B13, B15, B17, D1, D25, H26, J1, K26, L1, M1, M25, N1, N26, P1, P26, R2, R26, T1, T26, U26, V1	
	XCV300		D4, D19, W4, W19		
	XCV200		... + A2, A6, A12, B11, B16, C2, D1, D18, E17, E19, G2, G22, L2, L19, M2, M21, R3, R20, U3, U18, Y22, AA1, AA3, AA11, AA16, AB7, AB12, AB21,	...	

表18: Virtexのピン配置図(Fine-pitch BGA) (続き)

Pin Name	Device	FG256	FG456	FG676	FG680
	XCV150		... + A13, A14, C8, C9, E13, F11, H21, J1, J4 K2, K18, K19, M17, N1, P1, P5, P22, R22, W13, W15, AA9, AA10, AB8, AB14		

ピン配置図

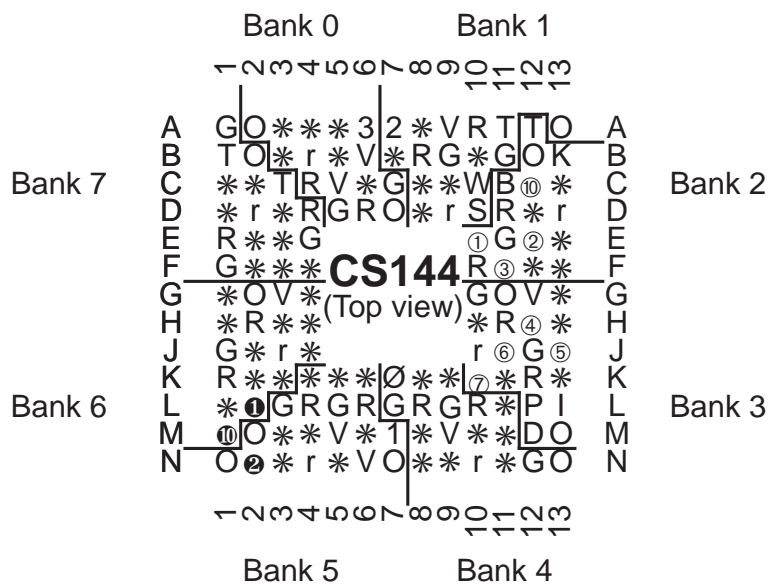
63～73ページの図に、Virtex FPGAの特定目的ピンの配置を示します。

表19に、これらの図で使用するシンボルを示します。図には、I/Oバンクの境界も示してあります。

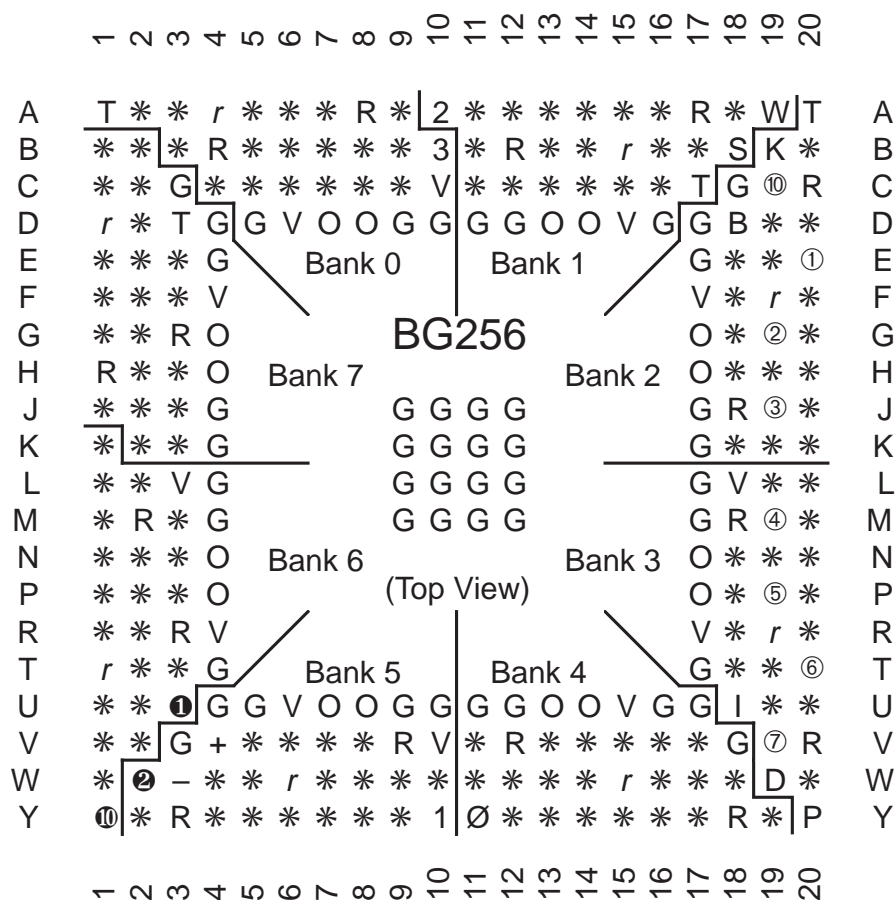
表19: ピン配置に使われている記号

Symbol	Pin Function
*	General I/O
*	Device-dependent general I/O, n/c on smaller devices
V	V _{CCINT}
v	Device-dependent V _{CCINT} , n/c on smaller devices
O	V _{CCO}
R	V _{REF}
r	Device-dependent V _{REF} remains I/O on smaller devices
G	Ground
∅, 1, 2, 3	Global Clocks
⑩, ①, ②	M0, M1, M2
⑩, ①, ②, ③, ④, ⑤, ⑥, ⑦	D0/DIN, D1, D2, D3, D4, D5, D6, D7
B	DOUT/BUSY
D	DONE
P	PROGRAM
I	INIT
K	CCLK
W	WRITE
S	CS
T	Boundary-scan Test Access Port
+	Temperature diode, anode
-	Temperature diode, cathode
n	No connect

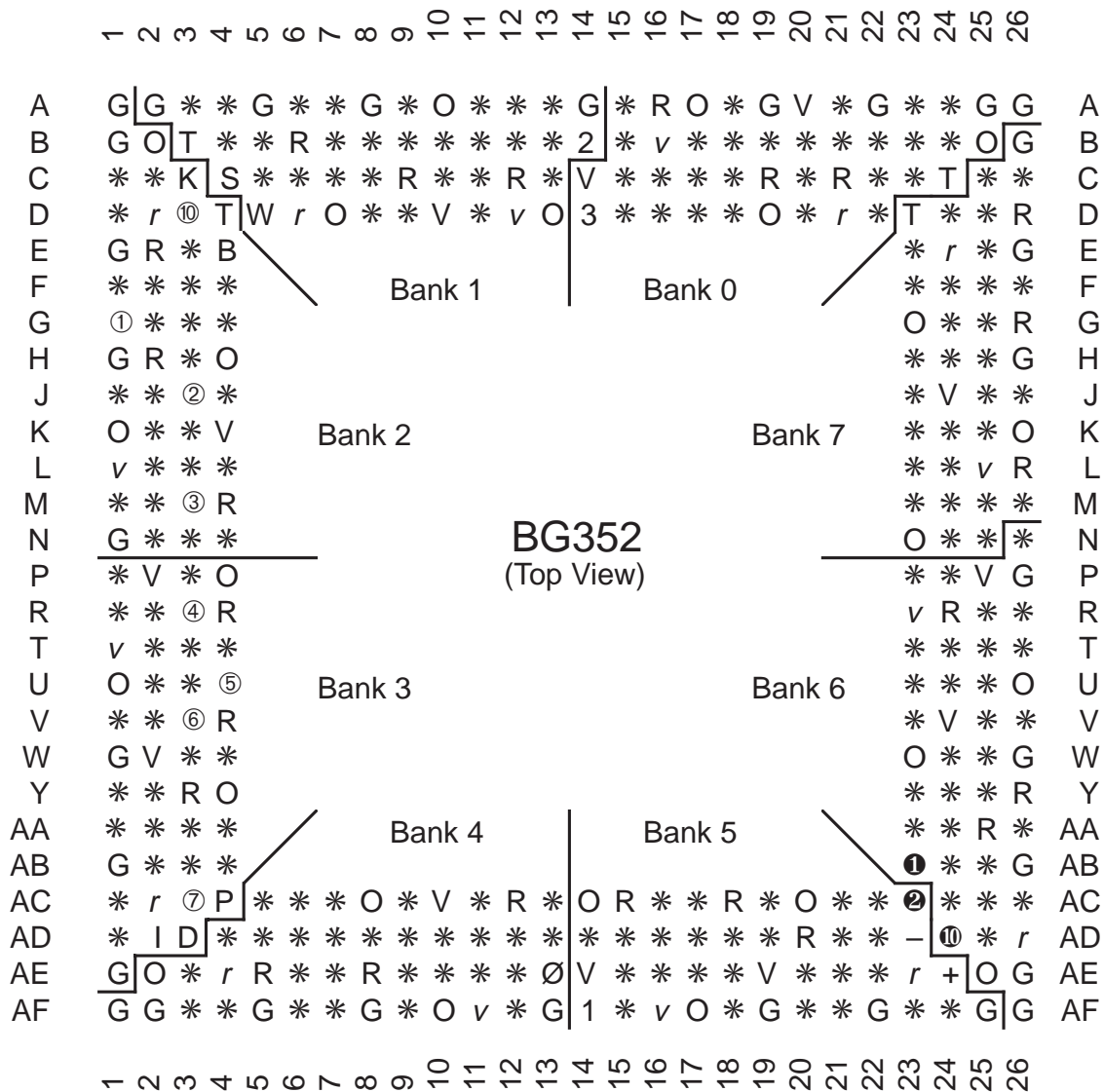
CS144のピン配置図



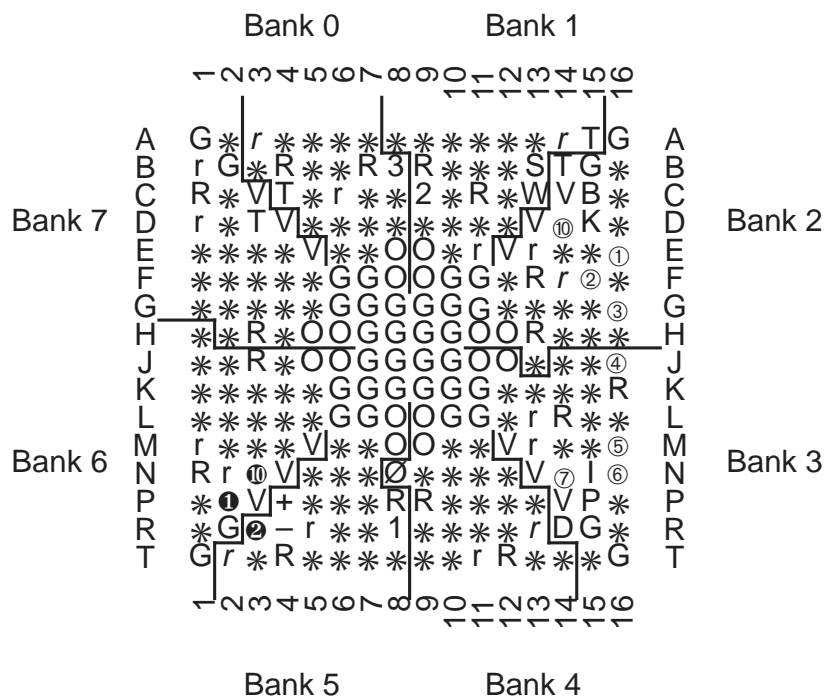
BG256のピン配置図



BG352のピン配置図

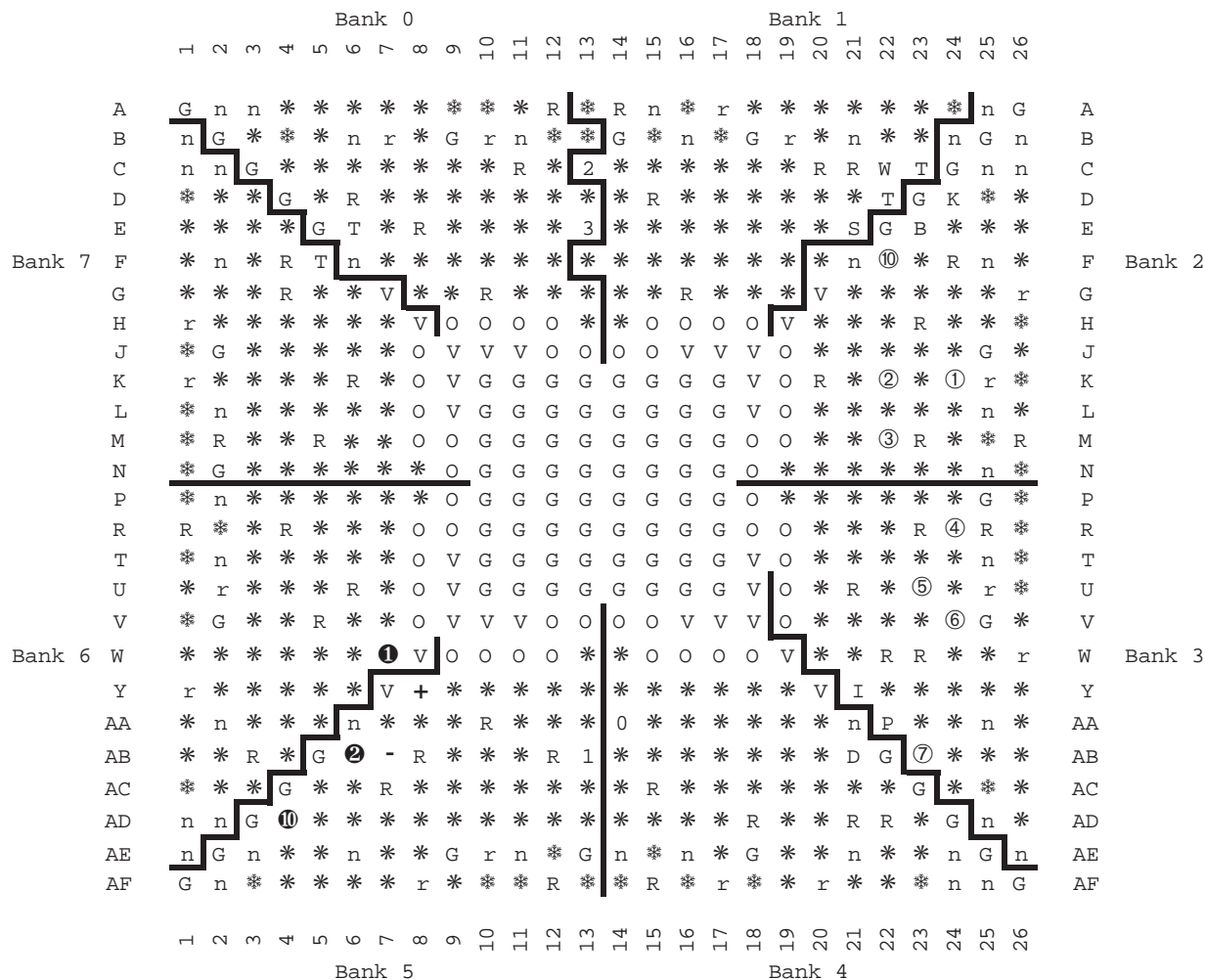


FG256のピン配置図



FG256
(Top view)

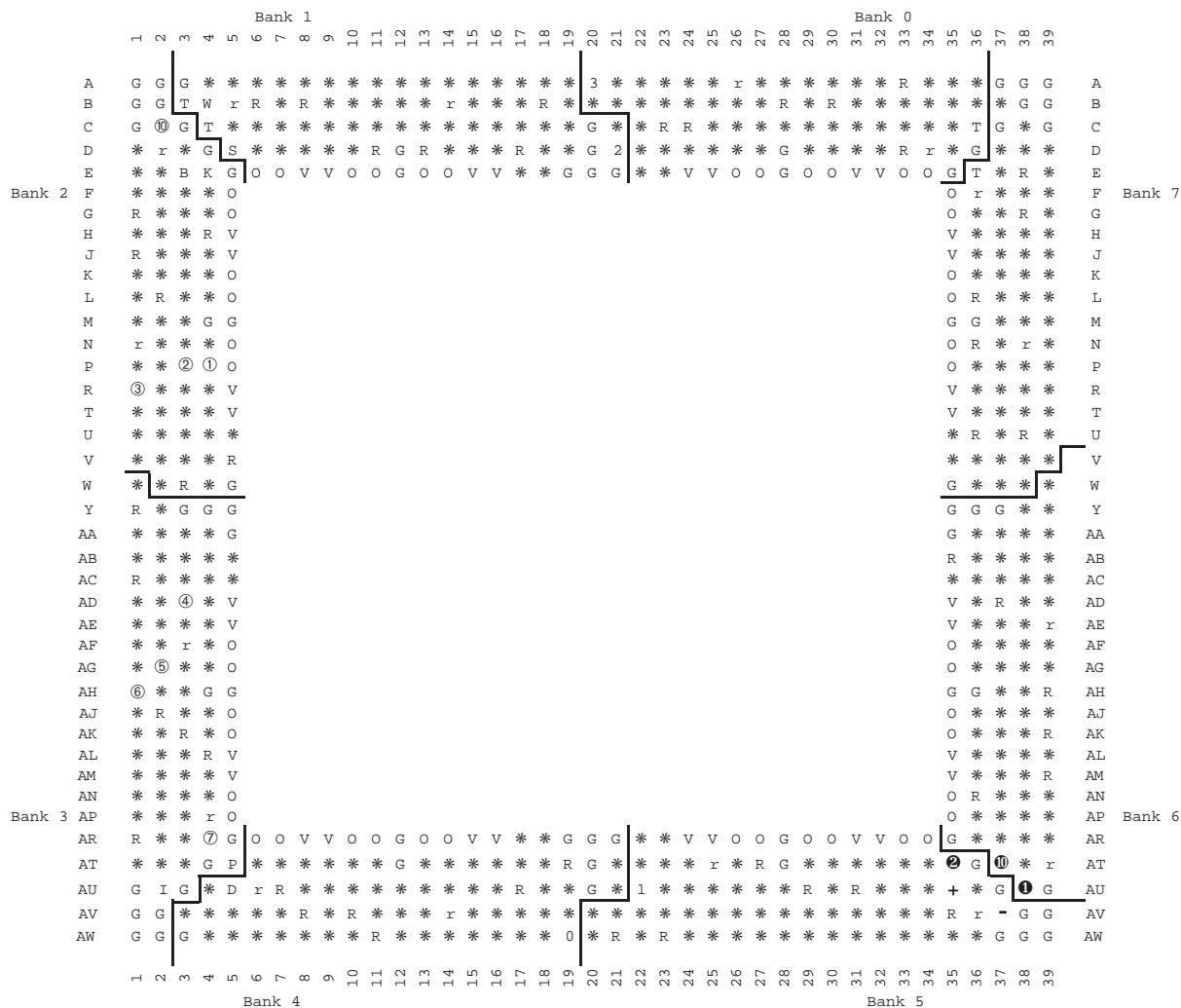
FG676のピン配置図



fg676

注: パッケージFG256、FG456、FG676のレイアウトには互換性があります。

FG680のピン配置図

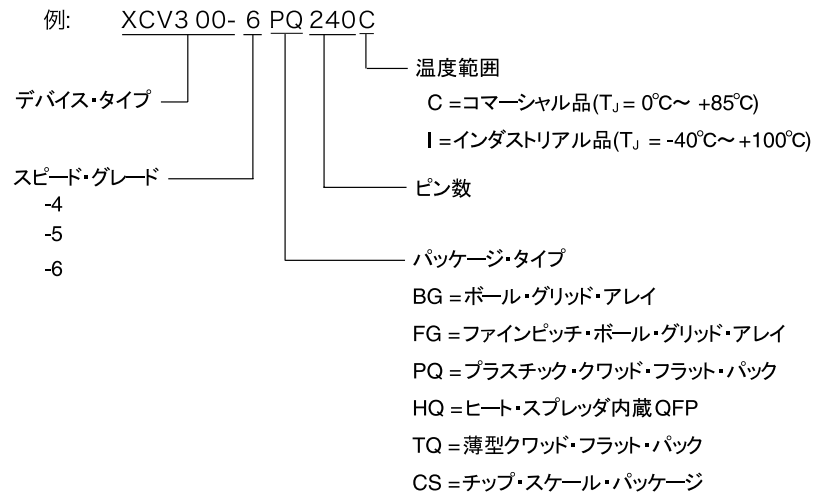


fg680_12

デバイス/パッケージの組み合わせと最大I/O数

Package	Maximum User I/O (excluding dedicated clock pins)								
	XCV50	XCV100	XCV150	XCV200	XCV300	XCV400	XCV600	XCV800	XCV1000
CS144	94	94							
TQ144	98	98							
PQ240	166	166	166	166	166				
HQ240						166	166	166	
BG256	180	180							
BG352			260	260	260				
BG432					316	316	316	316	
BG560						404	404	404	404
FG256	176	176	176	176					
FG456			260	284	312				
FG676						404	444	444	
FG680							512	512	512

注文コード様式



リビジョン表

Version	説明
1.0 (11/98)	初版
1.2 (1/99)	パッケージ図面と仕様の変更
1.3 (2/99)	パッケージ図面と仕様の変更
1.4 (5/99)	パッケージ図面と仕様の追加
1.5 (5/99)	パッケージ図面FG676とFG680の置き換え
1.6 (7/99)	バウンダリ・スキャンの説明と図11バウンダリ・スキャン・ビット順序の改訂。IOB入力遅延と出力遅延の変更。異なるI/O規格に対する容量の追加。5Vトーラントの追加。DLLパラメータ、波形、グローバル・クロック入力と出力の間のセットアップ・タイムとホールド・タイムに対するピン間入力および出力パラメータの新しい表を追加。図12、図14、図17、図19を含むコンフィギュレーション情報の変更。静止電流ICCINTQとICCOQに対するデバイス依存の値を追加。デフォルトのLVTTTL規格、12mA、高速スルーレートに基づくIOB入力遅延および出力遅延を変更。IOB入力スイッチング特性規格調整を追加。