

## 概要

Zynq® UltraScale+™ RFSoc ファミリーは、高性能な 64 ビット クワッドコア Arm® Cortex™-A53 およびデュアル コア Arm Cortex-R5 ベースのプロセッシングシステムを含む SoC プラットフォームに、マルチバンド/マルチモードのセルラー無線およびケーブル インフラストラクチャ (DOCSIS) 用の主要サブシステムを統合したものです。

プロセッシングシステムを備えた UltraScale™ アーキテクチャのプログラマブル ロジックに RF-ADC、RF-DAC、SD-FEC (Soft Decision Forward Error Correction) を組み合わせたダイレクト RF サンプリング データ コンバーターを含む Zynq UltraScale+ RFSoc ファミリーは、完全なソフトウェア無線を実装でき、CPRI™ およびギガビット イーサネットから RF への変換を 1 個の非常にプログラマブルな SoC で実現できます。

Zynq UltraScale+ RFSoc は最大 16 チャンネルの RF-ADC および RF-DAC を統合しています。RF-ADC は最大 4GHz の入力周波数を 4.096GSPS でサンプルでき、優れたノイズ スペクトル密度特性を示します。RF-DAC は、第 2 ナイキスト ゾーンで最大 4GHz の出力キャリア周波数を生成し、6.554GSPS の出力レートで優れたノイズ スペクトル密度特性を示します。RF データ コンバーターには、プログラマブルな補間および間引きフィルター、NCO (Numerically Controlled Oscillator)、およびコンプレックス ミキサーを備え電力効率に優れたデジタル ダウン コンバーター (DDC) およびデジタル アップ コンバーター (DUC) も含まれます。これらの DDC と DUC はデュアルバンド動作もサポートできます。

SD-FEC は、LTE などの無線アプリケーションではターボ デコード モード、そして 5G 無線、バックホール、および DOCSIS 3.1 ケーブル モデムでは LDPC エンコード/デコード モードで使用できる非常に柔軟な前方エラー訂正エンジンです。

## Zynq UltraScale+ RFSoc の主要コンポーネント

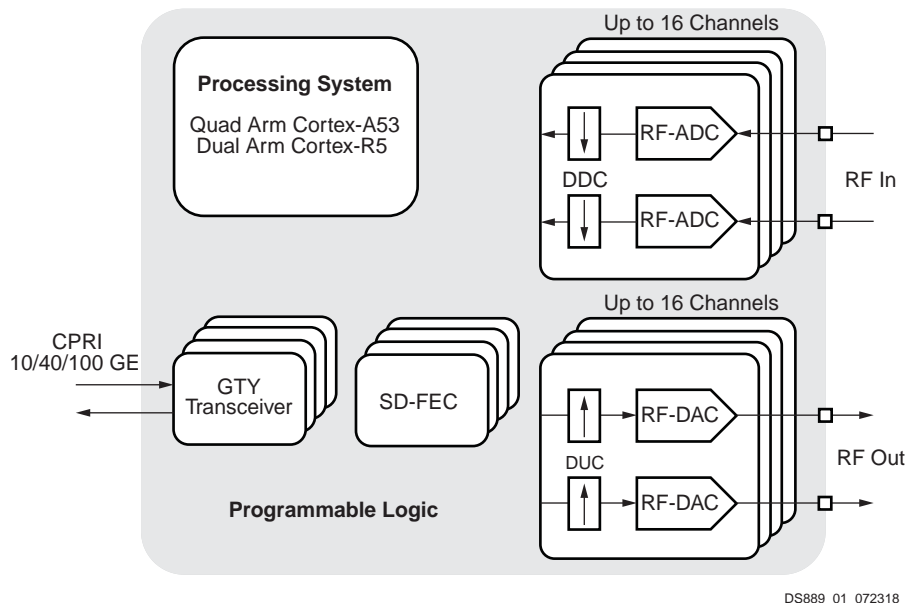


図 1: Zynq UltraScale+ RFSoc

## 機能概要

### RF データ コンバーター サブシステム

ほとんどの Zynq UltraScale+ RFSoc は、高周波 (RF) アナログ/デジタル コンバーター (RF-ADC) と RF デジタル/アナログ コンバーター (RF-DAC) をそれぞれ複数個含む RF データ コンバーター サブシステムを備えています。電力効率に優れた高精度で高速な RF-ADC および RF-DAC は、real データ用に個別に設定することも I/Q データ用にペアで設定することもできます。12 ビット RF-ADC は、選択したデバイスによって最大 2.058GSPS または 4.096GSPS のサンプル レートをサポートします。14 ビット RF-DAC は最大 6.554GSPS のサンプリング レートをサポートします。

### SD-FEC (Soft Decision Forward Error Correction)

一部の Zynq UltraScale+ RFSoc には、不安定またはノイズの多い通信チャネルでデータを転送する際のエラー抑制手段として、データのデコード/エンコードに使用できる非常に柔軟な SD-FEC ブロックが内蔵されています。SD-FEC ブロックは、5G 無線、バックホール、DOCSIS、および LTE アプリケーションで使用する LDPC (低密度パリティ チェック) デコード/エンコードおよびターボ デコードをサポートします。

### プロセッシング システム

Zynq UltraScale+ RFSoc は、クワッド コア Arm Cortex-A53 (APU) とデュアル コア Arm Cortex-R5 (RPU) ベースのプロセッシング システム (PS) を備えています。

プロセッサの機能をサポートするため、PS には専用機能を備えた多数のペリフェラルが内蔵されています。データ保存またはコンフィギュレーション格納用の外部メモリとのインターフェイスとして、PS にはマルチプロトコルのダイナミック メモリ コントローラー、DMA コントローラー、NAND コントローラー、SD/eMMC コントローラーおよびクワッド SPI コントローラーがあります。外部メモリへのインターフェイスに加え、APU にはレベル 1 (L1) とレベル 2 (L2) のキャッシュ階層、RPU には L1 キャッシュと密結合メモリ サブシステムがあります。これらは 256KB オンチップ メモリへのアクセスを持ちます。

高速インターフェイスとして、PS には PS-GTR と呼ばれる 4 チャンネルのトランシーバー (TX/RX ペア) があり、最大 6.0Gb/s のデータ レートをサポートしています。これらのトランシーバーを高速ペリフェラルと接続することで、PCIe® Gen2 ルート コМПレックスまたはエンドポイント (x1、x2、または x4 コンフィギュレーション)、シリアル ATA (SATA) (データ レート 1.5Gb/s、3.0Gb/s または 6.0Gb/s)、最大 2 レーンの DisplayPort (データ レート 1.62Gb/s、2.7Gb/s または 5.4Gb/s) をサポートします。PS-GTR トランシーバーは USB 3.0 および SGMII (Serial Gigabit Media Independent Interface) 経由でコンポーネントに接続することもできます。

汎用コネクティビティとして、PS にはホスト、デバイス、On-The-Go (OTG) として設定可能な 2 つの USB 2.0 コントローラー、I2C コントローラー、UART、ISO11898-1 に準拠した CAN2.0B コントローラーが用意されています。このほか、4 つのトライスピード イーサネット MAC、128 ビットの GPIO (うち MIO 経由では 78 ビット、EMIO 経由では 96 ビットを利用可能) もあります。

プロセッシング ユニットとペリフェラルの接続、および PS とプログラマブル ロジック (PL) のインターフェイスには Arm AMBA® AXI4 プロトコルに基づく広帯域コネクティビティを採用しています。

### I/O、トランシーバー、PCIe、100G イーサネット、150G Interlaken

データは、高性能なパラレル SelectIO™ インターフェイスと高速シリアル トランシーバー コネクティビティを共に使用し、オンチップ/オフチップに伝送されます。I/O ブロックは I/O 規格と電圧を柔軟にサポートすることで、最先端のメモリ インターフェイスおよびネットワーク プロトコルを提供します。UltraScale アーキテクチャ デバイスに搭載されるシリアル トランシーバーは、最大 32.75Gb/s でデータを転送し、前世代のトランシーバーと比較してビットあたりの消費電力を大幅に削減しながら、25G+ のバックプレーン デザインを可能にします。Zynq UltraScale+ RFSoc の GTY トランシーバーは PCIe Gen3、Gen4 (rev 0.5) に必要なデータ レートをサポートしており、PCIe 用統合ブロックを利用すると最大で Gen4 x8 および Gen3 x16 エンドポイントおよびルート ポート デザインをサポートできます。150Gb/s Interlaken および 100Gb/s イーサネット (100G MAC/PCS) 用の統合ブロックは、UltraScale デバイスの性能を拡張し、Nx100G スイッチおよびブリッジ アプリケーションをシンプルに、そして高い新信頼性でサポートします。

## クロックおよびメモリ インターフェイス

Zynq UltraScale+ RFSoc は、クロック合成、バッファリング、コンポーネントの配線を含む優れたクロック管理回路を備え、さまざまなデザイン要件に対応する高機能なフレームワークを提供します。クロックはクロックネットワークによって柔軟に分配できるため、クロック信号に関連したスキュー、消費電力、そして遅延が最小限に抑えられます。クロック管理テクノロジーは専用のメモリ インターフェイス回路と密接に統合されているため、DDR4 など高性能な外部メモリがサポートされます。また、Zynq UltraScale+ RFSoc ではパラレルメモリ インターフェイスだけでなく、ハイブリッドメモリキューブ (HMC) などのシリアルメモリもサポートされます。

## 配線、ロジック、ストレージ、信号処理

コンフィギュラブルロジックブロック (CLB) には、6 入力のルックアップテーブル (LUT) とフリップフロップ、27x18 乗算器を持つ DSP スライス、ビルトイン FIFO を備え ECC をサポートする 36Kb ブロック RAM、4Kx72 UltraRAM ブロックが含まれ、これらはすべて高性能で低レイテンシの豊富なインターコネクトで接続されます。CLB はロジック機能以外にも、シフトレジスタ、マルチプレクサー、キャリーロジック機能を提供します。LUT は分散メモリとして構成でき、高機能でコンフィギュラブルなブロック RAM を補います。96 ビット XOR ファンクション、27 ビット前置加算器、30 ビット A 入力を備える DSP スライスは、乗累算、積和算、パターン検出など多数の独立したファンクションを実行します。

## コンフィギュレーション、暗号化、システムモニター

Zynq UltraScale+ RFSoc は、256 ビット AES-GCM および SHA/384 ブロックによるセキュアブートをサポートする、コンフィギュレーション/セキュリティユニット (CSU) 経由でブートします。ブート後は、CSU 内の暗号化エンジンをユーザーによる暗号化に使用できます。システムモニターでは、オンチップの温度および電源センサーによって物理的環境や最大で 17 個の外部アナログ入力をモニタリングできます。

# Zynq UltraScale+ RFSoc の機能一覧

表 1: Zynq UltraScale+ RFSoc の機能一覧

	XCZU21DR	XCZU25DR	XCZU27DR	XCZU28DR	XCZU29DR
12 ビット、4.096GSPS RF-ADC (DDC あり)	0	8	8	8	0
12 ビット、2.058GSPS RF-ADC (DDC あり)	0	0	0	0	16
14 ビット、6.554GSPS RF-DAC (DUC あり)	0	8	8	8	16
SD-FEC	8	0	0	8	0
アプリケーション プロセッシングユニット	クワッド コア Arm Cortex-A53 MPCore (CoreSight™、NEON および単精度/倍精度浮動小数点演算ユニット、32KB/32KB L1 キャッシュ、1MB L2 キャッシュ内蔵)				
リアルタイム プロセッシングユニット	デュアル コア Arm Cortex-R5 (CoreSight、単精度/倍精度浮動小数点演算ユニット、32KB/32KB L1 キャッシュ、TCM 内蔵)				
エンベデッドおよび外部メモリ	256KB オンチップメモリ (ECC あり)、外部 DDR4、DDR3、DDR3L、LPDDR4、LPDDR3、外部クワッド SPI、NAND、eMMC				
汎用コネクティビティ	214 本の PS I/O、UART、CAN、USB 2.0、I2C、SPI、32b GPIO、リアルタイムクロック、ウォッチドッグタイマー、トリプルタイマーカウンター				
高速コネクティビティ	4 つの PS-GTR、PCIe® Gen1/2、シリアル ATA 3.1、DisplayPort 1.2a、USB 3.0、SGMII				
システムロジックセル	930,300	678,318	930,300	930,300	930,300
CLB フリップフロップ	850,560	620,176	850,560	850,560	850,560
CLB LUT	425,280	310,088	425,280	425,280	425,280
分散 RAM (Mb)	13.0	9.6	13.0	13.0	13.0
ブロック RAM ブロック	1,080	792	1,080	1,080	1,080
ブロック RAM (Mb)	38.0	27.8	38.0	38.0	38.0
UltraRAM ブロック	80	48	80	80	80
UltraRAM (Mb)	22.5	13.5	22.5	22.5	22.5
DSP スライス	4,272	3,145	4,272	4,272	4,272
CMT	8	6	8	8	8
最大 HP I/O	208	299	299	299	312
最大 HD I/O	72	48	48	48	96
システムモニター	1	1	1	1	1
GTY トランシーバー	16	8	16	16	16
トランシーバーフラクショナル PLL	8	4	8	8	8
PCIe Gen3 x16 および Gen4 x8	2	1	2	2	2
150G Interlaken	1	1	1	1	1
100G イーサネット (RS-FEC あり)	2	1	2	2	2

表 2: Zynq UltraScale+ RFSoc デバイスとパッケージの各組み合わせにおける最大 I/O 数

パッケージ	サイズ	XCZU21DR	XCZU25DR	XCZU27DR	XCZU28DR	XCZU29DR
		PSIO, HDIO, HPIO, -GTR, GTY, RF-ADC, RF-DAC				
FFVD1156	35x35	214, 72, 208 4, 16, 0, 0				
FFVE1156	35x35		214, 48, 104 4, 8, 8, 8	214, 48, 104 4, 8, 8, 8	214, 48, 104 4, 8, 8, 8	
FSVE1156	35x35		214, 48, 104 4, 8, 8, 8	214, 48, 104 4, 8, 8, 8	214, 48, 104 4, 8, 8, 8	
FFVG1517	40x40		214, 48, 299 4, 8, 8, 8	214, 48, 299 4, 16, 8, 8	214, 48, 299 4, 16, 8, 8	
FSVG1517	40x40		214, 48, 299 4, 8, 8, 8	214, 48, 299 4, 16, 8, 8	214, 48, 299 4, 16, 8, 8	
FFVF1760	42.5x42.5					214, 96, 312 4, 16, 16, 16
FSVF1760	42.5x42.5					214, 96, 312 4, 16, 16, 16

## RF データ コンバーター サブシステム

RF データ コンバーター サブシステムは RF-ADC と RF-DAC で構成されます。

### RF-ADC の機能

- タイル指向
  - 1 タイルあたり 4 つの RF-ADC と 1 つの PLL
  - 12 ビット分解能
  - 2.058GSPS x 4 チャンネルまたは 4.096GSPS x 2 チャンネルとして実装 (デバイスによる)
- 間引きフィルター
  - 1x, 2x, 4x, 8x
  - 全帯域幅のデータ レートをサポート
  - 80% 通過帯域、89dB 阻止帯域の減衰
- ミキサー機能
  - フルコンプレックス ミキサー
  - 各 RF-ADC に 48 ビット NCO
  - $F_s/4$  または  $F_s/2$  に固定された低消費電力モード
- シングル/マルチバンドを柔軟にサポート
  - 2.058GSPS RF-ADC ペアごとに 2x バンド
  - real または I/Q 入力用に設定可能
- 信号振幅しきい値
  - 各 RF-ADC につき 2 つのプログラマブルなフラグ
- 直交変調器の補正
  - RF-ADC ペアごとにゲイン/位相/オフセットを補正
- 複数チップの同期
- 柔軟なインターコネクト ロジック インターフェイス
  - N ワード x 周波数を選択可

## RF-DAC の機能

- タイル指向
  - 1 タイルあたり 4 つの RF-DAC と 1 つの PLL
  - 14 ビット分解能
  - サンプルング速度: 各 RF-DAC につき 6.554GSPS
  - 4GHz フル パワー出力帯域幅
- 補間
  - 1x, 2x, 4x, 8x
  - 全帯域幅のデータ レートをサポート
  - 80% 通過帯域、89dB 阻止帯域の減衰
- ミキサー機能
  - フル コンプレックス ミキサー
  - 各 RF-DAC に 48 ビット NCO
  - $F_s/4$  または  $F_s/2$  に固定された低消費電力モード
  - 第 1、第 2 ナイキスト ゾーンでの RF-DAC の動作をサポート
- シングル/マルチバンドを柔軟にサポート
  - RF-DAC ペアごとに 2x バンド
  - real または I/Q 出力用に設定可能
- 直交変調器の補正
  - RF-DAC ペアごとにゲイン/位相/オフセットを補正
- $\sin x/x$  補正
- サンプル遅延補正
- 複数チップの同期
- 柔軟なインターコネクト ロジック インターフェイス
  - N ワード x 周波数を選択可

---

## SD-FEC (Soft Decision Forward Error Correction)

SD-FEC は非常に柔軟な軟判定 FEC デコーダーおよび LDPC エンコーダーで、次の機能を備えています。

### LDPC デコード/エンコード

- 柔軟な設定が可能な符号
  - AXI4-Lite インターフェイス経由で幅広い擬巡回符号を設定可能
  - 符号パラメーター メモリは最大 128 符号で共有可能
  - 符号はブロック単位で選択可能
  - エンコーダーは適切なデコーダー コードを再利用可能
- 正規化した min-sum デコード アルゴリズム
  - レイヤーに対する正規化係数を 0.0625 ~ 1 の範囲で 0.0625 の倍数としてプログラム可能
- 1 ~ 63 回の反復
  - 符号語ごとに指定

- 反復の早期打ち切り (ET)
  - 符号語ごとに次に示す 2 つのうち両方、片方、またはどちらもなしを指定
    - パリティ チェック合格
    - 前回の反復後、ハード情報またはパリティ ビットに変化なし
- 軟出力または硬出力
  - 符号語ごとに情報とオプションのパリティを含めるように指定
  - 6 ビットの軟対数尤度比 (LLR) 入力と 8 ビット出力 (8 ビット インターフェイス、2 小数ビット、入力前に  $-7.75 \sim +7.75$  の対称範囲に外部で飽和)
- ユーザー指定の ID でブロックを識別し、ブロックをイン オーダーまたはアウト オブ オーダーで実行

## ターボ デコード

- Max、Max Scale (スケール係数は 0.0625 の倍数としてプログラム可能)、または Max Star
- 1 ~ 63 回の反復
  - ストリーミング制御インターフェイスによりブロックごとに指定
- 反復の早期打ち切り (ET)
  - 符号語ごとに次に示す 2 つのうち両方、片方、またはどちらもなしを指定
    - 前回の反復後、硬判定に変化なし
    - CRC 合格
- 軟出力または硬出力
  - 符号語ごとに組織符号とオプションのパリティ 0 およびパリティ 1 を含めるように指定
  - 8 ビット LLR 入力および出力 (8 ビット インターフェイス、2 小数ビット、入力前に  $-31.75 \sim +31.75$  の対称範囲に外部で飽和)

## インターフェイス

- インターフェイスごとにクロックが異なり、統合が容易
- 幅の広い入力および出力データ インターフェイス。1、2、または 4 レーンのサポートを設定可能
- 各レーンの LLR の値をブロック単位または転送単位で指定可能
- 制御パラメーターを指定する入力とステータスを受信する出力をブロックごとに分離

---

# プロセッシング システム

## アプリケーション プロセッシング ユニット (APU)

APU の主な特長は次のとおりです。

- 64 ビット クワッド コア Arm Cortex-A53 MPCore各コアの機能は次のとおりです。
  - ARM v8-A アーキテクチャ
  - ターゲット動作周波数: 最大 1.5GHz
  - 単精度および倍精度の浮動小数点:  
4 SP/2 DP FLOP
  - 単精度および倍精度の浮動小数点命令で NEON Advanced SIMD サポート
  - 64 ビットの動作モードで A64 命令セット、32 ビット動作モードで A32/T32 命令セット
  - レベル 1 キャッシュ (命令とデータが独立、各 Cortex-A53 CPU に 32KB)
    - 2 ウェイ (連想度) セット アソシエイティブ方式のパリティ付き命令キャッシュ
    - 4 ウェイ (連想度) セット アソシエイティブ方式のパリティ付きデータ キャッシュ

- 各プロセッサ コアにメモリ管理ユニット (MMU) を内蔵
- TrustZone によるセキュア モード動作
- 仮想化をサポート
- 動作モード: シングル プロセッサ、対称クワッド プロセッサ、非対称クワッド プロセッサ
- 16 ウェイ (連想度) セット アソシエイティブ レベル 2 の ECC 付き キャッシュを統合
- 割り込みおよびタイマー
  - ジェネリック割り込みコントローラー (GIC-400)
  - Arm ジェネリック タイマー (各 CPU に 4 つのタイマー)
  - 1 つのウォッチドッグ タイマー (WDT)
  - 1 つのグローバル タイマー
  - 2 つのトリプル タイマー / カウンター (TTC)
- CoreSight によるデバッグおよびトレースをサポート
  - エンベデッド トレース マクロセル (ETM) での命令トレース
  - クロストリガー インターフェイス (CTI) によって、ハードウェア ブレークポイントおよびトリガーが可能
- PL への ACP インターフェイスには I/O コヒーレンシがあり、レベル 2 キャッシュ割り当て
- PL への ACE インターフェイスには完全なコヒーレンシ
- 各プロセッサ コアごとに電源アイランドのゲーティング
- コアごとに eFUSE を無効化するオプション

## リアルタイム プロセッシング ユニット (RPU)

- デュアル コア Arm Cortex-R5 MPCore 各コアの機能は次のとおりです。
  - ARM v7-R アーキテクチャ (32 ビット)
  - ターゲット動作周波数: 最大 600MHz
  - A32/T32 命令セットをサポート
  - レベル 1 で 4 ウェイ (連想度) セット アソシエイティブ方式の ECC 付きキャッシュ (命令とデータは別々、32KB)
  - 各プロセッサにメモリ保護ユニット (MPU) を内蔵
  - 128KB 密結合メモリ (TCM)、ECC サポートあり
  - ロックステップ モードでは TCM を組み合わせて 256KB を構築可能
- シングル プロセッサまたはデュアル プロセッサ モードで動作可能 (スプリットおよびロックステップ)
- 専用 SWDT およびトリプル タイマー カウンター (TTC)
- CoreSight によるデバッグおよびトレースをサポート
  - エンベデッド トレース マクロセル (ETM) での命令およびトレース
  - クロストリガー インターフェイス (CTI) によって、ハードウェア ブレークポイントおよびトリガーが可能
- eFUSE の無効化オプション

## フル電力ドメイン DMA (FPD-DMA) 低電力ドメイン DMA (LPD-DMA)

- 2 つの汎用 DMA コントローラー (1 つはフル電力ドメイン (FPD-DMA)、もう 1 つは低電力ドメイン (LPD-DMA))
- 各 DMA に 8 つの独立チャンネル
- 複数の伝送タイプ
  - メモリ間
  - メモリからペリフェラル
  - ペリフェラルからメモリ
  - スキャッター ギャザー
- 各 DMA に 8 つのペリフェラル インターフェイス
- 各 DMA の TrustZone によりセキュア動作オプション



## ザイリンクス メモリ保護ユニット (XMPU)

- ・ 領域ベースのメモリ保護ユニット
- ・ 最大 16 個の領域
- ・ 各領域は 1MB または 4KB のアドレス アライメントをサポート
- ・ 領域は重複可、領域番号が大きいほど高い優先度
- ・ 各領域は個別に有効化/無効化できる
- ・ 各領域に開始アドレスおよび終了アドレスがある

## ダイナミック メモリ コントローラー (DDRC)

- ・ DDR3、DDR3L、DDR4、LPDDR3、LPDDR4
- ・ ターゲット データ レート: -1 スピード グレードで最大 2400Mb/s の DDR4 動作
- ・ DDR4、DDR3、DDR3L、LPDDR3 メモリで 32 ビットまたは 64 ビットのバス幅をサポートし、LPDDR4 メモリで 32 ビットのバス幅をサポート
- ・ ECC サポート (追加ビットを使用)
- ・ 最大 32GB の DRAM 総容量
- ・ 低消費電力モード
  - 。 アクティブ/プリチャージ パワー ダウン
  - 。 セルフ リフレッシュ (コントローラー パワー サイクル後のセルフ リフレッシュからのクリーンな終了を含む)
- ・ ソフトウェアが読み出し/書き込みアイを計測して遅延を動的に調整できることで強化された DDR トレーニング
- ・ 読み出しパスおよび書き込みパスに別々のパフォーマンス モニター
- ・ テスト用に PHY デバッグ アクセス ポート (DAP) を JTAG に統合

DDR メモリ コントローラーには複数のポートが接続されているため、PS と PL が同じメモリへのアクセスを共有できます。この際、DDR コントローラーは、次に示す 6 つの AXI スレーブ ポートを使用します。

- ・ Arm Cortex-A53 CPU、RPU (Arm Cortex-R5 および LPD ペリフェラル)、高速ペリフェラル (USB3、PCIe、SATA)、PL からキャッシュ コヒーレント インターコネクト (CCI) を経由する高性能ポート (HP0 と HP) からの 128 ビット AXI ポートが 2 つ
- ・ Arm Cortex-R5 CPU 専用の 64 ビット ポートが 1 つ
- ・ DisplayPort および PL の HP2 ポートからの 128 ビット AXI ポートが 1 つ
- ・ PL の HP3 および HP4 ポートからの 128 ビット AXI ポートが 1 つ
- ・ 汎用 DMA および PL の HP5 ポートからの 128 ビット AXI ポートが 1 つ

## 高速コネクティビティ ペリフェラル

### PCIe

- ・ PCI Express Base 仕様 2.1 に準拠
- ・ PCI Express のトランザクション オーダリング規則に完全に準拠
- ・ レーン幅: Gen1 または Gen2 レートで x1、x2、x4
- ・ 1 つの仮想チャネル
- ・ 全二重 PCIe ポート
- ・ エンドポイントおよびシングル PCIe リンク ルート ポート
- ・ ルート ポートがエンハンスト コンフィギュレーション アクセス メカニズム (ECAM) をサポート、コンフィギュレーション トランザクションの生成
- ・ INTx および MSI のルート ポート サポート
- ・ MSI または MSI-X のエンドポイント サポート

- 1つの物理的機能、または SR-IOV
- リラックス オーダリングまたは ID オーダリングなし
- 完全にコンフィギャラブルな BAR
- INTx は推奨されていないが、生成可能
- ターゲット/スレーブ アパーチャーのアドレス トランザクションおよび割り込み性能が設定可能なエンドポイント

## SATA

- SATA 3.1 仕様に準拠
- SATA ホスト ポートは最大 2 つの外部デバイスをサポート
- Advanced Host Controller Interface (AHCI) ver. 1.3 に準拠1.3
- 1.5Gb/s、3.0Gb/s、6.0Gb/s のデータ レート
- 電力管理機能: パーシャルおよび休止モードをサポート

## USB 3.0

- 2 つの USB コントローラー (USB 2.0 または USB 3.0 として構成可能)
- 最大 5.0Gb/s データ レート
- ホストおよびデバイス モード
  - 超高速、高速、フル、低速の各スピード モード
  - 最大 12 個のエンドポイント
  - USB ホスト コントローラー レジスタおよびデータ構造は Intel xHCI 仕様に準拠
  - 内蔵 DMA を備える 64 ビットの AXI マスター ポート
  - 電力管理モード: ハイバーネート モード

## DisplayPort コントローラー

- DisplayPort 出力を使用した 4K ディスプレイ処理
  - 最大解像度は 4K x 2K-30 (30Hz ピクセル レート)
  - DisplayPort AUX チャンネル、および出力にホット プラグ検出 (HPD)
  - 6、8、10、および 12 ビット/カラーで RGB YCbCr 4:2:0、4:2:2、4:4:4
  - 6、8、10、および 12 ビット/カラー コンポーネントで Y のみ、xvYCC、RGB 4:4:4、YCbCr 4:4:4、YCbCr 4:2:2、YCbCr 4:2:0 のビデオフォーマット
  - 256 カラーパレット
  - 複数のフレームバッファフォーマット
  - パレットによる 1、2、4、8 ビット/ピクセル (bpp) の色深度
  - 16、24、32bpp
  - RGBA8888、RGB555 などのグラフィックスフォーマット
- PL または専用 DMA コントローラーからのストリーミングビデオを受け取る
- グラフィックスのアルファブレンドおよびクロマキーが可能
- オーディオサポート
  - シングルストリームでは 192kHz、24 ビットの解像度で最大 8 LPCM チャンネルをサポート
  - DRA、Dolby MAT、DTS HD を含む圧縮フォーマットをサポート
  - マルチストリーム伝送によってオーディオチャンネル数を拡張
  - オーディオコピー防止
  - PL からの 2 チャンネルのストリーミングまたは入力
  - メモリオーディオフレームバッファからのマルチチャンネルの非ストリーミングオーディオ

- ISO/IEC 13818-1 に準拠するシステム タイム クロック (STC) を含む
- 最小限のリソースでブート時間表示

## プラットフォーム管理ユニット (PMU)

- ブート中にシステムの初期化を実行
- スリープステート中はアプリケーションおよびリアルタイム プロセッサへを代表するものとして動作する
- 電源投入とウェークアップ要求後の再動作を開始する
- システムの電力ステートを常に維持管理する
- アイランドおよびドメインの電源投入、電源切断、リセット、クロック ゲーティング、電力ゲーティングに必要な下位イベントのシーケンスを管理する
- エラー処理およびレポートなどのエラー管理
- メモリ スクラブなどの安全性チェック機能

PMU には、次のブロックがあります。

- プラットフォーム管理プロセッサ
- 固定 ROM によるデバイスのブートアップ
- ECC 付き 128KB RAM によるオプションのユーザー /ファームウェア コード
- ローカルおよびグローバル レジスタで電源切断、電源投入、リセット、クロック ゲーティング、電力ゲーティングを管理
- ほかのモジュールからの 16 の割り込みに対応する割り込みコントローラーおよび内部プロセッサ通信インターフェイス (IPI)
- PS I/O と PL との間の GPI および GPO インターフェイス
- JTAG インターフェイスを介した PMU のデバッグ
- ユーザー定義のファームウェア オプション

## コンフィギュレーション セキュリティ ユニット (CSU)

- ECC 内蔵のトリプル冗長セキュア プロセッサ ブロック (SPB)
- 暗号インターフェイス ブロック
  - 256 ビット AES-GCM
  - SHA-3/384
  - 4096 ビット RSA
- キー管理ユニット
- 内蔵 DMA
- PCAP インターフェイス
- コンフィギュレーションの前段階で ROM の検証をサポート
- セキュアまたは非セキュア モードで第 1 段階ブートローダー (FSBL) を OCM にロード
- コンフィギュレーション後の電圧、温度、周波数の監視をサポート

## ザイリンクス ペリフェラル保護ユニット (XPPU)

- ペリフェラルの保護機能を提供
- 同時に最大 20 のマスター
- 多様なアパーチャー サイズ
- マスターごとに特定のアドレス アパーチャーのアクセス制御
- ペリフェラルごとの 64KB ペリフェラル アパーチャーおよび制御アクセス

## I/O ペリフェラル

IOP ユニットには、データ通信ペリフェラルが含まれます。IOP の主な特長は次のとおりです。

### トリプルスピード ギガビット イーサネット

- IEEE 802.3 に準拠し、10/100/1000Mb/s の転送レート (全二重および半二重) をサポート
- ジャンボ フレームをサポート
- スキャッター ギャザー DMA 機能を内蔵
- RMON/MIB 用の統計カウンター レジスタ
- 外部 PHY を使用し、RGMII インターフェイスで複数の I/O タイプ (1.8、2.5、3.3V)
- PL への GMII インターフェイスで次をサポート: TBI、SGMII、RGMII v2.0
- 送信フレームでパッドおよび巡回冗長検査 (CRC) の自動生成
- トランスミッターおよびレシーバー IP、TCP、UDP チェックサムのおフロード
- 物理層を管理するための MDIO インターフェイス
- 入力ポーズ フレームの認識と送信ポーズ フレームのハードウェア生成の全二重フロー制御
- 入力 VLAN と優先度タグの付いたフレームを認識する 802.1Q VLAN タグ
- IEEE 1588 v2 をサポート

### SD/SDIO 3.0 コントローラー

セキュア デジタル (SD) デバイスだけでなく eMMC 4.51 をサポートします。

- ホスト モードのサポートのみ
- 内蔵 DMA
- 1/4 ビット SD 仕様、バージョン 3.0
- 1/4/8 ビット eMMC 仕様、バージョン 4.51
- SD カードおよび eMMC からのプライマリ ブートをサポート (Managed NAND)
- 高速、デフォルト、低速のレートをサポート
- 1 ビットと 4 ビットのデータ インターフェイス
  - 低速クロック 0 ~ 400kHz
  - デフォルト クロック 0 ~ 25MHz
  - 高速クロック 0 ~ 50MHz
- 高速インターフェイス
  - SD UHS-1: 208MHz
  - eMMC HS200: 200MHz
- メモリ、I/O、SD カード
- 電力制御モード
- 最大 512B データ FIFO インターフェイス

### UART

- プログラム可能なボー レート生成回路
- 6、7、または 8 データ ビット
- 1、1.5、または 2 ストップ ビット
- 奇数、偶数、スペース、マーク、パリティなし
- パリティ、フレーミング、およびオーバーラン エラーの検出
- 改行生成および検出

- 自動エコー、ローカルループバック、およびリモートループバックチャンネルモード
- モデム制御信号: CTS、RTS、DSR、DTR、RI、DCD (EMIO からのみ)

## SPI

- 全二重動作によって送信と受信の同時実行が可能
- 深さが 128B の読み出しおよび書き込み FIFO
- マスター/スレーブ SPI モード
- 最大 3 つのチップセレクトライン
- マルチマスター環境
- 2 つ以上のマスターが検知されたら、エラー状態を特定
- 選択可能なマスタークロックリファレンス
- ソフトウェアはステートをポーリングするか、割り込み駆動にできる

## I2C

- 128 ビットバッファサイズ
- 標準 (100kHz) および高速 (400kHz) 両方のバスデータレート
- マスター/スレーブモード
- 標準または拡張アドレス
- 低速ホストサービスには I2C バスホールド

## GPIO

- 最大 128 GPIO ビット
  - MIO から最大 78 ビット、EMIO から最大 96 ビット
- 各 GPIO ビットは入力または出力として動的にプログラム可能
- 全レジスタの各ビットに独立したリセット値
- 各 GPIO 信号に割り込み要求生成
- 全制御レジスタ (データ出力レジスタ、方向制御レジスタ、割り込みクリアレジスタを含む) にシングルチャンネル (ビット) 書き込み性能
- 出力モードでリードバック

## CAN

- ISO 11898 -1、CAN2.0A、CAN 2.0B 規格に準拠
- 標準 (11 ビット識別子) と拡張 (29 ビット識別子) の両フレーム
- 最大 1Mb/s のビットレート
- 64 メッセージの深さの送信および受信メッセージ FIFO
- TXFIFO および RXFIFO の透かし割り込み
- 通常モード時のエラーまたはアービトレーション損失での自動再伝送
- 4 つの受信フィルターによる受信フィルタリング
- 自動ウェイクアップ付きのスリープモード
- スヌープモード
- 受信メッセージの 16 ビットタイムスタンプ
- 内部生成された基準クロックと MIO からの外部基準クロック入力
- 24MHz の基準クロック入力で 80 ~ 83% のクロックサンプリングエッジを保証
- ポートごとに eFUSE を無効化するオプション

## USB 2.0

- 2つの USB コントローラー (USB 2.0 または USB 3.0 として構成可能)
- ホスト、デバイス、On-The-Go (OTG) モード
- 高速、フル、低速の各スピードモード
- 最大 12 個のエンドポイント
- 外部 PHY の接続用の 8 ビット ULPI インターフェイス
- USB ホスト コントローラー レジスタおよびデータ構造は Intel xHCI 仕様に準拠
- 内蔵 DMA を備える 64 ビットの AXI マスター ポート
- 電力管理機能: ハイバーネート モード

## スタティック メモリ インターフェイス

スタティック メモリ インターフェイスは外部のスタティック メモリをサポートします。

- 最大 24 ビット ECC の ONFI 3.1 NAND フラッシュをサポート
- 1 ビット SPI、2 ビット SPI、4 ビット SPI (クワッド SPI)、または 2 つのクワッド SPI (8 ビット) シリアル NOR フラッシュ
- Manage NAND フラッシュをサポートする 8 ビット eMMC インターフェイス

## NAND ONFI 3.1 フラッシュ コントローラー

- ONFI 3.1 準拠
- ONFI 3.1 仕様によってチップ セレクト数を削減
- SLC NAND でのブート/コンフィギュレーションおよびデータ格納
- SLC NAND に基づく ECC オプション
  - 512+ スペア バイトごとに 1、4、または 8 ビット
  - 1024+ スペア バイトごとに 24 ビット
- 最大スループットは次のとおり
  - 非同期モード (SDR) 24.3MB/s
  - 同期モード (NV-DDR) 112MB/s (100MHz フラッシュ クロック)
- 8 ビット SDR NAND インターフェイス
- 2 つのチップ セレクト
- プログラム可能なアクセス タイミング
- 1.8V および 3.3V I/O
- 内蔵 DMA による性能向上

## Quad-SPI コントローラー

- 4 バイト (32 ビット) と 3 バイト (24 ビット) のアドレス幅
- 150MHz の最大 SPI クロック (マスター モード)
- シングル、デュアルパラレル、デュアルスタック モード
- 読み出し動作の 32 ビット AXI リニア アドレス マッピング インターフェイス
- 最大 2 つのチップ セレクト信号
- 書き込み防止信号
- ホールド信号
- 4 ビットの双方向 I/O 信号
- x1/x2/x4 読み出しレート要件
- x1 書き込みレート要件のみ

- 深さが 64 バイトのエントリ FIFO による QSPI 読み出し効率の向上
- 内蔵 DMA による性能向上

## インターコネク

すべてのブロックは、マルチレイヤーの Arm Advanced Microprocessor Bus Architecture (AMBA) AXI インターコネクを介して互いに、そして PL に接続されています。このインターコネクは、ノンブロッキング型で同時に複数のマスター/スレーブトランザクションをサポートします。

Arm CPU などのレイテンシの影響を受けやすいマスター デバイスはメモリへの最短パスを割り当て、PL マスター デバイスとなる可能性がある帯域幅が重視されるマスター デバイスにはスレーブ デバイスとの接続が高スレーブとなるようにインターコネクは設計されています。

このインターコネクを通過するトラフィックは、インターコネク内の QoS (Quality of Service) ブロックで制御されます。QoS 機能を使用して、CPU、DMA コントローラー、および IOP のマスターに相当する統合されたエンティティで生成されたトラフィックを制御します。

## PS インターフェイス

PS インターフェイスには、チップ外への外部インターフェイスまたは PS から PL への信号が含まれます。

### PS の外部インターフェイス

Zynq UltraScale+ RFSoc の外部インターフェイスは、PL ピンとして割り当てることができない専用ピンを使用します。これらのピンは次のとおりです。

- クロック、リセット、ブート モード、基準電圧
- 最大 78 の専用多目的 I/O (MIO) ピン (内部の I/O ペリフェラルやスタティック メモリ コントローラーへ接続するためにソフトウェアで設定を変更できる)
- オプションで ECC 付きの 32 ビットまたは 64 ビットの DDR4/DDR3/DDR3L/LPDDR3 メモリ
- オプションで ECC 付きの 32 ビット LPDDR4 メモリ
- トランシーバーに 4 チャンネル (TX と RX のペア)

### MIO の概要

IOP ペリフェラルは、共有リソースである最大 78 ピンの専用多目的 I/O (MIO) を介して外部デバイスと通信します。各ペリフェラルは、あらかじめ定義されたピングループの 1 つに割り当てることができ、同時に複数のデバイスを柔軟に割り当てることが可能です。すべての I/O ペリフェラルを同時に使用するには 78 ピンでは不十分ですが、ほとんどの IOP インターフェイス信号は PL で使用可能なため、適切に電源投入してコンフィギュレーションすれば、標準の PL I/O ピンが利用できます。EMIO によってマップされていない PS ペリフェラルから PL I/O へのアクセスが可能です。

ポート マッピングは複数の位置に割り当てることができます。たとえば、CAN ピンの場合は最大 12 箇所のポート マッピングが可能です。PS コンフィギュレーション ウィザード (PCW) は、ペリフェラルおよびスタティック メモリのピン マッピングに役立ちます。

表 3: MIO ペリフェラル インターフェイスのマッピング

ペリフェラルインターフェイス	MIO	EMIO
クワッド SPI NAND	あり	なし
USB2.0: 0, 1	あり: 外部 PHY	なし
SDIO 0, 1	あり	あり

表 3: MIO ペリフェラル インターフェイス のマッピング (続き)

ペリフェラル インターフェイス	MIO	EMIO
SPI: 0, 1 I2C: 0, 1 CAN: 0, 1 GPIO	あり  CAN: 外部 PHY GPIO: 最大 78 ビット	あり  CAN: 外部 PHY GPIO: 最大 96 ビット
GigE: (0, 1/2, 3) LTM4616	RGMII v2.0: 外部 PHY	プログラマブル ロジック で GMII、RGMII v2.0 (HSTL)、RGMII v1.3、MII、SGMII、1000BASE-X をサポート
UART: 0, 1	簡易 UART: 2 ピンのみ (TX と RX)	フル機能 UART (TX、RX、DTR、DCD、DSR、RI、RTS、CTS) は、次のいずれかの使用が必要 <ul style="list-style-type: none"> <li>• MIO を介す 2 つのプロセッシング システム (PS) ピン (RX、TX) と 6 つのプログラマブル ロジック (PL) ピン、または</li> <li>• 8 つのプログラマブル ロジック (PL) ピン</li> </ul>
デバッグ トレース ポート	あり: 最大 16 トレース ビット	あり: 最大 32 トレース ビット
プロセッサ JTAG	あり	あり

## トランシーバー (PS-GTR)

フル電力ドメイン (FPD) にある 4 つの PS-GTR トランシーバーは、最大 6.0Gb/s のデータ レートをサポートします。すべてのプロトコルを同時に割り当てることはできません。トランシーバーを使用して常時 4 つの差動ペアを割り当てるのが可能です。これは、高速 I/O マルチプレクサーを介してユーザー プログラマブルです。

- 1 つのクワッド トランシーバー PS-GTR (TX/RX ペア) は次の規格を同時にサポートできます。
  - Gen1 (2.5Gb/s) または Gen2 (5.0Gb/s) の PCIe で x1、x2、または x4 レーン
  - 1.62Gb/s、2.7Gb/s、または 5.4Gb/s の DisplayPort (TX のみ) で 1 または 2 レーン
  - 1.5Gb/s、3.0Gb/s、6.0Gb/s で 1 または 2 SATA チャンネル
  - 5.0Gb/s で 1 または 2 USB3.0 チャンネル
  - 1.25Gb/s で 1 ~ 4 イーサネット SGMII チャンネル
- トランシーバー リソースを PS マスター (DisplayPort、PCIe、Serial-ATA、USB3.0、GigE) に接続するために、柔軟でホストがプログラマブルなマルチプレクス機能を提供

## HS-MIO

HS-MIO は、PS 内の高速ペリフェラルから PS-GTR トランシーバーの差動ペアへ、コンフィギュレーション レジスタで定義されたとおりに多重アクセスする役割を果たします。PS 内の高速インターフェイスが利用可能なトランシーバー チャンネルは、最大 4 つです。

表 4: HS-MIO ペリフェラル インターフェイス のマッピング

ペリフェラル インターフェイス	レーン 0	レーン 1	レーン 2	レーン 3
PCIe (x1、x2、x4)	PCIe0	PCIe1	PCIe2	PCIe3
SATA (1 または 2 チャンネル)	SATA0	SATA1	SATA0	SATA1
DisplayPort (TX のみ)	DP1	DP0	DP1	DP0
USB0	USB0	USB0	USB0	–
USB1	–	–	–	USB1
SGMII0	SGMII0	–	–	–
SGMII1	–	SGMII1	–	–
SGMII2	–	–	SGMII2	–
SGMII3	–	–	–	SGMII3



## PS-PL インターフェイス

PS-PL インターフェイスの特長は次のとおりです。

- プライマリ データ通信用の AMBA AXI4 インターフェイス
  - PL から PS への 128 ビット/64 ビット/32 ビット ハイ パフォーマンス (HP) スレーブ AXI インターフェイス x 6
    - PL から PS DDR への 128 ビット/64 ビット/32 ビット HP AXI インターフェイス x 4
    - PL から キャッシュ コヒーレント インターコネク (CCI) への 128 ビット/64 ビット/32 ビット ハイ パフォーマンス コヒーレント (HPC) ポート x 2
  - PS から PL への 128 ビット/64 ビット/32 ビット HP マスター AXI インターフェイス x 2
  - OCM への低レイテンシ アクセスを可能にする、PL から PS 内の RPU (PL\_LPD) への 128 ビット/64 ビット/32 ビット インターフェイス x 1
  - PL への低レイテンシ アクセスを可能にする、PS 内の RPU から PL (LPD\_PL) への 128 ビット/64 ビット/32 ビット AXI インターフェイス x 1
  - I/O コヒーレンシの取れたアクセスを可能にする、PL から Cortex-A53 キャッシュ メモリへの 128 ビット AXI インターフェイス (ACP ポート) x 1。このインターフェイスは、ハードウェアで Cortex-A53 キャッシュ メモリのコヒーレンシを提供。
  - 完全にコヒーレンシの取れたアクセスを可能にする、PL から Cortex-A53 への 128 ビット AXI インターフェイス (ACP ポート) x 1。このインターフェイスは、ハードウェアで Cortex-A53 キャッシュ メモリおよび PL のコヒーレンシを提供。
- クロックおよびリセット
  - PL への PS クロック出力 (開始/停止制御付き) x 4
  - PL への PS リセット出力 x 4

## 高性能 AXI ポート

高性能 AXI4 ポートは、PL から PS の DDR および高速インターコネクへのアクセスに利用できます。PL から PS への 6 つの専用 AXI メモリ ポートは、128 ビット、64 ビット、または 32 ビットのインターフェイスとして構成可能です。これらのインターフェイスは FIFO インターフェイスを介して PL とメモリ インターコネクを接続します。2 つの AXI インターフェイスは、APU キャッシュへの I/O コヒーレントなアクセスをサポートします。

各高性能 AXI ポートの特長は次のとおりです。

- PL とプロセッシングシステム メモリ間のレイテンシを削減
- 深さ 1KB の FIFO
- 128 ビット、64 ビット、または 32 ビットの AXI インターフェイスとして設定可能
- DDR へ複数の AXI コマンドを発行

## アクセラレータ コヒーレンシ ポート (ACP)

Zynq UltraScale+ アクセラレータ コヒーレンシ ポート (ACP) は、64 ビットの AXI スレーブ インターフェイスであり、APU と PL 内のアクセラレータ機能を接続します。ACP は、PL を Arm Cortex-A53 プロセッサのスヌープ制御ユニット (SCU) へ直接接続するため、L2 キャッシュの CPU データへ整合性の取れたアクセスが可能になります。また、従来の方法でキャッシュをフラッシュまたはロードする場合よりも低いレイテンシで PS と PL ベースのアクセラレータ間の転送が可能です。ACP は CPU 内のアクセスのみスヌープし、ハードウェアにおけるコヒーレンシを提供します。PL 側でのコヒーレンシはサポートしていません。つまり、このインターフェイスは DMA または CPU のキャッシュ メモリにのみコヒーレンシを必要とする PL のアクセラレータに理想的です。たとえば、PL にある MicroBlaze™ プロセッサが ACP インターフェイスに接続されている場合、MicroBlaze プロセッサのキャッシュと Cortex-A53 のキャッシュに整合性はありませぬ。

## AXI コヒーレンシ拡張 (ACE)

Zynq UltraScale+ AXI コヒーレンシ拡張 (ACE) は、64 ビットの AXI4 スレーブ インターフェイスであり、APU と PL 内のアクセラレータ機能を接続します。ACE は、PL を Arm Cortex-A53 プロセッサのスヌープ制御ユニット (SCU) へ直接接続するため、キャッシュ コヒーレント インターコネク (CCI) へ整合性の取れたアクセスが可能になります。また、従来の方法でキャッシュをフラッシュまたはロードする場合よりも低いレイテンシで PS と PL ベースのアクセラレータ間の転送が可能です。ACE は CCI および PL 側へのアクセスをスヌープするため、ハードウェアにおける完全なコヒーレンシを提供します。このインターフェイスを使用することで、PL 内のキャッシュされたインターフェイスを両方の Cortex-A53 メモリのキャッシュとして PS に接続でき、PL マスターがスヌープされるため、完全なコヒーレンシが提供されます。たとえば、PL にある MicroBlaze プロセッサが ACE インターフェイスを用いて接続されている場合、Cortex-A53 と MicroBlaze プロセッサのキャッシュは互いに整合性があります。

## 入力/出力

すべての Zynq UltraScale+ RFSoc が、外部コンポーネントとの通信用の I/O ピンを備えています。これ以外に、PS には I/O ペリフェラルと外部コンポーネントの通信用に MIO (多目的 I/O) と呼ばれる 78 本の I/O があります。I/O ペリフェラルに必要なピンが 78 本を超える場合、PL の I/O ピンを使用して RFSoc のインターフェイス機能を拡張できます。これを EMIO (Extended MIO) と呼びます。

PL にある I/O ピンの数はデバイスおよびパッケージにより異なります。各 I/O ピンはコンフィギュレーション可能で、多数の規格に準拠しています。I/O には HP (High-Performance) と HD (High-Density) の種類があります。HP I/O は最高性能の動作向けに最適化されており、1.0V ~ 1.8V の電圧をサポートします。HD I/O は 24 バンク構成で機能を絞った I/O で、1.2V ~ 3.3V の電圧をサポートします。

I/O ピンはすべてバンクに構成されており、HP I/O ピンは 1 バンクに 52 本、HD I/O ピンは 1 バンクに 24 本あります。各バンクには 1 つの共通  $V_{CCO}$  出力バッファ電源があり、これは特定の入力バッファにも電源を供給します。一部のシングルエンドの入力バッファには、内部生成の、あるいは外部に基準電圧 ( $V_{REF}$ ) が必要です。 $V_{REF}$  ピンは PCB から直接駆動するか、各バンク内部にある  $V_{REF}$  生成回路を使用して内部生成できます。

## I/O 電気特性

シングルエンド出力は従来型の CMOS プッシュ/プル出力構造を使用するもので、 $V_{CCO}$  は High を、グラウンドは Low を駆動し、ハイインピーダンス状態も可能です。システム設計者はスループットおよび駆動能力を指定できます。入力は常にアクティブですが、出力がアクティブの間は通常無視されます。また、各ピンはオプションとして、弱いプルアップまたはプルダウン抵抗を付けることができます。

ほとんどの信号ピンペアが、差動入力ペアまたは出力ペアとして構成できます。さらに、差動入力ピンのペアを 100Ω の内部抵抗で終端できるオプションもあります。すべての UltraScale デバイスは LVDS 以外に RSDS、BLVDS、差動 SSTL、差動 HSTL の差動規格をサポートします。また、各 I/O はシングルエンドおよび差動の HSTL、SSTL などのメモリ I/O 規格をサポートします。Zynq UltraScale+ RFSoc は I/O バンクに専用 D-PHY を備え、MIPI もサポートしています。

## トライステート型デジタル制御インピーダンスおよび低消費電力 I/O 機能

トライステート型デジタル制御インピーダンス ( $T_{DCI}$ ) は、出力駆動インピーダンス (直列終端) を制御したり、あるいは  $V_{CCO}$  に対して入力信号を並列終端、 $V_{CCO}/2$  に対して分割 (テブナン) 終端を構成可能です。 $T_{DCI}$  を使用した信号には、オフチップの終端は不要です。これはボードスペースを節約するだけでなく、出力モードまたはトライステートの場合に終端が自動的にオフになるため、オフチップ終端の消費電力も大幅に削減されます。さらに、I/O の IBUF および IDELAY には低電力モードがあり、特にメモリインターフェイスの実装時に、低消費電力化を図ることができます。

## I/O ロジック

### 入力および出力遅延

すべての入力および出力は組み合わせ、またはレジスタ付きとして設定でき、ダブルデータレート (DDR) が全入力および出力でサポートされています。入力と出力はすべて、5 ~ 15ps 単位で最大 1,250ps まで個別に遅延させることができ、この遅延は IDELAY および ODELAY としてインプリメントされます。遅延ステップ数はコンフィギュレーションで設定できますが、使用中にも増加または減少させることが可能です。IDELAY および ODELAY をカスケード接続することで、一方向の遅延量を 2 倍にできます。

### ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビットシリアル I/O とより低速なパラレル動作を組み合わせます。これには、I/O ロジック内にシリアライザーおよびデシリアライザー (SerDes) が必要です。各 I/O ピンには IOSERDES (ISERDES と OSERDES) があり、2、4、8 ビットの幅 (プログラム可能) でシリアルからパラレル、またはパラレルからシリアルへデータを変換します。I/O ロジックのこのような機能により、トランシーバーではなく SelectIO インターフェイスでギガビットイーサネット/1000BaseX/SGMII などの高性能インターフェイスが可能になります。

# 高速シリアル トランシーバー

同一 PCB 上のデバイス間、バックプレーン経由、あるいは長距離間のシリアル データ転送は、100Gb/s や 400Gb/s まで拡張するカスタム ラインカードを実現する上でその重要性を増しています。このような転送には、高データ レートでのシグナル インテグリティの問題に対応する専用のオンチップ回路および差動 I/O が必要です。

Zynq UltraScale+ RFSoc で使用する トランシーバーには、PL の GTY および PS の PS-GTR があります。これらの トランシーバーは 4 つのグループ (トランシーバー クワッド) にグループ化されています。各シリアル トランシーバーは、トランスミッターとレシーバーの組み合わせで構成されています。表 5 に、各 トランシーバーの性能を示します。

表 5: トランシーバーの性能

タイプ	Zynq UltraScale+ RFSoc	
	PS-GTR	GTY
数	4	8 ~ 16
最大データ レート	6.0Gb/s	32.75Gb/s
最小データ レート	1.25Gb/s	0.5Gb/s
主要アプリケーション	<ul style="list-style-type: none"> <li>• PCIe Gen2</li> <li>• USB</li> <li>• イーサネット</li> </ul>	<ul style="list-style-type: none"> <li>• 100G+ 光</li> <li>• チップ間</li> <li>• 25G+ バックプレーン</li> <li>• HMC</li> </ul>

以降の説明は GTY にのみ該当します。

シリアル トランスミッターおよびレシーバーは高度な位相ロック ループ (PLL) アーキテクチャを使用する独立した回路で、基準周波数入力をプログラム可能な 4 ~ 25 の値で逡倍することでビット シリアル データ クロックを生成します。トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてコンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

## トランスミッター

トランスミッターは基本的に、変換比率が 16、20、32、40、64、80、128、または 160 のパラレル/シリアル コンバーターです。これにより、データパス幅とタイミング マージンのバランスの取れた高性能が求められるデザインにも対応できます。トランスミッターの出力は、シングル チャネルの差動出力信号で PC ボードを駆動します。TXOUTCLK は適切に分周されたシリアル データ クロックで、内部ロジックからのパラレル データを直接ラッチするために使用できます。入力されるパラレル データはオプションの FIFO を通り、十分なデータ遷移が生じるようハードウェアでの 8B/10B、64B/66B、または 64B/67B エンコードがサポートされています。ビット シリアル出力信号は、差動信号によって 2 つのパッケージ ピンを駆動します。この出力信号ペアは、信号振幅幅とプリおよびポスト エンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクト特性を補います。より短いチャネルでは、振幅幅を小さくすることで低消費電力化が可能です。

## レシーバー

レシーバーは基本的に、入力ビット シリアル差動信号をそれぞれ 16、20、32、40、64、80、128、または 160 ビット幅のパラレル ストリーム ワードに変換するシリアル/パラレル コンバーターです。これにより、内部データ幅とさまざまなロジックのタイミング マージンのバランスの取れた設計が可能になります。レシーバーは基準クロック入力を使用してクロックの認識を開始し、入力差動データ ストリームを受け取ってそれを DC 自動ゲイン制御、リニア イコライザー、DFE (Decision Feedback Equalizer) を介することで、PC ボード、ケーブル、光インターコネクトやほかのインターコネクト特性を補います。データ パターンは NRZ (Non-Return-to-Zero) エンコードを使用し、オプションとして選択したエンコード方式を用いることで十分なデータ遷移が生じるようにします。パラレル データは RXUSRCLK クロックを使用してデバイス ロジックに転送されます。短いチャネルの場合、トランシーバーを特別な低電力モード (LPM) で使用することで、消費電力が約 30% 削減されます。レシーバーの DC 自動ゲイン制御、リニア イコライザー、DFE はオプションで自動適合に設定でき、さまざまなインターコネクトの特性を自動的に判断して補正することができます。これによって、10G+ や 25G+ のバックプレーンにもより多くのマージンを確保できるようになります。

## Out-of-Band 信号

トランシーバーは、高速シリアル データ転送がアクティブでないときに、トランスミッターからレシーバーへ低速の信号を転送するためによく使用される Out-of-Band (OOB) 信号を提供します。通常、リンクがパワー ダウン ステートにあるか初期化されていない場合がこれに該当し、この機能は PCIe、SATA/SAS、QPI のアプリケーションで有用です。

## PCI Express デザイン用統合インターフェイス ブロック

UltraScale アーキテクチャには、エンドポイントまたはルートポートとしてコンフィギュレーション可能な PCIe 用の統合ブロックが搭載されています。UltraScale デバイスは、PCI Express Base Specification Revision 3.0 に準拠しています。UltraScale+ デバイスは、Gen3 およびそれより低速のデータレート向けに PCI Express Base Specification Revision 3.1 に準拠し、Gen4 データレート向けについては PCI Express Base Specification Revision 4.0 (rev 0.5) に準拠しています。

ルートポートは、ルートコンプレックス相当の機能を提供し、PCI Express プロトコルを用いたチップ間のカスタム通信を可能にするだけでなく、イーサネットコントローラーやファイバーチャネル HBA などの ASSP エンドポイントデバイスを RFSoc に接続します。

このブロックはシステムデザイン要件に合わせた柔軟なコンフィギュレーションが可能で、表 6 に示すように各データレートで最大レーン幅の動作をサポートします。

表 6: PCIe のデータレート別最大レーン幅

	Zynq UltraScale+ RFSoc
Gen1 (2.5Gb/s)	x16
Gen2 (5Gb/s)	x16
Gen3 (8Gb/s)	x16
Gen4 (16Gb/s)	x8

高性能アプリケーション向けには、ブロックを高度にバッファーすることで、1,024 バイトまでの柔軟性に優れた最大ペイロードサイズを提供します。また、シリアルコネクティビティ用に統合された高速トランシーバーと、データバッファー用にはブロック RAM とインターフェイスします。全体として、これらのエレメントは PCI Express プロトコルの物理層、データリンク層、そしてトランザクション層をインプリメントします。

ザイリンクスは、さまざまな構築ブロック (PCIe 用統合ブロック、トランシーバー、ブロック RAM、クロックリソース) をエンドポイントまたはルートポートソリューションに活用できるようにする軽量、コンフィギュラブル、かつ簡単に使用できる LogiCORE™ IP ラッパーを提供しています。リンク幅と速度、最大ペイロードサイズ、RFSoc のロジックインターフェイス速度、基準クロック周波数、およびベースアドレスレジスタのデコードとフィルタリングなど、数多くのパラメーターをシステム設計者が制御できます。

## Interlaken 用統合ブロック

Interlaken は 10Gb/s ~ 150Gb/s の通信速度に対応するよう設計された、拡張可能なチップ間インターコネクトプロトコルです。Zynq UltraScale+ RFSoc の Interlaken 用統合ブロックは、Interlaken 仕様リビジョン 1.2 に準拠し、1 レーンから 12 レーンに渡るデータストライプ/デストライプをサポートします。可能なコンフィギュレーションは、12.5Gb/s までで 1 ~ 12 レーン、25.78125Gb/s までで 1 ~ 6 レーンで、各統合ブロックあたり最大 150Gb/s をサポートする柔軟性を備えています。

## 100G イーサネット用統合ブロック

100G イーサネット用統合ブロックは IEEE Std 802.3ba に準拠し、ユーザーによるカスタマイズと統計集計をサポートする、低レイテンシの 100Gb/s イーサネットポートを提供します。10x10.3125Gb/s (CAUI) および 4x25.78125Gb/s (CAUI-4) のコンフィギュレーションが可能なこの統合ブロックには、100G MAC と PCS ロジックの両方が含まれ、IEEE Std 1588v2 1-step および 2-step ハードウェアタイムスタンプに準拠します。

100G イーサネットブロックには IEEE Std 802.3bj に準拠した RS-FEC (Reed Solomon Forward Error Correction) ブロックが含まれています。この RS-FEC ブロックは、ユーザーアプリケーションでイーサネットブロックと組み合わせて使用することも、単独で使用することもできます。これらのファミリは、PCS を MAC なしで動作可能な OTN マッピングモードもサポートしています。

## クロック管理

クロック生成および分散コンポーネントは、メモリ インターフェイスと入力/出力回路を含むカラムに隣接した位置にあります。クロックと I/O が近くに配置されていることにより、メモリ インターフェイスの I/O やその他の I/O プロトコルへのクロッキングが低レイテンシになります。各 CMT (クロック マネージメント タイル) には、MMCM (ミックスド モード クロック マネージャー) が 1 つ、PLL が 2 つ、クロック分散バッファと配線、そして外部メモリ インターフェイスの実装専用の回路が含まれています。

### MMCM (ミックスド モード クロック マネージャー)

MMCM は、入力クロックの広範な周波数の合成回路およびジッター フィルターとしての機能を提供します。この MMCM の中心は、PFD (位相周波数検出回路) からの入力電圧に従って、それを高速化または低速化する VCO (電圧制御オシレーター) です。

さらに、DRP を介してコンフィギュレーションおよび通常動作でプログラム可能な 3 つの周波数分周器 (D、M、O) があります。前置分周器 D は入力周波数を低減させ、位相/周波数コンパレータの入力 1 つを供給します。フィードバック分周器 M は、位相コンパレータのその他の入力を供給する前に VCO 出力を分周するため、乗算器として機能します。D および M は、VCO が指定された周波数範囲内となるように適切に選択する必要があります。VCO には等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があり、それぞれが出力分周器の 1 つを駆動するよう選択できます。分周器はそれぞれ、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

MMCM には入力ジッターのフィルター モードとして、狭帯域モード、広帯域モード、最適化モードの 3 つがあります。狭帯域モードではジッターの減衰が優先され、広帯域モードでは位相オフセットが優先されます。最適化モードの場合、ツールによって最適な設定が指定されます。

MMCM は、フィードバックパス (乗算器として機能) または出力パスの 1 つに分数カウンターを持つことができます。これらのカウンターは 1/8 という整数以外の増分をサポートするため、周波数を 8 の倍数で合成できます。MMCM は、小さな単位で増分させる固定位相シフトまたは動作中に変更可能な位相シフトもサポートします。増分は VCO 周波数に依存し、たとえば 1,600MHz では 11.2ps となります。

### PLL

MMCM の一部の機能を持つ PLL は各クロック マネージメント タイルに 2 つ含まれ、メモリ インターフェイス専用回路に必要なクロックを提供することを主な役割としています。PLL の中心となる回路は MMCM と同様で、PFD から VCO とプログラム可能な M、D、O カウンターに信号を入力します。各 PLL にはデバイス ファブリックへの分周出力が 2 つと、メモリ インターフェイス回路へのクロックおよびイネーブル信号が各 1 つあります。

Zynq UltraScale+ RFSoc は PS に 5 つの PLL が追加されており、PS の 4 つのプライマリ クロック ドメイン (APU、RPU、DDR コントローラー、および I/O ペリフェラル) を個別に設定できます。

## クロック分配

クロックは、多数の水平トラックと垂直トラックを駆動するバッファを介してプログラマブル ロジック全体に分配されます。各クロック領域には水平および垂直それぞれの方向にクロック配線が 24 本あり、さらに隣接する MMCM および PLL への垂直クロック配線が 24 本あります。クロック領域内では、クロック信号が 16 個のゲート制御可能なリーフクロックを経由してデバイス ロジック (CLB など) に配線されます。

クロック バッファにはいくつかのタイプがあります。BUFGCE および BUFGCE\_LEAF バッファはそれぞれ、グローバル レベルとリーフ レベルのクロック ゲーティング機能を提供します。BUFGCTRL はグリッチのないクロック マルチプレクサーおよびゲーティング機能を提供します。BUFGCE\_DIV にはクロック ゲーティングに加えて、入力クロックを 1 ~ 8 分周する機能があります。BUFG\_GT ではトランシーバー クロックを 1 ~ 8 分周できます。クロックは専用バッファを用いて PS から PL へ転送できます。

## メモリ インターフェイス

メモリ インターフェイスに求められるデータ レートは増加の一途で、現在そして次世代のメモリ テクノロジーに対応する、高性能で信頼性の高いインターフェイスを実現するための専用回路が必要となっています。すべての UltraScale デバイスは CMT と I/O カラムの間に専用の PHY ブロックを備え、外部メモリ (DDR4、DDR3、QDRII+、RLDRAM3 など) への高性能 PHY ブロックの実装をサポートします。各 I/O バンクにある PHY ブロックは、アドレス/制御およびデータ バスの信号プロトコルを生成するだけでなく、高性能なメモリ規格との信頼性の高い通信を確立するために不可欠なクロック/データの正確なアライメントを担います。複数の I/O バンクを使用して、ビット数の多いメモリ インターフェイスを構築することも可能です。

Zynq UltraScale+ RFSoc では外部パラレルメモリ インターフェイスだけでなく、ハイブリッドメモリキューブ (HMC) などの外部シリアルメモリとも高速シリアルトランシーバーを介して通信できます。UltraScale アーキテクチャのトランシーバーはすべて、HMC プロトコルを、最大 15Gb/s のライン レートでサポートします。

## ブロック RAM

Zynq UltraScale+ RFSoc には、完全に独立した 2 つのポートを持ち、格納したデータのみを共有する 36Kb のブロック RAM が含まれます。各ブロック RAM は、1 つの 36Kb RAM または 2 つの独立した 18Kb RAM として構成可能です。読み出しまたは書き込みのメモリアクセスは、クロックによって制御されます。ブロック RAM カラム内の接続により、垂直方向に隣接するブロック RAM 間で信号をカスケードできるため、サイズが大きく、高速なメモリ アレイや消費電力が大幅に削減された FIFO を簡単に作成できます。

すべての入力、データ、アドレス、クロック イネーブル、書き込みイネーブルはレジスタが付きます。入力アドレスは常にクロックされ (アドレスのラッチが無効でない限り)、次の動作までデータを保持します。オプションとしての出力データのバイラインレジスタは、1 サイクル分のレイテンシが増加する代わりに、より高いクロック レートでの動作を可能にします。書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持することができます。また、ユーザー デザインで使用されていないブロック RAM サイトへの電源供給は自動的に切断されるため、総消費電力が削減されます。ブロック RAM すべてに、電力のゲーティングを動的に制御するためのピンが追加されました。

## プログラム可能なデータ幅

各ポートは 32K×1、16K×2、8K×4、4K×9 (または 8)、2K×18 (または 16)、1K×36 (または 32)、512×72 (または 64) のいずれかに構成できます。ブロック RAM と FIFO のどちらとして構成しているかにかかわらず、2 つのポートには別々の比率を指定でき、これに対する制限はありません。各ブロック RAM は完全に独立した 2 つの 18Kb ブロック RAM に分割でき、それぞれを 16K×1 ~ 512×36 の任意のアスペクト比で構成できます。36Kb ブロック RAM について説明した内容は、分割した各 18Kb ブロック RAM にも当てはまります。シンプルデュアルポート (SDP) モードでのみ、18 ビット (18Kb RAM の場合) または 36 ビット (36Kb RAM の場合) を超えるデータ幅がサポートされます。このモードでは、一方のポートが読み出し専用、もう一方のポートが書き込み専用となります。そして、1 つ (読み出しまたは書き込み) のデータ幅がプログラム可能で、もう 1 つが 32/36 または 64/72 に固定されます。デュアルポート 36Kb RAM の場合は両方の幅がプログラム可能です。

## エラー検出および訂正機能

64 ビット幅のブロック RAM は、追加で 8 つのビットのハミングコードビットを生成、格納、そして使用でき、読み出し中にシングルビットエラーの訂正、ダブルビットエラーの検出 (ECC) を実行します。ECC ロジックは 64 ~ 72 ビット幅の外部メモリへの書き込み、またはそのメモリからの読み出しにも使用できます。

## FIFO コントローラー

各ブロック RAM は 36Kb または 18Kb の FIFO として構成できます。シングルクロック (同期) またはデュアルクロック (非同期/マルチレート) 動作に対応する内蔵型の FIFO コントローラーは、内部アドレス値を増分させ、Full、Empty、Programmable Full、Programmable Empty の 4 つのフラグを提供します。プログラム可能なフラグに対しては、フラグをアクティブにする FIFO カウンター値をユーザーが指定できます。FIFO の幅とワード数もプログラム可能で、1 つの FIFO で読み出しポートと書き込みポートに異なる幅を指定できます。また、よりワード数の大きな FIFO を簡単に作成するための専用カスケードパスがあります。

## UltraRAM

Zynq UltraScale+ RFSoc には、UltraRAM と呼ばれる高集積度のデュアルポート同期メモリブロックがあります。2つのポートは同じクロックを共用し、4K x 72 ビットのすべてをアドレス指定できます。各ポートはそれぞれ独立してメモリアレイへの読み書きを実行できます。UltraRAM は2種類のライトイネーブルモードをサポートしています。1つは、ブロックRAMのバイトライトイネーブルモードと同じです。もう1つは、データバイトとパリティバイトの書き込みを個別にゲーティングできるモードです。複数の UltraRAM ブロックを連結して大容量のメモリアレイを構築することもできます。UltraRAM カラムには専用の配線があり、カラムの高さ全体を連結できます。さらに高い集積度が必要な場合、わずかなロジックリソースを使用するだけですべての UltraRAM を連結できます。これにより、1インスタンスのサイズが約 22Mb の RAM を構築できます。このため、UltraRAM は SRAM など外部メモリの置き換えとして理想的なソリューションとなります。288Kb ~ 22Mb の範囲でカスケード接続が可能な UltraRAM は、多岐にわたるメモリ要件に柔軟に対応します。

## エラー検出および訂正機能

64 ビット幅の UltraRAM は、追加で8つのビットのハミングコードビットを生成、格納、そして使用でき、読み出し中にシングルビットエラーの訂正、ダブルビットエラーの検出 (ECC) を実行します。

## コンフィギャラブルロジックブロック

コンフィギャラブルロジックブロック (CLB) はすべて、8つの LUT と 16 個のフリップフロップを含みます。LUT は、出力が1つの6入力 LUT として、または出力は別々でアドレスまたはロジック入力共通の2つの5入力 LUT として構成可能です。各 LUT はオプションとしてフリップフロップでラッチできます。CLB には LUT およびフリップフロップ以外にも、演算キャリアロジックおよびマルチプレクサーが含まれ、これらを使用することでよりビット数の大きなロジックファンクションが作成できます。

1つの CLB には1つのスライスが含まれ、スライスには、SLICEL および SLICEM の2つの種類があります。SLICEM の LUT は、64 ビット RAM、32 ビットシフトレジスタ (SRL32)、または2つの SRL16 として構成可能です。UltraScale アーキテクチャの CLB は従来世代のザイリンクスデバイスの CLB に比べ配線と接続が増加しています。また、制御信号も追加されていることからレジスタのパッキング効率が向上し、結果として全体的なデバイス使用率が改善されます。

## インターコネクト

UltraScale アーキテクチャはさまざまな長さ (CLB 1、2、4、5、12、または16個分) の垂直および水平方向の配線リソースを備えているため、すべての信号をソースからデスティネーションへ容易に転送できます。このため、最も集積度の高いデバイスにおいても次世代の広いデータバスをサポートでき、結果の品質とソフトウェアランタイムが同時に向上します。

## デジタル信号処理

DSP アプリケーションは、専用の DSP スライスに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。Zynq UltraScale+ RFSoc はいずれも専用の低消費電力 DSP スライスを数多く装備し、システム設計の柔軟性を維持しながら、高速処理と小型化を同時に実現しています。

各 DSP スライスは基本的に、専用の 27 x 18 ビット 2 の補数乗算器および 48 ビット アキュムレータで構成されます。乗算器は動作中にバイパスでき、2つの 48 ビット入力は SIMD (単一命令複数データ) 演算ユニット (デュアルの 24 ビット加算/減算/累算、またはクワッドの 12 ビット加算/減算/累算)、またはオペランドが2つの10個の異なるロジックファンクションから任意の1つを作成可能なロジックユニットに入力できます。

DSP には、通常対称フィルタに使用される前置加算器が追加されています。この加算器により、高密度に実装されたデザインの性能が向上し、DSP スライス数が最大 50% 削減されます。96 ビット幅の専用 XOR ファンクション (ビット幅は 12、24、48、または 96 にプログラム可能) により、前方エラー訂正や CRC アルゴリズムをインプリメントする際の性能が向上します。

また、収束丸め (偶数丸めとも呼ばれる) あるいは対称丸めに使用できる 48 ビット幅のパターン検出回路も備えています。パターン検出回路をロジックユニットと併用する場合には、96 ビット幅のロジック ファンクションが実装可能です。

DSP スライスは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度と効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミック シフター、メモリ アドレス ジェネレーター、多入力マルチプレクサー、メモリ マップされた I/O レジスタ ファイルが含まれます。また、アキュムレータは同期のアップ/ダウン カウンターとしても使用可能です。

## システム モニター

システム モニターは、オンチップの温度と電源センサーおよび ADC までの外部チャネルによって物理的環境をモニタリングすることで、システム全体の安全性、セキュリティ、信頼性を向上させるために使用されます。Zynq UltraScale+ RFSoc の PS には、追加のシステム モニター ブロックがあります。表 7 を参照してください。

表 7: システム モニターの主な機能

	Zynq UltraScale+ RFSoc PL	Zynq UltraScale+ RFSoc PS
ADC	10 ビット 200kSPS	10 ビット 1MSPS
インターフェイス	JTAG、I2C、DRP、PMBus	APB

PL のシステム モニターでは、センサー出力と最大 17 のユーザー割り当てによる外部アナログ入力、10 ビット 200kSPS の ADC でデジタル化され、その計測値が内部 DRP、JTAG、PMBus、または I2C インターフェイスを介してアクセス可能なレジスタに格納されます。I2C および PMBus インターフェイスの場合、デバイス コンフィギュレーション前後に System Manager/Host でオンチップ モニタリングに簡単にアクセスできます。

RFSoc PS のシステム モニターは、10 ビット 1MSPS の ADC でセンサー出力をデジタル化します。この計測値はレジスタに格納され、PS のプロセッサおよびプラットフォーム管理ユニット (PMU) を用いて APB (Advanced Peripheral Bus) インターフェイスを介してアクセスされます。

## RFSoc のブート

Zynq UltraScale+ RFSoc は複数ステージのブート プロセスを使用し、非セキュア ブートおよびセキュア ブートをサポートしています。PS は、ブート プロセスとコンフィギュレーション プロセスのマスターとなります。セキュア ブートの場合は、AES-GCM、SHA-3/384 復号/認証、および 4096 ビット RSA ブロックによってイメージが復号および認証されます。

リセット時にデバイス モード ピンが読み出されて、使用されるプライマリ ブート デバイス (NAND、クワッド SPI、SD、eMMC、JTAG) が判定されます。JTAG は非セキュア ブート ソースとしてのみ使用可能で、デバッグを目的としています。Cortex-A53 または Cortex-R5 のいずれか一方の CPU がオンチップ ROM からのコードを実行し、ブート デバイスから OCM (オンチップ メモリ) へ FSBL (第 1 段階ブートローダー) をコピーします。

FSBL が OCM へコピーされると、プロセッサが FSBL を実行します。ザイリンクスはサンプル FSBL を提供していますが、ユーザーが独自の FSBL を作成することも可能です。FSBL によって PS のブートが開始し、PL のロードまたはコンフィギュレーションを実行できるようになります。PL コンフィギュレーションは、後に実行することもできます。FSBL は通常、ユーザー アプリケーションをロードするか、オプションとして U-Boot などの SSBL (第 2 段階ブートローダー) をロードします。SSBL はザイリンクスまたはサードパーティからサンプルを入手できますが、独自のものを作成することも可能です。SSBL は、いずれかのプライマリ ブート デバイス、または USB、イーサネットなどその他のソースからコードをロードすることでブート プロセスを継続します。FSBL で PL をコンフィギュレーションしなかった場合は SSBL でそれを行うことができますが、ここでも先延ばしにしておくことができます。

スタティック メモリ インターフェイス コントローラー (NAND、eMMC、またはクワッド SPI) は、デフォルト設定でコンフィギュレーションされます。デバイスのコンフィギュレーション速度を上げるために、ブート イメージ ヘッダーにある情報でこれらの設定を変更可能です。ブート後に ROM のブート イメージをユーザーが読み出したり実行することはできません。



# パッケージ

Zynq UltraScale+ RFSoc は高性能な有機フリップチップおよびリッドレスフリップチップパッケージで提供され、サポートする I/O、トランシーバー、RF-ADC および RF-DAC の数はパッケージごとに異なります。デカップリングキャパシタがパッケージ上に分散して搭載されており、これによって同時スイッチング出力 (SSO) が生じる条件下でのシグナルインテグリティが最適化されます。パッケージおよびスピードグレード別のパフォーマンス仕様は該当デバイスのデータシートを参照してください。

# 注文情報

表 8 に、Zynq UltraScale+ RFSoc デバイスファミリで提供されるスピードグレード、温度範囲、および動作電圧を示します。

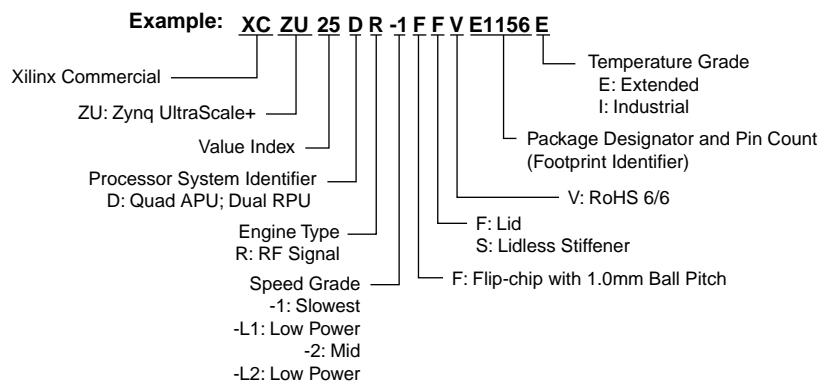
表 8: スピードグレード、温度範囲、動作電圧

デバイスファミリ	XC デバイス	スピードグレード、温度範囲、および V <sub>CCINT</sub> 動作電圧		
		拡張 (E)		インダストリアル (I)
		0°C ~ +100°C	0°C ~ +110°C	-40°C ~ +100°C
Zynq UltraScale+ RFSoc	DR デバイス	-2E (0.85V)		-2I (0.85V)
			-2LE(1)(2) (0.85V または 0.72V)	-2LI (0.72V)(3)
		-1E (0.85V)		-1I (0.85V)
				-1LI(2) (0.85V または 0.72V)

注記:

- 2LE スピード/温度グレードでは、デバイスは 110°C のジャンクション温度で限られた時間動作できます。動作電圧 (標準の 0.85V または低電圧の 0.72V) に関係なく、タイミングパラメーターは 110°C を下回る温度でのスピードファイルと同じように 110°C のスピードファイルに準拠します。110°C T<sub>j</sub> での動作はデバイスの寿命期間の 1% に限定されます。この 1% を越えなければ連続または一定間隔でデバイスを動作させることができます。
- PL が低電圧 (0.72V) で動作している場合、PS は公称電圧 (0.85V) で動作します。
- 2LI スピード/温度グレードと表記されているデバイスは、110°C のジャンクション温度で限られた時間動作できます。タイミングパラメーターは 110°C を下回る温度でのスピードファイルと同じように 110°C のスピードファイルに準拠します。110°C T<sub>j</sub> での動作はデバイスの寿命期間の 5% に限定されます。この 5% を越えなければ連続または一定間隔でデバイスを動作させることができます。

図 2 に示す注文情報は、Zynq UltraScale+ RFSoc ファミリのすべてのパッケージに適用されます。



1) -L1 and -L2 are the ordering codes for the low power -1L and -2L speed grades, respectively.

DS889\_03\_032118

図 2: Zynq UltraScale+ RFSoc の注文情報

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2018年7月23日	1.5	図 1-1 を更新。
2018年5月17日	1.4	「概要」、「RF データ コンバーター サブシステム」、表 1、「RF-ADC の機能」、表 8 (-3E を削除し、-2LI と注記 3 を追加)、および図 1-1 を更新。
2018年1月23日	1.3	「パッケージ」にリッドレス フリップチップ パッケージを追加。
2017年12月19日	1.2	文書全体で RF-ADC/DAC のレートを更新。該当箇所は「概要」、「RF データ コンバーター サブシステム」、表 1、「RF-ADC の機能」、「RF-DAC の機能」。
2017年11月15日	1.1	表 2 の FSVE1156、FSVG1517、および FSVF1760 パッケージの情報を更新。図 1-1 でステイプナー付きリッドなしパッケージの情報を追加。「アプリケーション プロセッシング ユニット (APU)」および「リアルタイム プロセッシング ユニット (RPU)」を更新。
2017年10月3日	1.0	初版

## 免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」、以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

この文書は暫定的な情報を含むものであり、通知なしに内容が変更されることがあります。この文書に記述される情報は、販売前の製品・サービスに関するもので、情報目的としてのみ提供されており、この文書で参照されている製品・サービスの販売申込みまたは製品の商品化を試みたものとしては意図されておらず、また解釈されるものでもありません。

## 自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティ アプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。