

ザイリンクス消費電力 ツール チュートリアル

Spartan-6 および Virtex-6 FPGA

UG733 (v13.1) 2011 年 3 月 1 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

CRITICAL APPLICATIONS DISCLAIMER

XILINX PRODUCTS (INCLUDING HARDWARE, SOFTWARE AND/OR IP CORES) ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS IN LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, CLASS III MEDICAL DEVICES, NUCLEAR FACILITIES, APPLICATIONS RELATED TO THE DEPLOYMENT OF AIRBAGS, OR ANY OTHER APPLICATIONS THAT COULD LEAD TO DEATH, PERSONAL INJURY OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE (INDIVIDUALLY AND COLLECTIVELY, “CRITICAL APPLICATIONS”). FURTHERMORE, XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED FOR USE IN ANY APPLICATIONS THAT AFFECT CONTROL OF A VEHICLE OR AIRCRAFT, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR. CUSTOMER AGREES, PRIOR TO USING OR DISTRIBUTING ANY SYSTEMS THAT INCORPORATE XILINX PRODUCTS, TO THOROUGHLY TEST THE SAME FOR SAFETY PURPOSES. TO THE MAXIMUM EXTENT PERMITTED BY APPLICABLE LAW, CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN CRITICAL APPLICATIONS.

AUTOMOTIVE APPLICATIONS DISCLAIMER

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

© Copyright 2011 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v13.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2010年3月15日	1.0	初期リリース
2011年3月1日	13.1	ISE 13.1 の消費電力ツール向けに情報を更新

改訂履歴.....	3
Virtex-6 および Spartan-6 消費電力ツール チュートリアル	
概要	7
FPGA の消費電力.....	7
チュートリアル デザイン情報	8
XPE (XPower Estimator) を使用した消費電力予測	8
手順 1 : XPE スプレッドシートをダウンロードします.....	9
手順 2 : デザイン情報のインポート (可能な場合).....	9
手順 3 : 環境データの入力	9
手順 4 : アクティビティ レートの設定	11
手順 5 : クロック ネットの周波数の設定.....	11
手順 6 : デザイン情報の入力	12
手順 7 : デザイン データの変更	14
ISE の消費電力削減オプション	17
合成での消費電力削減	17
マップでの消費電力削減	17
XPower Analyzer (XPA) を使用した消費電力解析	18
手順 1 : XPower Analyzer (XPA) の起動	19
手順 2 : 入力ファイルの指定	20
手順 3 : 環境設定の入力.....	21
手順 4 : デフォルトのアクティビティ レートの設定	22
手順 5 : デザイン データの変更.....	22
まとめ	24
 付録 A : その他のリソース	

Virtex-6 および Spartan-6 消費電力ツール チュートリアル

概要

このチュートリアルでは、ザイリンクス消費電力ツールを使用して消費電力を正確に予測する方法を示します。このチュートリアルでは XPower Esitimator (XPE) スプレッドシートおよび XPower Analyzer (XPA) の両方で使用できる Virtex[®]-6 および Spartan[®]-6 の単純なデザインを使用して、デザインフローでどのように消費電力ツールを使用するか解説していきます。また、ISE インプリメンテーション ツールに含まれる消費電力の最適化オプションについても説明します。

ザイリンクス消費電力ツールは、デザインフローのさまざまな段階で使用できます。これらのツールでは、デザイン前の段階の消費電力予測からデザインが完全にインプリメントされた時点の消費電力予測までを実行できます。消費電力ツールではデザインフロー全体を通して情報を提供できるので、次の作業に使用できます。

- ・ デバイス選択
- ・ ボード設計
- ・ システムの信頼性
- ・ 消費電力予測、解析、および最適化

FPGA の消費電力

ザイリンクスでは、縮小し続ける技術に伴う消費電力における課題を克服できるように常に革新しています。ザイリンクスでは FPGA の消費電力が FPGA ユーザーにとって最大の懸念事項の 1 つであることを承知しています。ザイリンクスの消費電力ツールを使用すると、任意のデザインで消費電力予測および解析を実行できます。消費電力予測および解析は、縮小されたプロセス ジオメトリへの移行により FPGA のロジック集積度およびパフォーマンスが増加するため、さらに重要になってきています。

FPGA の総消費電力は、次の 2 つを加算したものです。

- ・ スタティック消費電力：主にデバイス内のトランジスタのリーク電流に起因します。リーク電流はソース・ドレイン間またはゲート酸化のいずれかから発生し、トランジスタが論理的にオフのときでも発生します。
- ・ ダイナミック消費電力：デバイスのコアまたは I/O に含まれるデザイン アクティビティおよびスイッチング アクティビティに関係しています。ダイナミック消費電力は、ノードのキャパシタンス、電源、およびスイッチ頻度により決定します。

ザイリンクスの消費電力の精度は、次の 2 つの要素に依存しています。

- ・ ツールに含められるデバイス データ モデルおよびデバイス特性

- ・ ユーザーによりツールに入力される入力

アプリケーションで正確な消費電力予測を実行するには、可能な限り現実的な情報を入力してください。保守的過ぎたり、デザインに対する知識が不足しているような状態でデザインの特定の側面をモデル化すると、予測結果が非現実になる可能性があります。

チュートリアル デザイン情報

このチュートリアルで使用されるデザインは、機能的なデザインではありません。このデザインは、消費電力ツールの機能を示してその使用方法を推奨するためのみに使用されます。このデザインは、ISE で消費電力の最適化オプションを使用せずに、合成およびインプリメンテーションが実行されています。

XPA の入力ファイルとして使用される SAIF (シミュレーション アクティビティ) ファイルは、ISim で生成されています。SAIF ファイルは、デザイン シミュレーションで作成されるステイミュラスです。ISim を使用した SAIF の生成に関する詳細は、『ISim ユーザー ガイド』(UG660) を参照してください。

XPE (XPower Estimator) を使用した消費電力予測

XPower Estimator (XPE) スプレッドシートは、通常プロジェクトの設計前とインプリメンテーション前の段階で使用される消費電力予測ツールです。XPE では、アーキテクチャの評価およびデバイスの選択が支援され、適切な電源およびアプリケーションで必要になる可能性がある熱管理コンポーネントを選択する際に役立ちます。

インプリメンテーション前のツールなので、デザインの RTL 記述が未完成であるデザイン サイクル初期段階で使用できます。インプリメンテーション後には、ISE Design Suite に含まれている XPower Analyzer (XPA) ツールを使用して、精度の高い消費電力予測および解析を実行できます。

XPE はスプレッドシートなので、書き込み可能な (保護されていない) セクションでマイクロソフト Excel の機能すべてを使用できます。

このチュートリアルは、XPE の徹底的概要を示すものではなく、基本的な XPE 機能の例を紹介して、デザインで消費電力を迅速に実行できるようにすることを目的にしています。XPE の詳細は、『XPower Estimator ユーザー ガイド』(UG440) を参照してください。

正確な XPE 予測を実行するには、デザインで使用されるデバイス リソース数を予測する必要があります。予測をどのように実行したらよいか不明の場合は、ISE に含まれているサンプル デザインを実行してマップ レポート ファイルを確認してみてください。このレポートには、リソースの使用量情報が含まれています。

XPE では、デバイス アーキテクチャに含まれる各種コンポーネント (I/O、BRAM、および DCM など) がタブ形式で表示されます。XPE で表示されるタブ数は、デバイスのアーキテクチャによって異なります。たとえば、このチュートリアルでは、選択したデバイスに MGT 回路が含まれていないため、MGT のタブは表示されません。

このチュートリアルでは、バージョン 13.1 の XPA を使用します。次に、XPE を使用して消費電力解析を実行する手順を示します。このチュートリアルでは、Spartan-6 または Virtex-6 のデザインを使用できます。

手順 1 : XPE スプレッドシートをダウンロードします。

ターゲット デバイスの最新のスプレッドシートおよびチュートリアル デザイン ファイルをダウンロードします。

XPE スプレッドシートは、[消費電力ソリューション](#) ウェブページからダウンロードできます。

<http://japan.xilinx.com/power>

このチュートリアルでは、バージョン 13.1 のスプレッドシートを使用します。

- Virtex-6 : Virtex5_Virtex6_XPE_13_1.xls

または

- Spartan-6 : Spartan3a_Spartan6_XPE_13_1.xls

デザイン ファイルは、[チュートリアル](#) ページからダウンロードできます。

http://japan.xilinx.com/support/documentation/dt_ise13-1_tutorials.htm

手順 2 : デザイン情報のインポート (可能な場合)

MRP (マップ レポート) ファイルを Virtex-6 または Spartan-6 チュートリアル デザイン ([チュートリアル ページ](#)より入手可能) の作業ディレクトリからインポートします。XPE スプレッドシートで [Import] ボタンをクリックし、ダイアログ ボックスの [Files of type] で [Map Report (*.mrp)] を選択します。MRP ファイルを選択すると、自動的にスプレッドシートにデザイン リソースが読み込まれます。

メモ : ほとんどの場合で、デザインが ISE でインプリメントされる前に情報を XPE に入力することになるため、XPE にインポートできる MRP ファイルはありません。このチュートリアルでは、XPE スプレッドシートに一部の初期情報を含めるために MRP ファイルをインポートしました。

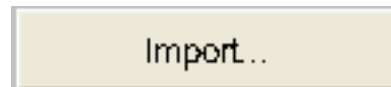


図 1 : [Import] ボタン

チュートリアル用マップ レポートのファイル名

- Virtex-6 : V6_tutorial_top_16bit_map.mrp (XPE にインポートするマップ レポート)

- Spartan-6 : S6_tutorial_top_16bit_map.mrp (XPE にインポートするマップ レポート)

メモ : 任意のデザインですでに XPE を使用しており、XPE のバージョンをアップグレードする場合は、[Import] ボタンをクリックしてからダイアログ ボックスの [Files of type] で [XPE Workbook (*.xls*)] を選択します。インポートするファイルの種類に .xls を選択した場合は、以前に作業した XPE スプレッドシートの情報がアップグレードされたスプレッドシートに読み込まれます。

手順 3 : 環境データの入力

[Summary] タブで、[Device] 情報を確認し、[Environment] に次のデータを入力します。

- [Ambient Temp] = 25°C

- [Airflow] = 0

- [Heat Sink] = None

メモ：FPGA のスタティック消費電力は、環境設定に大幅に影響を受けるので、ボード環境とボードデータをできる限り一致させる必要があります。ザイリンクスの消費電力ツールは、What If? 解析を実行して、ボードに最適な熱ストラテジを特定する際に非常に便利です。

Settings	
Device	
Family	Virtex-6
Device	XC6VLX240T
Package	FF1156
Speed Grade	-1
Temp Grade	Commercial
Process	Typical
Characterization	Production 1-Mar-2011
Environment	
Junction Temperature	<input type="checkbox"/> User Override
Ambient Temp	25.0 °C
Effective Θ_{JA}	<input type="checkbox"/> User Override
Airflow	0 LFM
Heat Sink	None
Θ_{SA}	
Board Selection	Medium (10"x10")
# of Board Layers	12 to 15
Θ_{JB}	2.6 °C/W
Board Temperature	

図 2 : Virtex-6 デザインのデバイスおよび環境設定

Settings	
Device	
Family	Spartan-6
Device	XC6SLX16
Package	CSG324
Speed Grade	-2
Temp Grade	Commercial
Process	Typical
Power Mode	Active
Characterization	Production 1-Mar-2011
Environment	
Junction Temperature	<input type="checkbox"/> User Override
Ambient Temp	25.0 °C
Effective ΘJA	<input type="checkbox"/> User Override
Airflow	0 LFM
Heat Sink	None
ΘSA	0.0 °C/W

図 3 : Spartan-6 デザインのデバイスおよび環境設定

手順 4 : アクティビティ レートの設定

各タブ (Logic、IO、BRAM、DSP) それぞれにトグルレートを設定できます。この場合は、[Summary] タブで [Set Default Activity Rates] ボタンをクリックします。デフォルトでは、ロジック、DSP、および I/O に対してトグルレートが 12.5 % に設定されます。



図 4 : [Set Default Activity Rates] ボタン

通常、ロジックが多く使用されるデザインは、同期クロックの 12.5% 程度で動作します (XPE ではデフォルト値に 12.5% を使用)。ワーストケース予測には、20% のトグルレートを使用できます。平均トグルレートが 20% 以上になることは非常にまれです。演算量の多いモジュールの場合、トグルレートは最大 50% まで許容できるように見えますが、これは典型的なワーストケース条件になります。乗算などがその例です。また、ランダム入力データのトグルレートは 50% でモデルするのが一般的です。トグルレートが 100% とはどのようなことかを理解するには、データ入力が High に接続され、常にイネーブルにされているトグル フリップフロップ (TFF) を使用する場合は考えてみてください。このフリップフロップの T 出力はすべてのクロック エッジでトグルします。平均トグルレートを 100% にできるデザインは、ほとんどありません。

手順 5 : クロック ネットの周波数の設定

スプレッドシートで全体的なクロック周波数を設定します。[Summary] タブで [Set Default Activity Rates] ボタンをクリックし、ダイアログボックスの [All Clock Nets] を 200MHz (デフォルト) に設定します。

メモ：デザインでクロック ネットが定義されていない場合は、値を変更しても影響しません。

ツールバー ボタンを使用すると、クロック、ロジック、I/O、ブロック RAM、および DSP エレメントなど、関連するすべてのデザイン エレメントのクロック周波数を設定できます。すべてのエレメントに 1 つのクロック周波数を設定することは現実的ではありませんが、個々のエレメントは各タブで調整できます。

手順 6：デザイン情報の入力

Virtex-6 デザインで作業している場合は、[MMCM] タブでデザインに含まれる 2 つの MMCM コンポーネントに対して、クロック周波数、乗算カウンター数、およびクロック 0 の分周率を設定します。

1 つ目の MMCM を次の値に設定します。

- ・ [Clock (MHz)] = 200MHz
- ・ [Multiply Counter] = 10
- ・ [Clock 0 Divide] = 5
- ・ ほかのセルはデフォルト値のままにします。

2 つ目の MMCM を次の値に設定します。

- ・ [Clock (MHz)] = 33MHz
- ・ [Multiply Counter] = 25
- ・ [Clock 0 Divide] = 25
- ・ ほかのセルはデフォルト値のままにします。

この時点で [Summary] タブに表示される Virtex-6 デザインの消費電力値は、次の図のようになります。

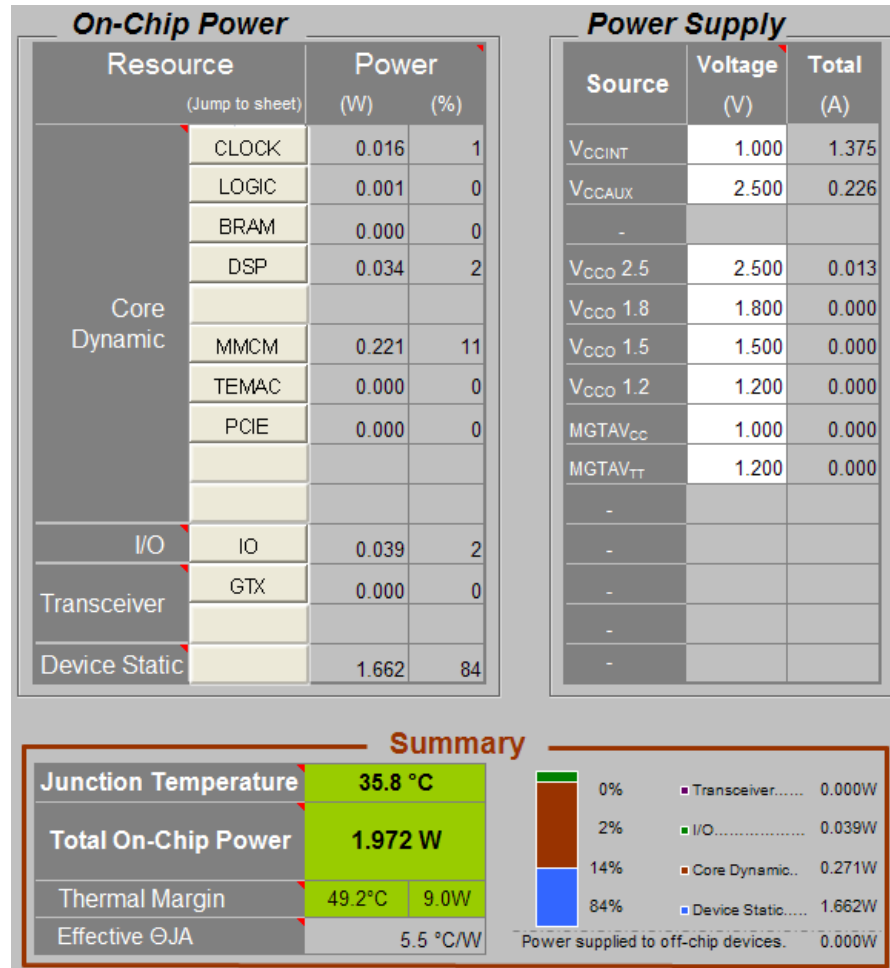


図 5 : XPE の FPGA 消費電力サマリ (Virtex-6 FPGA の場合)

Spartan-6 デザインで作業している場合は、[PLL] タブでデザインに含まれる PLL コンポーネントのクロック周波数、乗算器カウンター数、およびクロック 0 の分周率を設定します。

PLL を次の値に設定します。

- ・ [Clock (MHz)] = 33MHz
- ・ [Multiply Counter] = 25
- ・ [Clock 0 Divide] = 25
- ・ ほかのセルはデフォルト値のままにします。

この時点で [Summary] タブに表示される Spartan-6 デザインの消費電力値は、次の図のようになります。

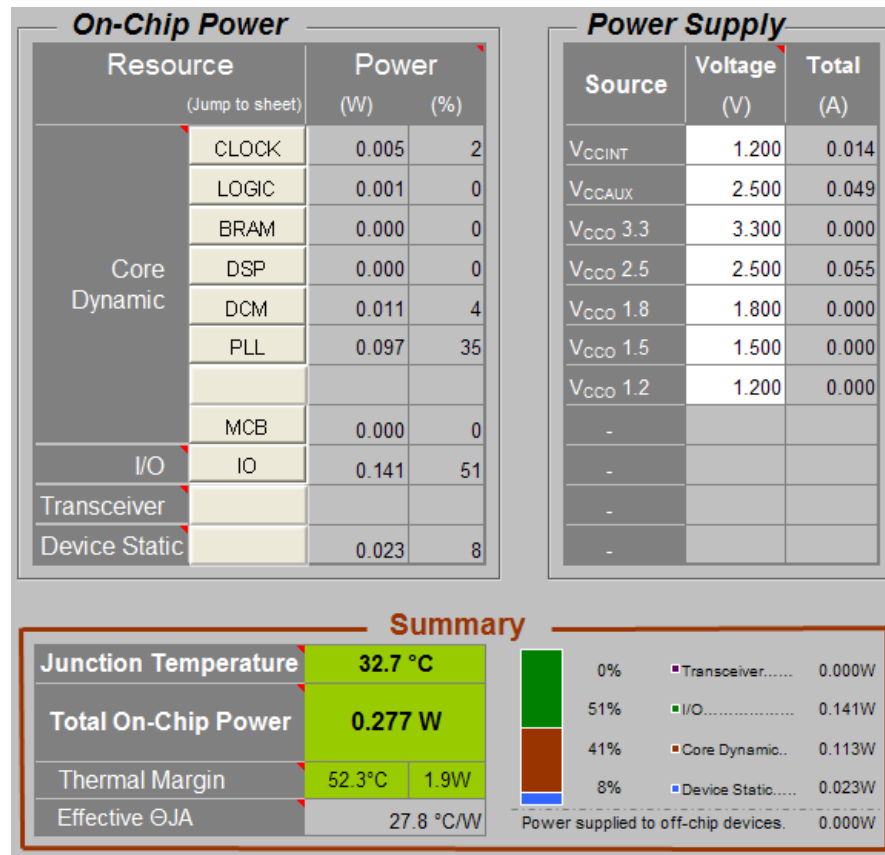


図 6 : XPE の FPGA 消費電力サマリ (Spartan-6 FPGA の場合)

手順 7 : デザイン データの変更

[Import] 機能によりマップ レポート (MRP) ファイルのデータがインポートされ、[CLOCK]、[LOGIC]、[IO]、[BRAM]、および [DSP] タブに含まれているデザイン エレメントの概算値が入力されました。これらのエレメントがどのようにデザインで使用されるかをよく理解している場合は、予測の精度を向上できます。MRP ファイルからさらにデータを抽出して、XPE スプレッドシートの値を調整すると、消費電力予測の精度を高めることができます。

メモ : MAP で `-detail` オプションを使用して、詳細なマップ レポートを生成すると、デザインの詳細情報を取得できます。MRP ファイル (マップ レポート) からデータをインポートした後に、この情報を使用して XPE のデザイン エレメントの値を変更します。このオプションの詳細は、『[コマンド ライン ツール ユーザー ガイド](#)』(UG628) を参照してください。

メモ : ISE で `xpwr -xpe` コマンド ラインを使用すると、XPE にインポート可能な特定のデザイン情報を含む `.xpe` ファイルが生成されます。XPower Analyzer (XPA) のデザイン情報を XPE にインポートする際の詳細は、『[XPower Estimator ユーザー ガイド](#)』(UG440) を参照してください。

Virtex-6 デザインで作業している場合は、次のエレメントの値を変更します。

- ・ [CLOCK] タブでクロック使用を 2 つのクロックのみに簡素化します。
 - ” 1 つ目のクロックは、次のように設定します。
 - [Frequency (MHz)] = 200MHz
 - [Fanout] = 68

- 2つ目のクロックは、次のように設定します。
 - [Frequency (MHz)] = 33MHz
 - [Fanout] = 63
- ・ [LOGIC] タブで [Toggle Rate] をこのデザインの平均予測値である 19% に変更します。
- ・ [IO] タブで LVCMOS I/O の [Clock (MHz)] (クロック周波数) を 33MHz に変更し、両方の I/O タイプの [Toggle Rate] をこのデザインのすべての I/O に対する平均予測値である 14% に変更します。
- ・ [DSP] タブでは、すべての DSP コンポーネントの [Toggle Rate] を平均予測値である 1.5% に変更します。

すべての値を入力または更新した後は、[Summary] タブで消費電力結果を確認できます。次の図に、Virtex-6 デザインの変更後の消費電力予測を示します。

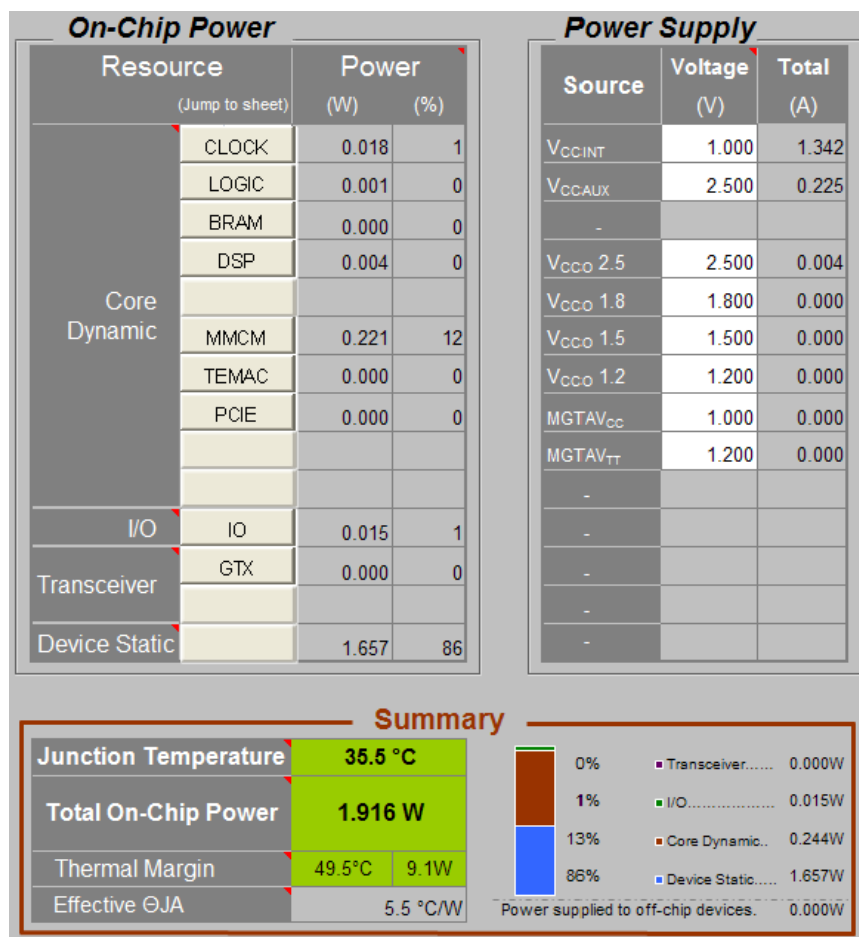


図 7：更新された FPGA 消費電力サマリ (Virtex-6 FPGA の場合)

Spartan-6 デザインで作業している場合は、次のエレメントの値を変更します。

- ・ [CLOCK] タブで クロック使用を 2つのクロックのみに簡素化します。
 - 1つ目のクロックは、次のように設定します。
 - [Frequency (MHz)] = 200MHz
 - [Fanout] = 63

- ・ 2つ目のクロックは、次のように設定します。
 - [Frequency (MHz)] = 33MHz
 - [Fanout] = 28
- ・ [LOGIC] タブで [Toggle Rate] を平均予測値の 19% に変更します。
- ・ [IO] タブで LVCMOS I/O の [Clock (MHz)] (クロック周波数) を 33MHz に変更し、両方の I/O タイプの [Toggle Rate] をこのデザインのすべての I/O に対する平均予測値である 14% に変更します。

すべての値を入力または更新した後は、[Summary] タブで消費電力結果を確認できます。次の図に、Spartan-6 デザインの変更後の消費電力予測を示します。

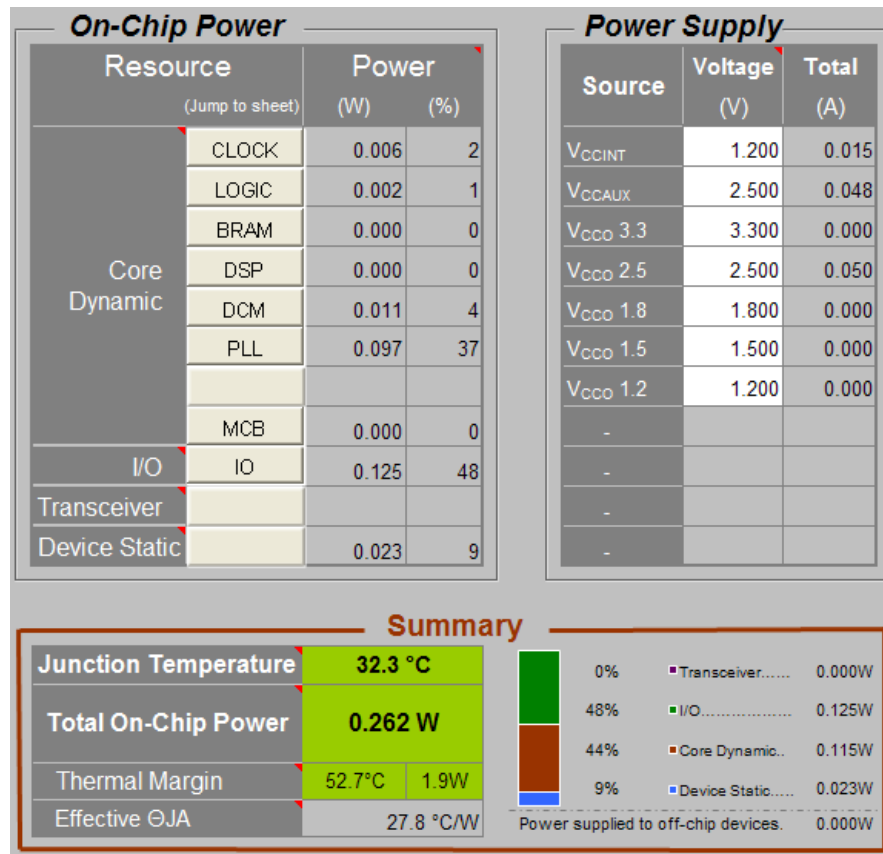


図 8 : 更新された FPGA 消費電力サマリ (Spartan-6 FPGA の場合)

データの入力後に選択したグレードの熱制限内でデバイスが動作している場合は、XPE でレポートされた消費電力を使用して、デザインの電源レールを決定できます。入力したデータの信頼性が高くない場合は、FPGA の消費電力システムを下回って設計しないように数値を多少上げることが可能です。ただし、データが十分に信頼できる場合は、数値を上げる必要はありません。

XPE は、デザイン構想の初期段階で消費電力バジェットを予測するために主に使用しますが、デザイン段階後半でも正確な消費電力予測を取得したり (手順 7 : デザイン データの変更を参照)、ワークケースの消費電力解析を実行するのに使用できます。詳細は、『XPower Estimator ユーザーガイド』(UG440)、『消費電力手法ガイド』(UG786)、およびホワイトペーパー『Seven Steps to an Accurate Worst-Case Power Analysis Using Xilinx Power Estimator (XPE)』(WP353) を参照してください。

消費電力結果の主な解釈ポイント

- ・ XPE ではすべての電源で使用される消費電力の合計がレポートされます ([Summary] タブの [Power Supply] セクション)。この表には、オンボード電力供給に必要なすべての消費電力が含まれています。
- ・ XPE では、すべての電源レールでオンチップで消費される電力がレポートされます ([On-Chip Power] 表)。この表では、各種 FPGA リソースで消費される電力の内訳が表示されます。また、その割合も表示されます。このパネルは、デバイスで消費される電力量を判断するのに役立ちます。また、目標電力バジェットを達成するために、消費電力の最適化を実行できるデザイン箇所を特定する際にも役立ちます。
- ・ XPE では、熱データも [Summary] 表にレポートされ、パッケージ特性に関連して予測された FPGA のジャンクション温度および熱電力 (オンチップ消費電力) が表示されます。

ISE の消費電力削減オプション

ISE デザイン フローで使用される消費電力最適化オプションの効果は、デザインによって異なります。合成およびインプリメンテーションで **-power** オプションを使用すると、平均して約 10% の消費電力を削減でき、若干のランタイム ペナルティ (約 15%) とパフォーマンス低下が発生するだけです。このチュートリアルで使用するデザインは比較的小さいため、ダイナミック消費電力がステティック消費電力よりかなり低くなっています。このような状況下では、合成およびインプリメンテーションで使用できる消費電力最適化オプションは効果がありません。

ISE には、消費電力の削減に役立つプロセス プロパティが複数あります。これらのプロパティは、合成およびマップのプロセスで設定できます。

メモ：各ツールのプロパティを変更する代わりに、消費電力を最適化するための定義済みインプリメンテーション ストラテジを使用することも可能です。

合成での消費電力削減

合成で **-power** オプションを使用すると、消費電力を削減できます。ISE の [Power Reduction] プロパティを使用すると、**XST** でデザインの消費電力を最低限に抑えることができます。マクロ プロセスでは、消費電力が最低限になるようにファンクションがインプリメントされます。

ISE で合成プロパティを表示するには、次を実行します。

1. [Processes] ペインで [Synthesize] を右クリックし、[Process Properties] をクリックします。
2. [Process Properties - Synthesis Options] ダイアログ ボックスで [Power Reduction] が [On] に設定されているか確認します。

マップでの消費電力削減

マップで **-power high** オプション (ISE の [Power Reduction] プロパティ) を [On] に設定すると、消費電力を削減できます。このプロパティでは、各クロック サイクルの出力に関与しないロジックをディスエーブルにし、デザイン アクティビティを最小限に抑えるためにゲーティング ロジックを除去します。

また、スイッチング アクティビティ ファイルを指定して消費電力を最適化できます。スイッチング アクティビティ ファイルは、**-activityfile** オプション ([Power Activity File] プロパティ) で指定できます。

マップには、**-global_opt** オプション ([Global Optimization] プロパティ) という消費電力削減オプションもあります。このオプションでは、タイミングドリブンのパックおよび配置中にデザインで

消費される電力を削減するように配置が最適化されます。グローバル最適化には、ロジックの再マップおよびトリミング、ロジックおよびレジスターの複製、最適化、およびトライステート ロジックの置き換えが含まれます。デザインによっては、このオプションを使用することで消費電力を削減できます。これらの作業に余分に時間がかかるため、マップのランタイムが長くなります。デフォルトでは off に設定されています。このオプションの詳細は、『コマンド ライン ツール ユーザー ガイド』(UG682) を参照してください。

XPower Analyzer (XPA) を使用した消費電力解析

XPA では、実デザイン データを解析します。ISE でデザインをインプリメントした後に配置配線 (PAR) で出力された NCD ファイルを使用します。XPA では、ベクターレス予測アルゴリズムがあり、ノードのアクティビティ レートがデザイン ファイルで定義されていないか、別の方法でも指定されていないときに、これらのノードにアクティビティ レートを割り当てることができます。ただし、精度の高い消費電力解析を取得するには、シミュレーション アクティビティ ファイル (SAIF または VCD) を使用してください。消費電力解析で最新の特性データを使用できるように、最新のバージョンの ISE に含まれる XPA を使用してください。

XPA は、デザインの消費電力解析に使用します。XPA が使用されるデザイン段階では、ISE プロジェクトで配置配線 (PAR) が正しく完了して NCD 出力ファイルが生成されています。消費電力予測では、XPA でどのデザイン ファイルが使用されたか理解することが重要です。このチュートリアルでは、SP601 ボード上で Spartan-6 デザインまたは Virtex-6 デザインのいずれかを使用して消費電力予測を実行します。これらのデザイン ファイルは、[チュートリアル](#) ページからダウンロードできます。

XPA は、ISE Project Navigator のプロジェクト内からスタンドアロン グラフィカル ユーザー インターフェイス (xpa シェル コマンド) として起動するか、バッチ コマンド ライン (xpwr) として起動するか、または PlanAhead から起動できます。XPA の GUI は、コマンド ラインに「xpa」と入力すると開くことができます。テキスト形式の消費電力レポートを生成する場合は、「xpwr」と入力します。コマンド シェルに「xpwr」と入力するとすべてのオプションが表示されます。

XPA は ISE の [Processes] ペインの [Place & Route] プロセスの下にあります。

XPA を PlanAhead から起動する場合は、Flow Navigator で [Implement Design] を展開します。[Implement Design] タスク リストから [Launch XPower Analyzer] コマンドを選択します。

XPA でのレポートの精度を向上するよう、オプションのデザイン ファイルも読み込むことができます。たとえば、Project Navigator では次を実行できます。

1. [Processes] ペインで [Place & Route] を展開して [Analyze Power Distribution (XPower Analyzer)] を右クリックします。
2. [Process Properties] をクリックします。
3. [Process Properties - XPower Analyzer Properties] ダイアログ ボックスでファイルを指定します。

また、スタンドアロン ツールには、デザインを読み込む際にこれらのファイルを含めるオプションがあります。[Open Design] ダイアログ ボックスでこれらのファイルを指定します。

次が使用可能な入力ファイルです。

- ・ NCD : XPA で必須な配置配線 (PAR) で出力されるファイル。
- ・ 設定ファイル : オプション ファイル。設定ファイルには、XPower Analyzer セッションで保存されたアプリケーション設定およびノードのアクティビティ レートが含まれています。XPA ウィンドウで手動で加えた変更は、設定ファイルに保存できます。この設定ファイルは XML

フォーマットで、直前の XPA セッションの関連デザイン情報を次のセッションに読み込むことができます。

- ・ **PCF** : オプション ファイル。PCF (物理制約ファイル) には、クロック周波数を決定するときに役立つ制約情報が含まれています。UCF (ユーザー制約ファイル) に含まれるクロック情報すべてが PCF にレポートされるので、デザインで十分に制約が設定されている場合は、消費電力結果の精度を高めるために PCF を読み込むことが重要になります。
- ・ **VCD** または **SAIF** ファイル : オプション ファイル。これらのシミュレーション アクティビティ ファイルには、特定のスイッチング情報 (トグル レート、信号レート、および周波数情報) が含まれているため、消費電力予測の精度がもっとも高くなります。XPA では、シミュレーション ファイルに含まれるネットとデザインのネットをすべて一致させることができない場合があります。一部のスイッチング情報は手動で入力する必要がある場合があります。どのデザイン情報が抽出され、どのデザイン情報が抽出されなかったのかを確認することが重要です。[Console] タブに表示されている警告メッセージに、デザイン情報が XPA に含まれなかったことを示すメッセージがある可能性があるため確認してください。

このチュートリアルでは、バージョン 13.1 の XPA を使用します。次に、XPA を使用して消費電力解析を実行する主な手順を示します。このチュートリアルには、Virtex-6 または Spartan-6 デザインを使用できます。

手順 1 : XPower Analyzer (XPA) の起動

次のいずれかの方法で XPA を起動します。

- ・ ISE から XPA を起動する場合 : Project Navigator の [Processes] ペインで [Place & Route] の下の [Analyze Power Distribution (XPower Analyzer)] プロセスをダブルクリックします。 .
ISE から XPA を開くときは、完全に配置配線が完了しているデザインを解析することになります。
- ・ XPA をスタンドアロンで起動する場合 : 次を実行します。
 - a. [スタート] → [ファイル名を指定して実行] をクリックし、ダイアログ ボックスで「cmd」と入力します。
 - b. コマンド プロンプトで「xpa」と入力して Enter キーを押します。

手順 2 : 入力ファイルの指定

XPA をスタンドアロンで起動した場合、次の方法で入力ファイルを指定する必要があります。

1. [File] → [Open Design] をクリックします。
2. [Open Design] ダイアログ ボックスで Virtex-6 または Spartan-6 チュートリアル デザインで使用するファイルを選択します。

メモ : このチュートリアルでは、Virtex-6 デザインを使用します。

・ Virtex-6 デザイン :

- V6_tutorial_top_16bit.ncd (配置配線後の NCD ファイル)
- V6_tutorial_top_16bit.pcf (物理制約ファイル)
- simulation_XPA_stimulus_file.saif (シミュレーションから出力されたステミュラスファイル)

・ Spartan-6 デザイン :

- S6_tutorial_top_16bit.ncd (配置配線後の NCD ファイル)
- S6_tutorial_top_16bit.pcf (物理制約ファイル)

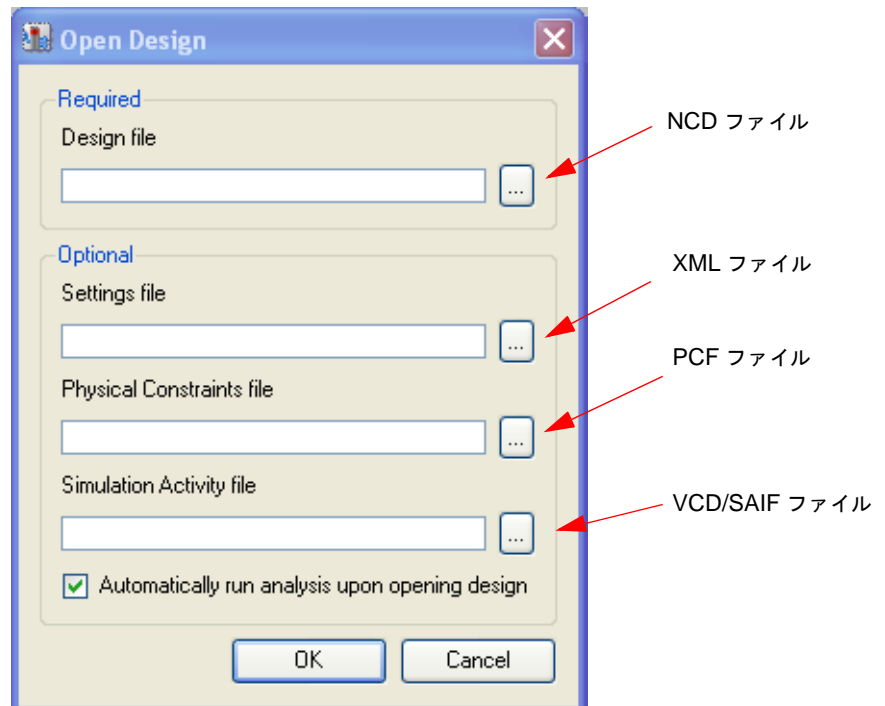


図 9 : [Open Design] ダイアログ ボックス (XPA)

手順 3 : 環境設定の入力

XPA を起動して指定の入力ファイルでデザインを解析した後は、次のレポート ビューが表示されます。

- ・ [Summary] ビューには、すべての重要な電圧レール情報が表示されます。
- ・ このビューに含まれる [Environment] 表および [Thermal Property] 表では、デバイスの消費電力計算で使用される熱情報が表示され、ハードウェアおよび環境に合わせて熱設定を変更できます (図 10 を参照)。周囲温度はデフォルトで 50°C ですが、変更可能です。また、カスタムのジャンクション温度、カスタムの Theta JA (ヒートシンクを使用する場合)、およびエアフロー情報を入力できます。この熱情報は、消費電力予測に直接影響します。
- ・ [Summary] ビューには、各電圧の消費電力 ([Supply Summary] 表) およびスタティック電流 (Iccq)/ダイナミック電流 (Icc) ([Supply Power (W)] 表) も表示されています。このレポートビューでは、各電圧をデバイスのデータシートに記載されている推奨動作条件内で変更できます。
- ・ [Default Activity Rates] ビューでは、出力負荷、トグル レート、およびイネーブル レートなどの設定をグローバルに変更できます。

XPA で指定の入力ファイルを開いてデザイン解析を済ませた場合は、[Summary] ビューの [Environment] 表で次のように熱設定を変更します。

- ・ [Ambient Temp] = 25°C
- ・ [Airflow] = 250 LFM
- ・ [Heat Sink] = None

XPA にデータを入力した後は、消費電力解析をアップデートする必要があります。アップデートするには、[Tools] → [Update Power Analysis] をクリックします。

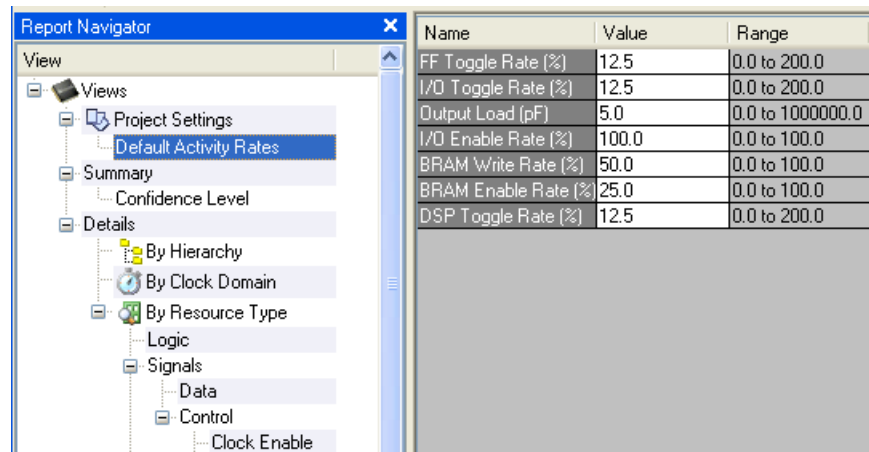
A	B
Device	
Family	Virtex6
Part	xc6vlx240t
Package	ff1156
Grade	C-Grade
Process	Typical
Speed Grade	-1
Environment	
Ambient Temp (C)	25.0
Use custom TJA?	No
Custom TJA (C/W)	NA
Airflow (LFM)	250
Heat Sink	None
Custom TSA (C/W)	NA
Board Selection	Medium (10'x10'')
# of Board Layers	12 to 15
Custom TJB (C/W)	NA
Board Temperature (C)	NA
Characterization	
Production	v1.2.2010-12-16

図 10 : [Environment] 表 ([Summary] ビュー) : XPower Analyzer (XPA)

手順 4 : デフォルトのアクティビティ レートの設定

VCD または SAIF スティミュラス ファイルがまだ使用できないデザインでは、[Default Activity Rates] ビューで異なるデザイン エレメントすべてに対して予測されるアクティビティ レートを入力できます。ベクターレス解析エンジンで、これらの設定がデザインに伝搬されます。

このビューのアクティビティ レートは、ベクターレス伝搬エンジンの初期入力として使用されません。ブロック RAM のイネーブル レートや DSP のトグル レートなど、[By Resource Type] のエントリを特定の値に設定する場合は、[Default Activity Rates] ビューではなく該当する [By Resource Type] で変更し、これらの変更が消費電力解析をアップデートしても保持されるようにします。



Name	Value	Range
FF Toggle Rate (%)	12.5	0.0 to 200.0
I/O Toggle Rate (%)	12.5	0.0 to 200.0
Output Load (pF)	5.0	0.0 to 1000000.0
I/O Enable Rate (%)	100.0	0.0 to 100.0
BRAM Write Rate (%)	50.0	0.0 to 100.0
BRAM Enable Rate (%)	25.0	0.0 to 100.0
DSP Toggle Rate (%)	12.5	0.0 to 200.0

図 11 : [Default Activity Rates] ビュー : XPower Analyzer (XPA)

XPA で設定または値を変更した後は、[Tools] → [Update Power Analysis] で消費電力をアップデートする必要があります。

手順 5 : デザイン データの変更

各 [By Resource Type] ビューでは、XPE のタブのように、消費電力予測が特定のグループごとに表示されます。表示されるコンポーネントは、使用するアーキテクチャによって異なり、また使用可能なコンポーネントがデザインで使用されているかによっても異なります。ビューには、デザインで使用されるブロックのみが表示されます。

また、[By Resource Type] ビューでは必要に応じて信号レートやトグル レートを変更することもできます。これらのセクションは XPE のものに類似していますが、XPA では消費電力予測を変更するオプションはありません。信号を変更する場合は、デザインに戻って変更する必要があります。

[Details] ビューの下にある [By Clock Domain] ビューで、すべてのクロック周波数が物理制約ファイル (PCF) から正しく抽出されていることを確認します。インプリメンテーション前に制約が UCF (ユーザー制約ファイル) で正しく設定されている場合は、XPA で PCF から正しく周波数が抽出されます。

D	E	F	G	H	I	J	K	L	M	N	
On-Chip	Power (W)	Used	Available	Utilization (%)		Supply Summary		Total	Dynamic	Quiescent	
Clocks	0.020	2	---	---		Source	Voltage	Current (A)	Current (A)	Current (A)	
Logic	0.000	110	150720	0		Vccint	1.000	1.261	0.032	1.229	
Signals	0.001	3212	---	---		Vccaux	2.500	0.199	0.032	0.167	
DSPs	0.007	48	768	6		Vcco25	2.500	0.003	0.001	0.002	
MMCMs	0.146	2	12	17				Total	Dynamic	Quiescent	
IDs	0.019	29	600	5				Supply Power (W)	1.764	0.113	1.652
Leakage	1.570										
Total	1.764										
Thermal Properties		Effective TjA	Max Ambient	Junction Temp							
		(C/W)	(C)	(C)							
		2.9	79.8	30.2							

図 14 : シミュレーション データを使用した場合の [Summary] ビュー : XPower Analyzer (XPA)

チュートリアルで使用したデザインでは、顕著な差は出ず、ベクターレス アルゴリズムを使用しても比較的近似した消費電力になりますが、精度の高い結果が必要な場合は、XPA 消費電力解析にデザインのアクティビティを正しく含む SAIF ファイルを使用してください。

ザイリンクス FPGA での消費電力の最適化に関する一般的なガイドラインは、ホワイト ペーパー『Virtex-5 FPGA System Power Design Considerations』(WP285) を参照してください。この資料は、Virtex-6 デバイスでも有効です。

XPA の詳細は、次のウェブサイトにある XPower Analyzer ヘルプ を参照してください。

http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/hh_goto.htm#xpa_c_overview.htm

まとめ

ザイリンクス消費電力ツールを使用する際、XPE はデザイン前の消費電力予測に、XPA はインプリメンテーション後のデザインの消費電力最適化に使用します。

これらのツールは、デザイン フローのさまざまな段階で使用できるので、次の際に使用できます。

- ・ デバイス選択
- ・ ボード設計
- ・ システムの信頼性
- ・ 特定のデザインにおける消費電力予測

消費電力ツールは、消費電力の最適化にも使用できます。電力を最も消費するデザイン箇所を特定し、消費電力を削減するためのトレードオフを見つけることができます。この場合、ISE の合成およびインプリメンテーションで使用可能な消費電力最適化アルゴリズムと合わせて使用できます。

消費電力ツールに正確なデータを入力することが可能な場合、このチュートリアルのアドバイスに従って比較的簡単に正確な消費電力予測を実行できます。

その他のリソース

- 『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/iil.pdf
- 『ISE Design Suite 13 : リリース ノート ガイド』(UG631) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/irn.pdf
- ザイリンクス資料 :
<http://japan.xilinx.com/support/documentation>
- ザイリンクス用語集 :
http://japan.xilinx.com/support/documentation/sw_manuals/glossary.pdf
- ザイリンクス サポート : <http://japan.xilinx.com/support.htm>

- XPower Esitimator (XPE) スプレッドシートをダウンロードするには、ザイリンクス ウェブサイトにある消費電力ソリューション ページを参照してください。
<http://japaninx.com/power>
- このチュートリアルで使用したデザイン ファイルは、チュートリアル ページからダウンロードできます。
http://www.japan.com/support/documentation/dt_ise13-1_tutorials.htm
- シリコン、ソフトウェア、IP に関する問題をアンサー データベースで検索したり、テクニカル サポートのウェブ ケースを開くには、次のザイリンクス ウェブサイトにアクセスしてください。
<http://japan.xilinx.com/support>
- 次に、このユーザー ガイドに関連する資料を示します。
 - 『消費電力手法ガイド』(UG786)
 - 『XPower Estimator ユーザー ガイド』(UG440)
 - 『Seven Steps to an Accurate Worst-Case Power Analysis Using Xilinx Power Estimator (XPE)』(WP353)
 - XPower Analyzer (XPA) ヘルプ
 - 『Test Boards for Area Array Surface Mount Package Thermal Measurements』
 - FPGA で使用可能なリソースの説明は、<http://japan.xilinx.com/documentation> で参照できます。

