



WP284 (v1.0) 2007 年 12 月 19 日

Virtex-5 FPGA の 6 入力 LUT アーキテクチャの有利性

著者 : Andrew Percey

デュアル LUT 機能を備える真の 6 入力 LUT を基本とする革新的な Virtex™-5 アーキテクチャは、ソース使用率がその他の競合するアーキテクチャに比べて非常に優れているという特長を持ちます。本書では、共に 65nm のハイエンド FPGA であるザイリンクスの Virtex-5 を Altera 社の Stratix III と比較しながら、その有利性について詳細に説明します。

アーキテクチャの概要

図 1 に、ザイリンクス Virtex-5 FPGA の基本アーキテクチャである 6 入力 LUT および関連ロジックを示します。図 2 は、Altera 社 Stratix III FPGA の基本アーキテクチャ、ALM (Adaptive Logic Module) を示しています。

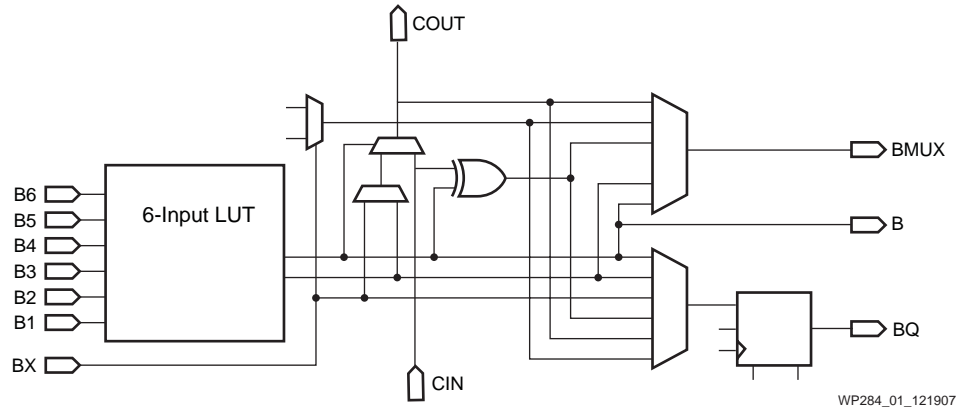


図 1 : Virtex-5 FPGA の 6 入力 LUT アーキテクチャ

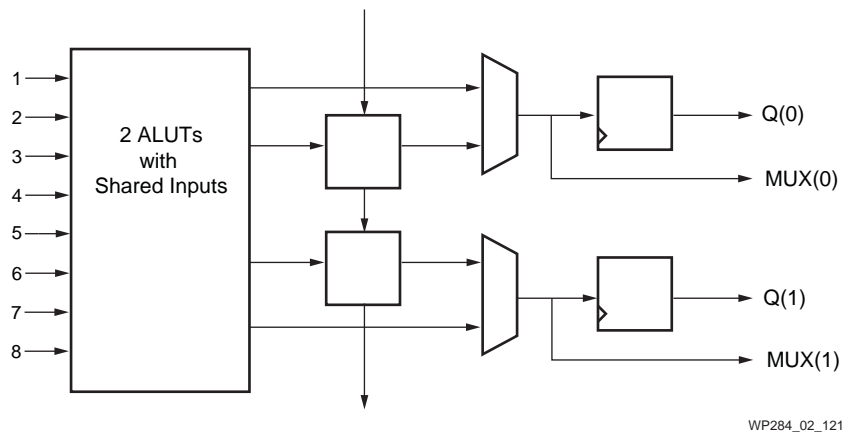


図 2 : Stratix III の ALM アーキテクチャ

ザイリンクスの 6 入力 LUT は、合計 64 ビットのロジック プログラム可能空間と 6 つの独立した入力を備えたルックアップ テーブルです。これは、任意の 6 入力ファンクションおよび 1 つまたは 2 つの小さなファンクションの多様な組み合わせをインプリメントできます。また、6 入力 LUT には関連するキャリー ロジック、MUX、フリップフロップが含まれます。さらに、ロジックの一部として 64 ビットの RAM または 32 ビットのシフトレジスタとして使用可能です。詳細は、[UG190](#): 『Virtex-5 ユーザーガイド』を参照してください。

Altera 社の ALM は 2 つの ALUT (Adaptive LUT) を含み、合計 64 ビットのロジック プログラム可能空間と 8 つの共有入力を備えています。ALM も任意の 6 入力ファンクションおよび 1 つまたは 2 つの小さなファンクションの多様な組み合わせをインプリメントでき、関連した加算器、MUX、およびフリップフロップを含みます。

6 入力 LUT および ALM は各 FPGA アーキテクチャの基本的なロジック構築ブロックで、互いに類似しているため、2 つの FPGA の比較に最も適したポイントとなります。

ALM は、シリコン エリアを余分に使用することになりますが、6 入力 LUT とその関連ロジックよりも柔軟性が優れています。ただし、ALM は構築する際のサイズおよびコストが大きいため、同程度の製品で比較すると、デバイスにおける個数が 6 入力 LUT よりも少なくなります。結果的にデバイスの総ロジック容量に与える影響が、最も重要な比較の基準となります (表 1 参照)。

すべてのカスタム デザインに、1 ~ 6 またはそれ以上の入力数の範囲、共有している入力数の違い、演算ロジックおよびフリップフロップの要件の違いなど、それぞれ独自のファンクションの組み合わせがあります。Virtex-5 FPGA の 6 入力 LUT と Stratix III の ALM アーキテクチャのロジック性質に大差はありませんが、根本的なインプリメンテーションに多くの違いがあります。したがって、これらのアーキテクチャのデバイス使用率 (ロジック容量) を比較するには、カスタム デザインを使用して、公平なベンチマークを実行することが最も厳密で実用的な方法です。

公平なベンチマークの作成および解析

実用的、かつ公正な FPGA ベンチマークを作成するための要件を次に示します。

- さまざまなターゲット市場に対応する多数のカスタム デザイン
- 特定のアーキテクチャに有利とならないようにするため、未変更の RTL コード
- 各 FPGA ベンダーが推奨するツール セットの使用
- 各 FPGA ベンダーのツール セットが推奨する適切な制約の使用

本書で使用したザイリンクスのベンチマークは、これらの要件すべてを満たします。

ここで使用した 97 個のデザインは、ハイエンド FPGA (Virtex-5 および Stratix III デバイスを含む) の主要な市場向けとなっています。テレコム デザインおよび DSP デザインがそれぞれ全デザインの 40% を占め、残りの 20% はインダストリアル、データ プロセッシング、およびプロセッサ デザインです。ほとんどのデザインが、現在カスタムが製品で使用している FPGA デザインで、ASIC デザインがわずかにあります。

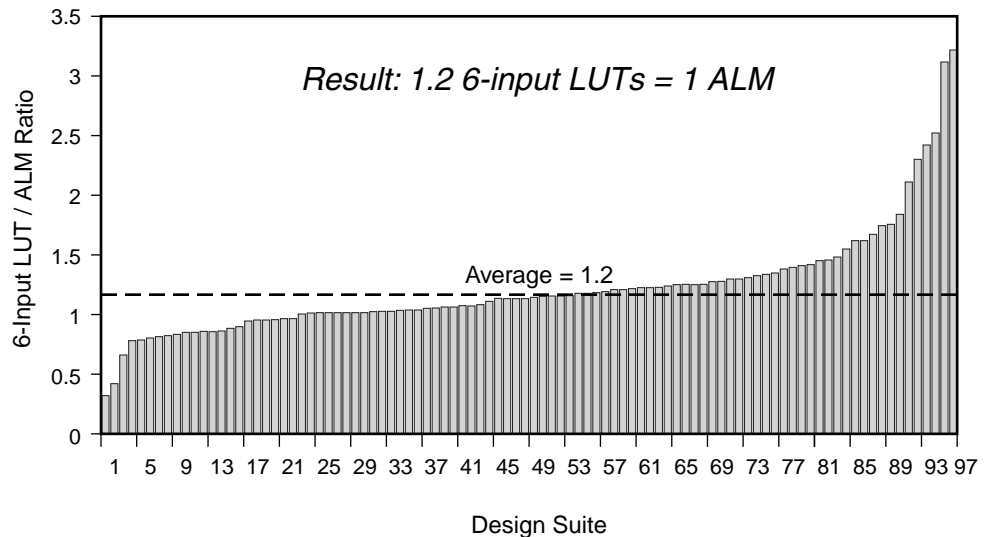
全デザインが RTL ベースです (VHDL および Verilog)。これらの一部には、FIFO およびメモリをインプリメントするためのザイリンクス CORE Generator™ ソフトウェア EDIF ネットリストが含まれます。Stratix III 用には Quartus II MegaWizard ツールを使用し、同等のファンクションを作成しました。両方の FPGA アーキテクチャに公平となるよう、RTL コードは変更していません。

使用率のベンチマークは、Synplify Pro のネットリストを使用し、ザイリンクス ISE ソフトウェアおよび Altera 社の Quartus II ソフトウェアの最新バージョンに基づいています。また、デザイン エリアを最小限にするため、各ツール セットで適切なオプションを使用しました。

本書では、これらのプロセスを慎重に実行することで、正確かつ実際のカスタム デザインに準じたベンチマークの結果を導いています。

図 3 に、先ほど定義したベンチマークから求めた 6 入力 LUT アーキテクチャと ALM アーキテクチャの使用率の比較を示します。y 軸は各デザインをインプリメントする際に必要な 6 入力 LUT 対 ALM の比率を表します。x 軸はベンチマーク デザインを 6 入力 LUT/ALM 比率が低い順に表しています。

結果は 0.3 ~ 3.2 の範囲となり、標準偏差は 0.45、平均 (相乗平均) は 1.2 です。カスタム デザインを代表するこれらのデザインは、デザイン エリアを最小限にするために、ザイリンクスおよび Altera 社両方のツールを使用して厳密かつ公平な合成を実行しています。その結果、1 つの ALM と同一ロジックをインプリメントする場合に使用する 6 入力 LUT は 1.2 個となります。



WP284_03_121707

図 3 : ベンチマークから求めた使用率の結果

この比率は、それだけでは意味がありません。これは FPGA デバイス全体のロジック容量に適用してこそ、実際の意味を示します。上述したように、1 つの ALM は同等の 6 入力 LUT と関連ロジックよりも多くのシリコン エリアを使用します。したがって、同程度のサイズのデバイスでは、6 入力 LUT よりも ALM の数が少なくなります。表 1 では、ベンチマークから求めた平均値 1.2 を Altera 社の Stratix III に適用しています。この表では、ロジック容量の少ない順に示し、Virtex-5 デバイスと同程度の Stratix III デバイスを並べて示しています。

表 1: Virtex-5 および Stratix III FPGA のロジック容量の比較

Virtex-5 デバイス	6 入力 LUT 数	Stratix III デバイス	ALM 数	同等の 6 入力 LUT 数
XC5VLX20T	12480			
XC5VLX30/XC5VLX30T	19200	3SL50	19000	22800
XC5VLX50/XC5VLX50T	28800	3SL70	27000	32400
XC5VLX85/XC5VLX85T	51840	3SL110	42600	51120
XC5VLX110/XC5VLX110T	69120	3SL150	56800	68160
XC5VLX155/XC5VLX155T	97280	3SL200	79560	95472
XC5VLX220/XC5VLX220T	138240			
		3SL340	135200	162240
XC5VLX330/XC5VLX330T	207360			

この解析から、同程度の製品では、Virtex-5 デバイスが Stratix III よりも明らかに多くのロジック容量を持つことがわかります。

もちろん、ベンチマークがどんなに公平で、カスタム デザインを代表するものでも、やはり典型を表すにすぎません。それぞれのデザインは結果範囲のどこかに当てはまるものです。したがって、ザイリンクスでは Virtex-5 および Stratix III デバイスにおける使用率を正確に比較したいすべてのお客様に対して、ご自身のデザインを両方のツールを使用し、推奨される制約をすべて適用した上で実行することを推奨しています。

ザイリンクス ISE ツール フローを使用する場合に、エリア、スピード、消費電力、ランタイムを最適化するためのガイドラインは、[WP248](#): 『Virtex-5 FPGA にリターゲットする場合のガイドライン』に記載されています。このホワイト ペーパーは Virtex-4 FPGA デザインを Virtex-5 FPGA にリターゲットする場合について説明していますが、新規の Virtex-5 デザインにも適用可能です。

Altera 社が求めたベンチマーク結果が異なる理由

Altera 社は 2007 年 10 月に『Stratix III FPGAs vs. Xilinx Virtex-5 Devices: Architecture and Performance Comparison』(WP-01007-2.1、バージョン 2.1) というホワイト ペーパーをリリースしました。Altera 社はこの文書で、ベンチマークの結果から「Virtex-5 LUT - フリップフロップペア」対「Stratix III ALM」の使用率の比率が 1.8 であるとし、これを FPGA ロジック容量の比較に使用しています。

Altera 社の解析では ALM と「LUT - フリップフロップ」ペアを比較しているため、この 1.8 という結果には意味がありません。アーキテクチャ的に、LUT - フリップフロップ ペアとは 6 入力 LUT と関連したフリップフロップの組み合わせです。しかし、ISE ソフトウェアの合成レポートでは、合成後のデザインで 6 入力 LUT または関連したロジックのいずれかが使用されていると、1 つの LUT - フリップフロップ ペアとしてカウントされます。

この解析は 1 つの重要な理由から、Virtex-5 のロジック使用率を算出する際の方法として現実的ではありません。それは、ISE ソフトウェア ツールは、フリップフロップ ペア数を最小限にするために 6 入力 LUT とフリップフロップをアーキテクチャ的に組み合わせようとしないということです。実際、配線の密集を最も少なくし、それによって最高のデザイン スピードを達成するために、ISE ツールがこれらのエレメントを分散させる場合が多くあります。LUT - フリップフロップ ペアで、6 入力 LUT および関連したフリップフロップの一方のみが使用されている場合、未使用のエレメントは使用可能です。したがって、エレメントの一方が使用されている場合も LUT - フリップフロップ ペアが「使用されている」として算出した場合の結果は、デバイス使用率または未使用のデバイス容量の両方で正確なものではありません。

ザイリンクスのベンチマークで、(6 入力 LUT ではなく) LUT - フリップフロップ ペアをカウントした場合、LUT - フリップフロップ ペア対 ALM 比率の結果は 1.84 となり、Altera 社が公表した 1.8 という値と近似しています。つまり、ザイリンクスと Altera 社のベンチマークの結果が異なっている理由は、LUT - フリップフロップ ペアをカウントするという誤りのためです。

ロジック使用率を比較する場合の最も有意義な統計値は、Virtex-5 FPGA における 6 入力 LUT 数と Stratix III デバイスにおける ALM 数です。ALM にはフリップフロップが含まれますが、これらの各フリップフロップは入力信号をつなぐために関連した ALUT からの入力を必ず使用します。ALUT のフリップフロップが単独で使用されると、その ALUT 全体または一部分が使用できなくなります。これに対して Virtex-5 FPGA の 6 入力 LUT の場合、そのフリップフロップが単独で使用されても、各フリップフロップは入力をバイパスさせることができるため、6 入力 LUT は完全に使用可能なままです。つまり、デザインにおけるフリップフロップ数に関わらず、使用可能な 6 入力 LUT 数および ALM 数がそれぞれのデバイスにおける残りのロジック容量を正確に表します。ザイリンクスでは、6 入力 LUT の使用率を ALM のロジック部分と直接比較しようと試みましたが、Quartus II のログ ファイルにはこの情報が含まれていませんでした。

Quartus II のレポートは ALUT 数に重点を置いていますが、さらにここで、なぜ ALUT の使用量がデバイス使用率の有意義なメトリックではないかについて説明します。Virtex-5 FPGA の 6 入力 LUT は独立したファンクションユニットであるのに対して、Stratix III の ALUT は独立していません。各 ALM にある 2 つの ALUT は入力を共有し、かつ使用するにはその他の要素も共有する必要があります。このように独立ユニットではないことがもたらす結果は、合成結果で確認できます。ベンチマークからは、各 ALM で使用される ALUT は平均 1.3 のみで、どのようなカスタムデザインでも ALUT の大部分が未使用となることがわかります (デザインは、エリアが最小限になるよう最適化されていることに留意してください)。このような理由から、レポートされる ALUT 量は、デバイスの使用率を決定する際に誤った結果を導くメトリックとなりえます。

6 入力 LUT と ALM の現実的な比較を行った場合、その比率は ALM が 1 に対して 6 入力 LUT は 1.2 となります。

まとめ

Virtex-5 FPGA では、新しい 6 入力 LUT アーキテクチャによって、その他のアーキテクチャよりも非常に優れたリソース使用率を実現するというメリットがもたらされます。つまり、同じデザインをインプリメントする場合、競合デバイスよりも小さな Virtex-5 FPGA が使用でき、結果としてボードスペース、消費電力、さらにコストが削減できることを意味します。

ここに記載した結果に関して、ザイリンクス ISE ソフトウェア ツールおよび Virtex-5 アーキテクチャを十分に活用するアプリケーション用のインプリメンテーション テクニックについてのご質問などがありましたら、ザイリンクス FAE までお問い合わせください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2007/12/19	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the "Information") is provided "AS-IS" with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.