



WP306 (v1.0) 2009 年 2 月 2 日

# ザイリンクス ターゲット デザイン プラットフォーム： プログラマブル時代での必須事項

著者 : Tim Erjavec

ザイリンクスは約 25 年間、FPGA プラットフォーム テクノロジーの発明およびこの技術を継続的に発展させ続けることで、プログラマブル ロジックの黎明期 / 変革期において常に最先端を担ってきました。この間、FPGA の役割は、プロトタイプングやグルー ロジックの役目から、多くのアプリケーションおよびマーケットにおける ASIC および ASSP に変わる非常に柔軟なソリューションに発展しました。

今日、ザイリンクス FPGA は、極度に不安定な世界経済を背景とする中で、生き残りを懸けて競い合う世界規模のシステム企業において、戦略的に欠かせない要素となりました。プログラマブル ロジックの変革期で起こったことが、今やザイリンクスとお客様の双方にとってプログラマブル時代での必須事項となっています。

## プログラマブル時代での必須事項

お客様の観点から考えると、プログラマブル時代での必須事項とは、より少ない労力で多くを達成し、可能な限りリスクを取り除き、生き残るために差別化を図ることです。つまり、常に進化する製品の要件（コスト、消費電力、パフォーマンス、集積度など）および市場で増加する課題（マーケットの縮小、変わりやすい市場の要求、技術費用の制限、高騰する ASIC および ASSP の固定コスト、高まる複雑性およびリスクの増加）から生じる、相反する要求を同時に満たしていくことの追求です。

ザイリンクスにとって、プログラマブル時代での必須事項として、果たすべき課題が2つあります。1つ目は、すべてのプロセス ノードで、FPGA の主要な性能指数（価格、消費電力、性能、集積度、機能、およびプログラマビリティ）に対して業界最高レベルの価値を提供する、革新的なプログラマブル シリコンを開発し続けることです。2つ目は、幅広い業界で世界レベルの FPGA ベースのソリューションを作成するために、単純で、高性能かつ戦略的に実行可能なデザイン プラットフォームをお客様に提供することです。ザイリンクスではこのようなプラットフォームを、ターゲット デザイン プラットフォーム (targeted design platform) と呼びます。

ザイリンクスのターゲット デザイン プラットフォームは、最適な柔軟性、アクセス性、適用性、および市場投入期間の短縮をもたらします。ターゲット デザイン プラットフォームの3段階の階層構造を見ると、ザイリンクスがこれをどのように実現しているかを理解できます（[図 1](#) 参照）。

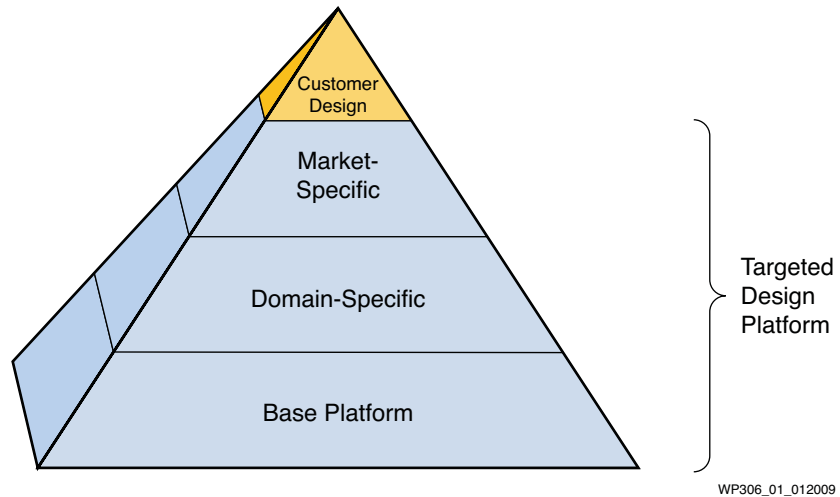


図 1：ターゲット デザイン プラットフォーム

ザイリンクスのターゲット デザイン プラットフォームを使用することで、アプリケーションプラットフォームの開発時間が削減でき、デザインに独自の価値をもたらすための作業時間を増やすことができます。

## ベース プラットフォーム

ベース プラットフォームは、ザイリンクスが提供する新しいシリコン製品の開発評価ボードとしての役割と、全てのターゲット デザイン プラットフォームの基盤としての役割の両方を担います。したがって、お客様固有のソフトウェア アプリケーションおよびハードウェア デザインをシステムソリューション製品として開発し、実行するための最も基本的なプラットフォームとなります。

発売と同時にリリースされるこのプラットフォームは、十分に統合された、テストおよび認定済みの一連の製品群で構成されており、お客様はすぐに設計を開始できます。これらの製品群には次が含まれます。

- FPGA シリコン
- ISE® Design Suite デザイン環境
- サードパーティの合成、シミュレーション、およびシグナルインテグリティ ツール
- メモリ インターフェイスおよびコンフィギュレーション デザインなど、多くのアプリケーションに共通のリファレンス デザイン
- リファレンス デザインの評価が可能な開発評価ボード
- GigE、イーサネット、メモリ コントローラ、および PCIe® など、多数の幅広く使用される IP

## ドメイン特化プラットフォーム

ターゲット デザイン プラットフォーム階層の2層目は、ドメイン特化プラットフォームです。ベースプラットフォームの3～6ヵ月後にリリース予定で、各ドメイン特化プラットフォームは3種類の主要なザイリンクス FPGA ユーザー プロファイル (ユーザー プロファイルをドメインと言い、これには組み込みシステム開発者、デジタルシグナルプロセッシング (DSP、デジタル信号処理システム) 開発者、ロジック/コネクティビティ開発者が含まれる) のうち、1種類をターゲットとします。ドメイン特化プラットフォームを使用することで、ターゲット デザイン プラットフォームの実力と目的が明らかとなります。

ドメイン特化プラットフォームは、使用が想定され、信頼性があり、目的に高度に適合する一連のテクノロジーを統合することで、ベース プラットフォームを強化します。このようなテクノロジーには以下のものが含まれます。

- ハイレベル デザイン手法およびツール
- ドメインに特定した組み込み、DSP、およびコネクティビティ IP
- ドメインに特定した開発ハードウェアおよびデータカード
- エンベデッド プロセッシング、コネクティビティ、および DSP に最適化されたりファレンス デザイン
- オペレーティングシステム (エンベデッド プロセッシングに必要) およびソフトウェア

これらのプラットフォームの製品群はすべて、ザイリンクスおよび/またはザイリンクスのエコシステムパートナーによってテストおよび認定済みで、サポートされています。適切なドメイン特化プラットフォームを使用して設計を開始することで、月単位とはいかなくても、週単位でユーザーの開発期間を短縮できます。

## マーケット特化プラットフォーム

マーケット特化プラットフォームには、ソフトウェアあるいはハードウェア開発者によるアプリケーションまたはソリューションの迅速な構築および実行を可能にする、複数のテクノロジーが統合されています。このプラットフォームは、オートモーティブ、民生機器、高信頼製品/航空宇宙、通信、放送機器、または産業、科学分野、医療機器などの特定のマーケット向けに構築され、ベースプラットフォームおよびドメイン特化プラットフォームの両方を統合して、お客様固有のソフトウェアおよびハードウェア デザインで利用できる高度な製品群を提供しています。

マーケット特化プラットフォームは、ベースプラットフォームまたはドメイン特化プラットフォームと比較して、サードパーティ認定のIPに大きく依存する場合があります。マーケット特化プラットフォームには、ベースプラットフォームとドメイン特化プラットフォーム、リファレンス デザイン、および特定のマーケットに最適化されたりファレンス デザイン (車線逸脱早期警報システム、解析、画像処理) を実行するボード (またはデータカード) が含まれます。

マーケット特化プラットフォームは、ドメイン特化プラットフォームの3～6ヵ月後にリリースされる予定で、主要成長市場をターゲットとしたリファレンス デザイン、IP、ソフトウェアを含めることで、ドメイン特化プラットフォームを強化します。初期段階では、通信、オートモーティブ、ビデオ、および

びディスプレイなどのマーケットをターゲットとしています。デザインの一般的な部分の作業を不要にするプラットフォームの構成要素によって、お客様の開発労力はさらに軽減され、エンドソリューションの価値の差別化を図ることに集中できるようになります。

このような体系的なプラットフォーム開発およびリリース戦略により、ザイリンクスおよびお客様がプログラマブル時代での必須事項を着実かつ効率的に実行できる枠組みを提供します。

## プラットフォームの実現

ザイリンクスはターゲット デザイン プラットフォームの実現に大いに貢献する数多くの変更および強化を加えてきました。このような変更は、次の6つの主要な領域に対して実行されています。

- デザイン環境の向上
- ソケット IP の作成
- 新規の認定済みファレンス デザイン
- 拡張性のある統合ボードストラテジ
- エコシステムの拡張
- ターゲット デザイン プラットフォームの手法をサポートするデザイン サービス

## デザイン環境の向上

Virtex®-6 および Spartan®-6 プログラマブル デバイスがもたらす広域にわたる進歩と機能に、ターゲット デザイン プラットフォームが提供する手法が加わることで、1つのデザイン フローまたは環境ですべての設計者の要求を満たすことは適さなくなりました。システム設計者、アルゴリズム設計者、SW プログラマー、およびロジック設計者の各ユーザー プロファイルは異なり、それぞれのデザイン手法およびデザイン環境に独自の要件があります。ザイリンクスでは、個々の目的に固定されたツールを用いて問題を解決するのではなく、各ユーザーが要求するまたは好む手法を用い、適切なデザイン フローで特定の要件を解決していくことを目指しています。この段階では、デザイン言語は HDL (VHDL/Verilog) から C、C++、Matlab®ソフトウェア、およびこれらの設計者によって幅広く使用される他の高レベル言語までと多岐に渡り、デザインの抽出はブロックまたはコンポーネント からシステム レベルまでと広範囲になります。結果として、デザインの作成、インプリメンテーション、および検証を実現する、それぞれのユーザー プロファイル向けに調整された手法および全体的なデザイン フローが必要となります。

この問題は複雑です。たとえば、「ロジック設計者」のユーザー プロファイルを完全に理解するには、さまざまなレベルの専門知識を持ったロジック設計者について考慮する必要があります。このユーザー プロファイルの中で最も基礎的なユーザーは、最小限の作業または知識でデザインを完成させることを希望する「プッシュ ボタン ユーザー」です。プッシュ ボタン ユーザーは、「ある程度良い」結果を得ることができればよいのです。対照的に、より多くの知識を持つ中級ユーザーは、デザインにさらに多くの価値を与えるためにある程度のインタラクティブな機能を求めており、「上級ユーザー」(専門家)は、広範囲の変数を完全に操作することを望んでいます。これらに、既存のデザインを FPGA に移行させる課題を与えられた ASIC 設計者(今日の ASIC 開発がもたらす膨大なコストとリスクのため、増加傾向にある)を追加すると、ザイリンクスが果たすべき義務は、各ユーザーの要件および機能をそれぞれの条件に基づいてサポートする、目的に適合するフローを提供することとなります。

最新の ISE Design Suite のリリースには、ターゲット デザイン プラットフォームに特に関係のある要件を満たすための多様な変更が含まれています。このリリースには、各最上位ユーザー プロファイル(ドメイン指定型のユーザー:エンベデッド、DSP、およびロジック/コネクティビティ設計者)に対して完全なツールの対応を提供しています。このプロファイルは、プッシュ ボタン ユーザーから ASIC 設計者まであらゆるユーザーに対応することが可能です。より緊密に統合されたエンベデッド フローと DSP フローは、エンベデッド、DSP、IP、およびユーザー ブロックを1つのシステムに含むデザインのシームレスな統合を可能にします。

新しい ISE Design Suite では、生産性を向上し、お客様がデザインの複雑性により適切に対応できるようサポートするため、設定の際にデザイン ゴールを単純に選択するだけで、領域、パフォーマンス、および消費電力のターゲットが決定できます。その後、デザイン ゴールを満たすための特定項目の最適化をツールで実行します。また、ISE Design Suite では、配置配線およびシミュレーションの実行時間が大幅に短縮され、コンパイル時間が2倍高速になっています。最後に、ザイリンクスでは FLEXnet 社のライセンスング ストラテジを導入しており、トラックかつモニタ可能なフローティング ライセンスを提供しています。

## ソケットブル IP

ザイリンクスでは、ユーザーが多大なサポートを必要とせず、容易に使用できる IP (つまり、プラグアンドプレイ IP) の名称としてソケットブル IP (socketable IP) という言葉を定義しました。ザイリンクスでは、IP のプラグアンドプレイを実現するための規格が定義されるよりかなり以前から IP の開発を開始していました。しかし、過去 10 年以上の間に IP 業界が成熟していくにつれ、膨大な IP を保有する企業は、この莫大な投資を保存し、拡張する方法について真剣に模索するようになりました。これらの目的を達成するために、IP 業界が導入した規格の 1 つに IP-XACT があります。ザイリンクスでは、最終的には ISE Design Suite に含まれる CORE Generator™ ソフトウェアで、サードパーティの IP および顧客の IP をデザインで再利用できるよう、この業界標準フォーマットへの移行を実行中です。CORE Generator ソフトウェアでは、ユーザーがカスタマイズできる各種機能を提供しており、その範囲はメモリ および FIFO などの一般的に使用される機能からデジタルフィルタおよび変換などのシステムレベルの機能ブロックまでと多岐に渡ります。

また、ザイリンクスでは、IEEE 規格の QIP (IP Quality) に対して提案している手法に準拠、およびそれを拡張し、ザイリンクスが開発した IP およびザイリンクスのエコシステム パートナの IP で使用しています。ザイリンクスは、業界の先駆者として独自の暗号方式をかなり以前から開発および提供しており、米国政府の仕様を満たす安全なソリューションを提供する唯一の FPGA ベンダーとして認定されています。ザイリンクスでは、この知識を IEEE 規格 (IEEE Std 1735) の策定に活用しています。この規格が承認されると 開発元に依存しない、豊富なすべてのソケットブル IP を、簡単に、保護された環境で使用することが可能です。

## 認定済みリファレンス デザイン

ザイリンクスは、認定済みリファレンス デザイン (certified reference design) と呼ばれるリファレンス デザインの新基準を定義し、堅固なサードパーティ エコシステムと協調しながらリファレンス デザインの開発および提供をしています。認定済みリファレンス デザインは、標準的なリファレンス デザインを上回る要件を満たしています。ザイリンクスでは、標準的なリファレンス デザイン (表 1 参照) をサポートし続ける一方で、適用可能な箇所に認定済み IP コンポーネントを使用し、変更を加えない状態でのターゲット シリコンにおける使用が保証され (完全に検証および認定済み)、製品寿命を通してサポートされる認定済みリファレンス デザインも提供しています。

この革新的な手法は、複数のドメインに共通のベースプラットフォームを提供していること、異なるユーザー プロファイルに対応していることから、ターゲット デザイン プラットフォームの各層に影響をもたらします。したがって、新しいベース プラットフォームは、さらなる相互運用性を実現し、すべてのドメインで使いやすいものとなります。

表 1: リファレンス デザインの比較

リファレンス デザインの対応	レガシ	標準	認定済み
xilinx.com から入手可能	√	√	√
最新のザイリンクス デバイスで使用可能 (Virtex-6 および Spartan-6 FPGA など)		√	√
検証および認定済み		√	√
サポート およびアップグレードの有無			√
複数のビルディング ブロックの統合			√
ユーザー ロジックを含めた拡張性			√
クラスで最高の認定済み IP の使用			√

## 統合ボード ストラテジ

Virtex-6 および Spartan-6 ファミリーでは、ザイリンクスおよびザイリンクスのエコシステム パートナの両方から入手できる、標準化されたベース ボードの効率的な作成を実現する、新しい統合ボード ストラテジを打ち出しています。これらの拡張可能で柔軟なすべてのベース ボードでは、業界標準の FMC (FPGA Mezzanine Card) によるドータ カードの拡張性を活用しています (図 2 参照)。VITA の後援の下、FMC (VITA 57) 規格は FPGA を念頭において開発されており、サポートするシリコン、ボード、およびシステム企業数は増加しています。ザイリンクスはすべてのベース ボードにこの規格を適用することで、ターゲット デザイン プラットフォームすべてにおいて統合された、共通の機能拡張性を提供します。

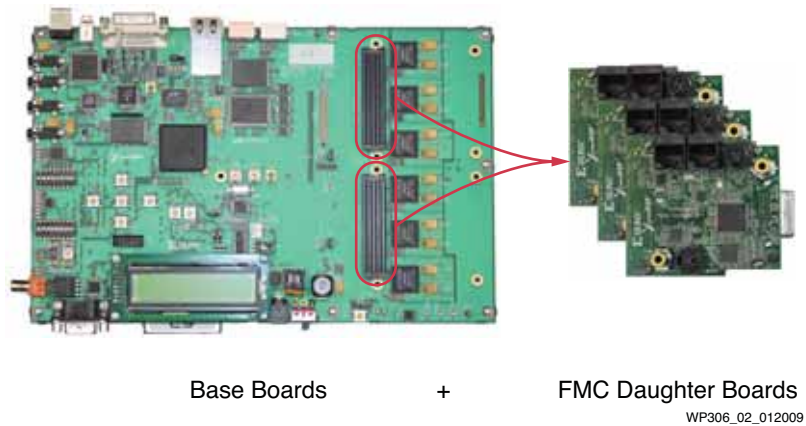


図 2：カードおよび FPGA 間の柔軟な相互接続

## エコシステムの拡張

過去数 10 年間、ザイリンクスおよびそのパートナーはザイリンクス アライアンス プログラムを通して、IP、ボード、ツール、サービス、およびサポートを含む、堅固なエコシステムを開発してきました。これらのアライアンス パートナと共に前進することによって、ターゲット デザイン プラットフォームはサードパーティの IP、ソフトウェア、ボード、およびデザイン サービスを使用して拡張でき、お客様のデザインで利用可能です。ザイリンクスでは、デザイン プラットフォームへのザイリンクス エコシステム製品の統合を容易にするために、歴史的には閉鎖的な環境を持っていたプラットフォームをオープン プラットフォームに移行しています。具体的には、業界規格およびインターフェイスに対して力を注いでおり、IP に関してはインターコネクト規格、IP リポジトリ規格、および業界標準の暗号化手法に注力しています。また、ザイリンクスでは、API (アプリケーション プログラミング インターフェイス) を定義および公開し、ユーザー フローへのサードパーティ ツールの導入を容易にして、ユーザーがクラスで最高のデザイン作成、検証、およびインプリメンテーション ツールの利益を享受できるようにします。

これらの変更によって、標準化された開発手法、統合手法、納入手法に対し、製品およびサービスを容易に統合できるため、設計者およびザイリンクス サードパーティ アライアンスのメンバーは多大な利益を得ることができます。また、サードパーティ アライアンス メンバーと、このメンバーおよびザイリンクスとの共通顧客による開発が大幅に効率化されます。

## 技術サービス

ザイリンクスの技術サービスおよび認定サードパーティ アライアンス メンバーのサービスは、お客様が主要分野の設計に集中できるようにし、市場投入期間を短縮化し、トータルエンジニアリングコストの削減することを可能にするために、ターゲット デザイン プラットフォームの活用を強化しています。これらのサービスでは、お客様のデザイン チームを補強し、かつ、特定のデザインに関する専門的なアドバイスを提案するエンジニアリングリソースを提供しています。ザイリンクスは、実践トレーニングから完全なデザインの作成およびインプリメンテーションまでに及ぶ技術サービスをお客様の要求に合わせて提供しています。

ザイリンクスの技術サービスには、具体的には、ザイリンクス デザイン サービス、Titanium Dedicated Engineering、および QuickStart! が含まれます。ザイリンクス デザイン サービスでは、お客様の一部あるいはすべてのデザインを実行できる FPGA デザインの専門家によるサポートが提供さ

れます。この専門的で経験豊富なチームは、プロジェクト デザインおよびマネージメントに焦点を当て、開発サポートを提供します。Titanium Dedicated Engineering は、FPGA の専門知識と、ベース プラットフォームおよびドメイン特化プラットフォームに焦点をあてたオンサイトでの技術リソース (FPGA エンベデッドの専門知識など) を提供します。QuickStart! は、デザイン開始前のカスタマイズされたサービス オプションであり、2 日間の専門的なトレーニングおよび 3 日間の実践的な技術的アドバイズと、ベース プラットフォームおよびドメイン特定型プラットフォーム レベルをターゲットとした多様な製品によってお客様のデザインをサポートします。

## ターゲット デザイン プラットフォームの実用例

### 例：Spartan-3A DSP FPGA ビデオ スタータ キット

ザイリンクスは、Spartan-3A DSP FPGA およびビデオ スタータ キットの作成により、ターゲット デザイン プラットフォームのコンセプトの一部に対するテストに成功しました。Spartan-3A DSP FPGA ビデオ スタータ キットは、Spartan-3A DSP 3400A FPGA およびベース IP を含むベース プラットフォームを基にして構築されています。ザイリンクスはこれに FMC ビデオ I/O ドータ カード、CMOS カメラ モジュールと、エンベデッド 開発キット および System Generator for DSP の 1 年間の使用資格を含むザイリンクス 開発ツールの包括的なセットを追加しました。開発時間を短縮するため、ユーザーによるビデオ パイプライン ブロックの追加を迅速かつ容易にするためにカスタマイズ可能なビデオ リファレンス デザインが、エンベデッド デザインの枠組みに基づいて構築されています。設計を開始する時点で一連のリファレンス デザインを使用することで、ユーザーは数時間内にカスタマイズしたビデオ デザインを作成できます。さらに、関連する IP およびリファレンス デザインを含む広範囲に及ぶザイリンクス ライブラリを使用し、キットに含まれる基本的なリファレンス デザインの枠組みにこれらを含めることで、開発をより迅速化できます。

この手法は Spartan-6 および Virtex-6 FPGA を含むすべての新しい製品ファミリに適用され、ターゲット デザイン プラットフォームの価値を実証します。ユーザーはハードウェア ボードや基本的なデザイン および枠組みの作成から設計を開始する必要がなく、特定のアプリケーションに専念することができます。

## まとめ

今日、開発チームが真に機動的となるには、短い開発サイクル、厳しい予算、容赦なく複雑になり続ける製品および技術に対応するための新しい手法が必要です。Virtex-6 および Spartan-6 ファミリと、新しいターゲット デザイン プラットフォーム ストラテジの同時発表は、プログラマブル時代での必須事項を追求するお客様に対し、長期にわたってより良いサポートを継続するというザイリンクスからのコミットメントであり、重要な方針となっています。

## 改定履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2009/02/02	1.0	初版リリース

## Notice of Disclaimer

The information disclosed to you hereunder (the "Information") is provided "AS-IS" with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.