



WP373 (v1.0) 2010 年 6 月 21 日

## 新しい 3 つの 28nm FPGA ファミリ - Virtex-7、Kintex-7、Artix-7 - さらなる低消費電力、高性能、設計生産性を実現

著者： Brent Przybus

新しい 3 つのザイリンクス FPGA ファミリは、TSMC 社の 28nm High-k メタルゲート (HKMG)、HPL プロセステクノロジーを採用し、これまでにない低消費電力、高性能、集積度を実現しています。アーキテクチャ構造が統一された業界初のシリコンとなるこれらのファミリは、次世代システムに向けた包括的なプラットフォーム基盤となります。

今回、ザイリンクスは TSMC 社の 28nm HKMG プロセステクノロジーの優れた消費電力と性能の恩恵を受け、シリコンおよびソフトウェアレベルで革新的な改良を加えた結果、システム電力、性能、容量、コストすべてにおいて非常に優れた 7 シリーズ FPGA (Virtex®-7、Kintex™-7、Artix™-7) を開発できました。すでに効果が立証されているコスト削減ソリューションの EasyPath™ テクノロジーも活用することで、これらの新ファミリは、次世代システム設計者に大きな利益をもたらします。

約 2 年に 1 度のペースで新たなプロセス ノードの FPGA が誕生しているのに伴い、その性能、容量、消費電力は大幅に改善されています。ザイリンクスは 2008 年に、1 Tb/s を越えるアグリゲート バンド幅をサポートする 11.13Gb/s のトランシーバと最大動作周波数が 600MHz の DSP スライスを 2,016 個搭載した Virtex-6 FPGA を発表しました。最も大規模な Virtex-6 デバイスは 760,000 ロジックセルを備え、ASIC プロトタイピング システムやエミュレーション アプリケーションを開発する FPGA カスタマに最適な製品となっています。また、Virtex-6 FPGA は電圧調整をサポートする最初のザイリンクス製品ファミリでもあり、前世代の 65nm 製品よりも総消費電力が 55% 削減されていました。

## プログラマブル インペラティブに対応

2009 年上半期ザイリンクスは、低電力化という不変の要件と高いバンド幅（つまり、高いシステム レベル パフォーマンス）を同時に満たすという電子産業が直面している課題に対応するプラットフォーム 戦略（プログラマブル インペラティブ）を発表しました。これにより、性能とコストのトレードオフを調整する新しいオプションを提供し、革新や差別化を犠牲にすることなく生産性を高めることが可能になります。

ザイリンクスの 7 シリーズ FPGA は、まさにこのような課題に対応するソリューションであり、3 つのファミリは前世代ファミリと比較して消費電力が 50% 削減可能です。このように、7 シリーズファミリでは消費電力を大幅に削減できるため、その分システム レベル パフォーマンスを向上させることに成功し、ロジック集積度、I/O バンド幅、信号処理における新たなベンチマークを確立しました。<sup>(1)</sup> また、7 シリーズ FPGA では、かつてない優れたコスト効率も期待できます。Kintex-7 FPGA は、これまで ASIC や ASSP がターゲットとしてきたコストとパフォーマンスを重視するアプリケーションに最適です。Artix-7 FPGA は、コスト重視の量産製品や携帯型アプリケーションに最適です（図 1 参照）。

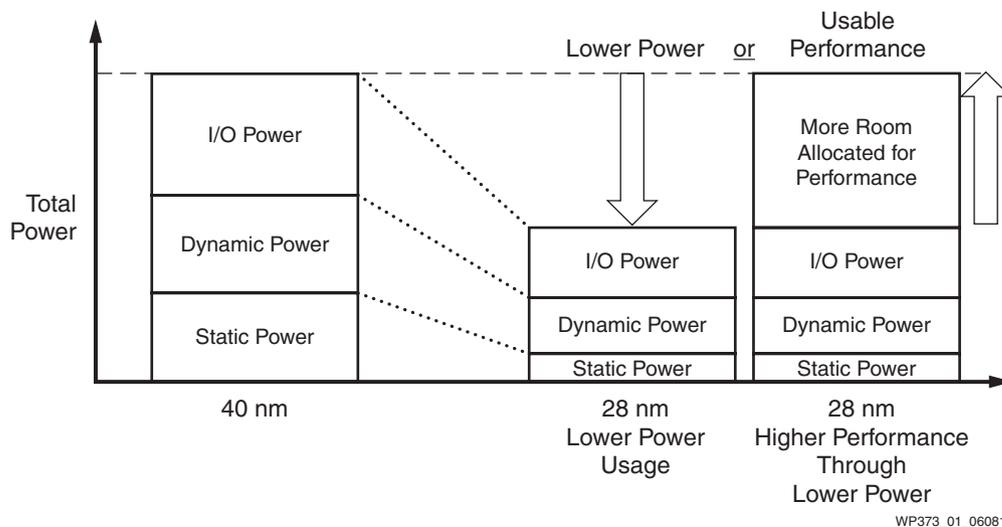


図 1: システム パフォーマンス、容量、コスト、消費電力に最適化されたデバイス

これらの 3 つの 7 シリーズ FPGA ファミリは統一されたアーキテクチャ構造を採用しているため、いずれかのプラットフォームで設計したデザインを別のプラットフォームへ移行する際に再設計が必要ありません。この優れた移行性によって、コスト重視のシステムを高性能あるいは高集積デバイスへ拡張できます。同様に、Virtex-7 FPGA デザインから Kintex-7 や Artix-7 FPGA へ移行することによって、高性能システムを低コストバージョンに容易に改良できます。

1. 28nm の 7 シリーズ FPGA は、最大でロジックセル数が 2 倍以上の 200 万個、I/O バンド幅が 2.4Tb/s、DSP パフォーマンスが 4,752 GMAC（非対称モードの場合は 2,376 GMAC）です。

## 統一された FPGA プラットフォーム アーキテクチャ

新世代 FPGA ファミリは、より優れた性能と容量を備えているため、複雑で高い要件を求めるカスタマ デザインに対応できます。しかしながら、カスタマはリスク削減や設計時間短縮を図るため、レガシライブラリからの IP やサードパーティ IP に大きく依存するようになってきました。その結果、異なる FPGA ファミリへそれらの IP を移植する必要がある場合に、すべての既存 IP を実際に再設計する必要が生じています。

7 シリーズ FPGA は、3 つのファミリすべてに共通したアーキテクチャ構造を採用していることがその特徴です。このアーキテクチャでは、ロジック ファブリック (CLB および配線)、ブロック RAM、DSP スライス、クロッキング テクノロジーなどを含む 4 世代目となる ASMBL™ アーキテクチャを用いた構築ブロックが使用されています。次にこのアーキテクチャについて詳しく説明し、共通のアーキテクチャがもたらす利点を解説します。

- ロジック セル – FPGA のファブリックです。7 シリーズのロジック セルは、Virtex-6 FPGA で使用されているロジック セルと実質的には同じであり、Spartan-6 FPGA のロジック セルとも多くの共通点があります。これらの FPGA はすべて同じルックアップ テーブル構造 (6-LUT)、制御ロジック、イネーブル信号、および出力を使用します。ロジック セルは 3 つのモード (分散 LUT RAM、シリアルシフトレジスタ、LUT) で機能します。
- ブロック RAM – 7 シリーズのブロック RAM は、オプションで内蔵 FIFO ロジック (Virtex-6 FPGA デザインに基づく) を使用する 18K/36K をサポートしています。また、Virtex-6 や Spartan-6 と同じデータ、制御、クロック入力を備えたシングルポートおよび完全なデュアルポート機能をサポートしています。
- クロッキング構造 – クロック生成 (MMCM) とクロック分配 (多様なクロック バッファ) 機能を含むクロッキング構造は、Virtex-6 デバイスと同じです。
- SelectIO™ インターフェイス – ChipSync™ テクノロジーによる SelectIO インターフェイスは、新しい I/O 規格に対応した高速動作が可能です。一方、FPGA ロジックとこれらの I/O 間のインターフェイス、ビット単位のスキュー調整、制御に関しては、従来 FPGA と基本的に同じです。また、これらの新しいファミリは、最先端の 1.6G LVDS および 2,133Mb/s の DDR3 メモリ インターフェイスをサポートしています。
- DSP – 7 シリーズの DSP スライスは、前置加算器や乗算 / 累算器エンジンを構築するための 25 x 18 シストリック エレメントを提供し、これらのエンジンは前世代 FPGA と同様の制御信号で制御されます。また、Virtex-6 デバイスと同じ低レイテンシ パイプライン段を含み、このデバイスの DSP スライスと同じパターン検出機能をサポートしています。
- トランシーバ – GTP、GTX、および GTH トランシーバは、より高いレートをサポートできますが、Virtex-6 や Spartan-6 デバイスと同じ PCS/PMA インターフェイス、制御、およびクロッキング入力を使用しています。
- アナログ フロント エンド – タグ付きのアナログ / デジタル変換器 (XADC) は、前世代 Virtex デバイスのシステム モニタ機能を拡張したものです。7 シリーズ FPGA には、システム モニタに高性能 A/D 変換器を組み合わせた機能が内蔵されています。
- セキュリティ – 256 ビットの AES コーディング構造をさらに強化した暗号ブロックによって、保護されたビットストリームをロードできます。暗号キーの格納場所は、Virtex-6 デバイスと同じです (取り外し不可のデバイス内 eFUSE またはバッテリー電源のメモリ セル)。
- PCI Express® – PCI Express 用の統合ブロックは基本的に変わらず、従来デバイスと同じ制御、データ、クロッキング入力を使用しています。PCIe Gen1、Gen2、および Gen3 をサポートしています。
- コスト削減 – ザイリンクスの EasyPath テクノロジーアーキテクチャは、スムーズな開発をサポートし、FPGA 業界においてコスト削減をリスクなしで実現する唯一のソリューションです。新たに誕生した EasyPath-7 FPGA は、Virtex-7 デバイスの機能をすべてサポートします。

従来、FPGA ファミリ間でデザインを移行する場合には、これらのエレメントへのデータ、制御、クロッキングなどの入力の変更されると IP はそれまでのように機能しなくなっていました。このため、開発者はデータシート、インスタンスシート テンプレート、あるいはユーザー ガイドを参照して IP が正常に機能するように修正する必要がありました。そして、修正後には IP を再合成、再テスト、および再検証しなければなりません。

7 シリーズ FPGA ファミリのエレメントはすべて統一されているため、IP は予想どおりに動作するエレメント内にある同じデータ入力、制御入力、およびクロック入力を使用できます。この優れた移行性

によって、IP の利用 / 再利用が容易になり、豊富な IP レポジトリを保有する企業やサードパーティの IP 開発者へ大きなメリットをもたらし、拡張性の高いアプリケーション開発を促進します。  
 この統一アーキテクチャのほとんどは、Virtex-6 アーキテクチャの基本的な構築ブロックから取り入れているため、Virtex-6 FPGA デザインを 7 シリーズ FPGA へ移行する場合でも、わずかな時間で可能となります。  
 新しい 7 シリーズ FPGA ファミリは、消費電力、性能、コスト、集積度において、かつてない範囲をサポートし、新たなマーケットやアプリケーションに対応できます (表 1 参照)。

表 1: 製品ハイライト

デバイス	説明	マーケット
Virtex-7	最も高い性能と容量を備えた FPGA	400G ブリッジング / スイッチ ファブリック、高性能レーダー システム、高性能演算システムなどのワイヤード、ワイヤレス、およびテスト & メジャメント (T&M) アプリケーションに最適です。
	前世代 Virtex デバイスより 50% 消費電力が削減	
	最大ロジック セル数は 200 万個	
	双方向シリアル バンド幅は最大 1.9 Tb/s、最大トランシーバ数は 80 個	
	13.1 Gb/s で最大 72 個のトランシーバ	
	13.1 Gb/s で最大 24 個のトランシーバ、10.3 Gb/s で最大 56 個のトランシーバ	
	3.3V および 1.8V が可能な I/O	
	最大 1,200 個の SelectIO インターフェイス ピンにより、2,133Mb/s に対応する 72 ビット DDR3 メモリのパラレルバンクを最も多く提供	
	ロジック セルに対する DSP 数が最も多い - 最大 3,960 個の DSP を使用して 4,752 GMAC が可能 (非対称モードの場合は 2,376GMAC)	
ロジック セルに対するブロック RAM 数が最も多い (最大 65Mb)		
Kintex-7	業界で最も対価格パフォーマンスが高い FPGA	量産用の 10G 光有線通信装置、LTE ワイヤレス ネットワーク、次世代高精細 3D 薄型ディスプレイ、ビデオ オンデマンド システムなど、ワイヤレス、産業、医療、放送、および高信頼性アプリケーションに最適です。
	前世代 Virtex デバイスより 50% 消費電力が削減	
	Virtex-6 FPGA と比較して価格が半分	
	最大 16 個の高速 (10.3 Gb/s) シリアル トランシーバ	
	3.3V が可能な I/O	
Artix-7	最も消費電力が低く、最も低コストで、小型フォームファクタの FPGA	バッテリー原電の小型超音波装置、量産用デジタル カメラ レンズ制御、軍用アビオニクス、通信装置など、民生機器、車載、および量産アプリケーションに最適です。
	前世代 Spartan デバイスより、静止電力が 65% 削減し、総電力が 50% 削減	
	Spartan デバイスより 35% 低コスト	
	最大 4 個の 3.75 Gb/s シリアル トランシーバ	
	3.3V が可能な I/O	
	Spartan-6 の同集積度デバイスと比較してパッケージサイズが半分	

## 7 シリーズ ファミリの詳細

### Virtex-7 デバイス

新しい Virtex-7 ファミリーは業界で最も高い集積度を持ち、Virtex-6 デバイスの 2 倍のシステム パフォーマンスを提供します。高性能デザインに最適で、7 シリーズの中で最も大規模なデバイスである Virtex-7 は、200 万個のロジック セルを備えています。これは、その他の FPGA の約 2.5 倍の容量でシステム パフォーマンスも同様に高くなることを意味しています。

システム パフォーマンスは、デバイス内外でデータを送信する I/O バンド幅、低レイテンシでの処理性能、動作中にアップデートされる係数格納用のオンチップ ストレージ、データ格納用の高速オフチップ メモリをサポートする I/O、などの組み合わせによって異なります。超高性能 Virtex-7 ファミリーは、これらすべての条件を満たすため、厳しい要件が求められるアプリケーションでも高いシステム パフォーマンスを実現できます。

高いシステム パフォーマンスをもたらす上に、Virtex-7 ファミリーは複数レベルのロジック パスで重要な周波数をサポートするため、特定のエンドマーケットにおいて高い要件が求められるアプリケーションに対応可能です。

- 次世代ワイヤレス アプリケーション用、491MHz
- ワイヤード アプリケーション用、334MHz
- 放送機器アプリケーション用、148.5MHz
- 航空宇宙および高信頼性製品用、500MHz 以上

業界をリードする豊富な要素を備えた Virtex-7 ファミリーを使用することで、複数チップ デザインを単一チップへ容易にインプリメントできます。これにより、コスト、消費電力、性能の優れた効果を得ることができます。7 シリーズの詳細は、[DS180](#) を参照してください。

### Kintex-7 デバイス

Kintex-7 ファミリーは、対価格のパフォーマンスにおいて新しいレベルを実現した FPGA であり、低コスト、低電力、高性能のアプリケーションをターゲットとする ASSP や ASIC に代わるデバイスとなります。このファミリーは、相当な市場獲得および以前の FPGA では叶えられなかったマーケットやアプリケーションの成長を促す可能性を持っています。

Kintex-7 デバイスは、Virtex-6 LXT デバイスの半分の価格で同レベルのパフォーマンスを提供します。この価格とパフォーマンスのバランスを実現させるため、ザイリンクスはアーキテクチャにいくつかの改良を加えました。1 つ目としては、コラムベースの ASMBL (Virtex-4 FPGA で導入) を採用することで、低コストで理想的な機能の組み合わせを Kintex-7 に搭載しました。

2 つ目には、28nm を採用したことによって、ダイ サイズが小型化し、同じ総コストでもより多くのコンポーネントを含むパッケージングが実現しました。ベアダイ フリップチップなどの革新的なパッケージングを利用することによって、デバイス コストを大幅に削減しながらパフォーマンス要件を満たすことが可能となっています。

最後に 3 つ目として、Kintex-7 ファミリーはバンド幅に対する要件を満たすため、トランシーバ テクノロジーとパッケージングに独自の組み合わせを取り入れています。たとえば、高性能トランシーバ テクノロジーは高性能パッケージングと組み合わせ、中レベルのトランシーバ テクノロジーは低価格パッケージングを組み合わせます。したがって、Kintex-7 デバイスは最も低い価格で高いシグナル インテグリティを提供します。このようにマーケットに応じたリソースを最適コストのパッケージと組み合わせることによって、コスト効率の高い最高性能アプリケーションを実現する FPGA が誕生しました。7 シリーズの詳細は、[DS180](#) を参照してください。

### Artix-7 デバイス

Artix-7 FPGA は、Virtex シリーズのアーキテクチャおよび配線に改良を加えた結果、優れたパフォーマンス (Spartan-6 より 20% 向上) を提供できる一方、前世代 Spartan-6 FPGA と比較して消費電力を 50% 削減し、コストを 35% 削減できます。このため、低コストかつ低消費電力を要求する量産アプリケーションのニーズに対応できます。また、Artix-7 FPGA は 3.3V の I/O でレガシ コンポーネントとのインターフェイスが可能で、最大 3.75Gb/s のシリアル I/O ライン レートをサポートします。デバイスのパッケージは、最も小型のフォーム ファクタの 0.5mm ボール スペース チップスケール パッケージングから、低コスト PCB の 1.0mm ボール スペース BGA パッケージングまで、多様なワイヤー ボンド パッケージ タイプが提供されています。つまり、Artix-7 FPGA は、業界で最も低コストで小型のフォーム ファクタの FPGA を提供します。7 シリーズの詳細は、[DS180](#) を参照してください。

## 次世代ターゲット デザイン プラットフォームのシリコン基盤

システム設計者にとって、プログラマブル インペラティブとは、さらに低いコストでさらに小型のフォームファクタに収めることを常に目指しながら、少ない電力で高い性能を、あるいは短時間で多くの機能と差別化を実現するための絶え間ない挑戦です。ザイリンクスは、このプログラマブル インペラティブを、設計者にこれらの目標を達成させるためのチャンスと捉え、次の 2 つの責任に基づいてカスタマをサポートします。

- 価格、消費電力、性能、集積度、機能、プログラマビリティなどの FPGA を評価する主要素において業界をリードする価値を提供するため、プロセス テクノロジーの進化と共にプログラマブル シリコンを革新し続ける
- FPGA を使用した世界レベルのソリューションを幅広い業界で構築するため、シンプルで効果的なデザイン プラットフォームをカスタマへ提供する (ザイリンクスでは、ターゲット デザイン プラットフォームと呼ぶ)

ザイリンクスのターゲット デザイン プラットフォームには、シリコン、開発ツール、IP、ボード、およびターゲット リファレンス デザインが含まれており、設計者はこれを使用することによって、低リスク低コストで効率的に差別化された新製品を市場へ逸早く投入することが可能になります。

### 簡素化されたデザイン

7 シリーズ FPGA ファミリーが採用している統合アーキテクチャは、RTL や IP の移行性に優れていることが特徴です。すべての 7 シリーズ FPGA は、下位レベルの構築ブロックが同一アーキテクチャで構成されているため、設計者はデザインを修正することなく、手動コーディングされた RTL をこれらのデバイスのブロック インスタンスエーション (メモリ、DSP ブロック、またはロジック エlement) へ接続できます。このため、時間のかかる最適化作業を再度実行する必要がなくなります。また、次の 3 つの機能を備えた ISE® Design Suite は、よりシンプルで確実、かつ効率の良い設計プロセスをサポートします。

- デザインの保持 – 最適化の実行時、タイミング クロージャや前回の結果を保持させたい場合に、デザイン内で指定した階層レベルを固定できます。
- パーシャル リコンフィギュレーション – 動作中の FPGA デザインを部分的に変更でき、高性能アプリケーションをできるだけ小規模なデバイスに設計することによって、システム コストや消費電力を大幅に削減できます。
- AMBA® アドバンスド エクステンシブル インターフェイス (AXI-4) – この新しいインターフェイス規格 (ARM と共同開発) によって、プラグアンドプレイ IP が可能になりました。高性能のポイント間チャンネル アーキテクチャを採用する新しいインターフェイスは、チャンネル トラフィックを緩和し、複数の優れたメモリ マップ トランザクション機能によってデータ処理量を最大化し、また高速 I/O のバースト サイズを無制限にするストリーミング インターフェイスを提供します。

さらに、ISE ソフトウェアは 7 シリーズ FPGA に対してデフォルトでマルチコア プロセッサを使用するため、ランタイムを短縮できます。

### プラグアンドプレイ IP

7 シリーズ FPGA の中で最高集積度のデバイスには 200 万ロジック セルが含まれているため、ユーザーは大規模で複雑なデザインをできるだけスムーズにこれらの FPGA へ設計する必要があり、また従来デザインやサードパーティ IP を再利用するという大きなタスクに直面します。幅広いマーケットおよびアプリケーションの多様な IP コアに対するユーザーの要求に応えるため、ザイリンクスは ISE Design Suite 12 でプラグアンドプレイ IP を導入し、IP の開発や配置を行うための標準的なインターフェイス アーキテクチャとツール フローを採用するオープンでスケーラブルな基礎構造を提供しています。

プラグアンドプレイ IP は、複数メーカーの IP を多数利用しているシステム レベル デザインに関して、増加するユーザーの要求にザイリンクスが応えた結果として誕生しました。プラグアンドプレイ IP は、異なるインターコネクト規格を持つ IP を使用する必要のある設計者の負担を軽減します。7 シリーズ FPGA では、アーキテクチャがすべて統一されていることでデザインの移行が容易になっただけでなく、プラグアンドプレイ IP によって、より大規模なデザインでも設計時間が大幅に短縮されます。

## まとめ

ザイリンクスが開発した 7 シリーズ FPGA は、TSMC 社の 28 nm HKMG HPL プロセスを採用して消費電力を抑えることに成功し、性能、コスト、集積度において新たな業界レベルを築きました。この 7 シリーズ FPGA はすべて、統一アーキテクチャを採用するという業界初のデバイス ファミリであるため、デザインの移行性、拡張性、生産性において圧倒的な優位性を実現します。

また、7 シリーズ FPGA のアーキテクチャ エLEMENT は、Virtex ファミリのELEMENT に基づいているため、3 つのファミリ間におけるデザイン移行が容易なだけでなく、Virtex-6 や Spartan-6 デバイスから 7 シリーズ FPGA デバイスへの移行も容易です。さらに、注意深い配慮が必要ではありますが、Virtex-6 や Spartan-6 デバイスで開発した IP を Virtex-7、Kintex-7、および Artix-7 ファミリへ移行することも可能です。

ザイリンクスの 7 シリーズ FPGA の詳細およびこれらのファミリがターゲットとするアプリケーションについては、[Xilinx.com/7](http://Xilinx.com/7) を参照してください。このホワイトペーパーに記載されているガイドラインを参考に、7 シリーズ ファミリやそれ以降のデバイスへアップグレードする際に有効となる Virtex-6 や Spartan-6 デバイスでの IP およびアプリケーション構築を始めてください。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2010/06/21	1.0	初版リリース

## Notice of Disclaimer

The information disclosed to you hereunder (the “Information”) is provided “AS-IS” with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。