



WP380 (v1.0) 2010 年 10 月 27 日

ザイリンクスのスタックド シリコン インターコネクト テクノロジーで飛躍的な FPGA 容量、帯域幅、電力効率を実現

著者 : Patrick Dorsey

プログラマブル インペラティブ (プログラマビリティの必然) とは、最小のコストで最大の成果を達成すると同時に、可能な限りリスクを低減し、プログラマブルなハードウェア デザイン プラットフォームを使用して差別化された製品を迅速に市場に送り出すという絶対的な必要性です。そして、これには現在 ASIC や ASSP で実装されているシステムレベルの機能を実現する、大容量、低電力、高い帯域幅の FPGA ベースのソリューションが求められます。

ザイリンクスは、プログラマブル インペラティブに求められる重要な 2 つの要件を実現する FPGA の設計と製造を行うための革新的なアプローチを開発しました。それがスタックド インターコネクト テクノロジーです。これは、ムーアの法則の限界を打ち破り、最も厳しいデザイン要件に応える性能を実現する新世代 FPGA の基盤です。このテクノロジーにより、量産要件に対応するだけの最大規模のザイリンクス FPGA をお客様に提供するまでに必要となる時間も短縮されます。このホワイト ペーパーでは、スタックド インターコネクト テクノロジーの開発に至るまでの技術的および経済的な課題と、その実現を可能にしたイノベーションについて説明します。

概要

システム デザインにおける FPGA の役割が重要さを増すに伴って、デザインの大規模化と複雑化が進み、より多くのロジック容量とオンチップ リソースが必要となっています。これまで FPGA は、多分にムーアの法則に依存しており、製造プロセスが 1 世代進むごとにロジック容量はほぼ 2 倍となってきました。しかし、今日のハイエンド市場での需要に追いつくには、ムーアの法則を超える容量が求められます。

FPGA テクノロジーを積極的に採用しているカスタマは、FPGA の世代が進むごとに最大容量、最大帯域幅のデバイスを使用しようとします。しかし、製品ライフサイクルの初期に大規模 FPGA を構築する場合、本格的な量産に必要な量のデバイスが供給できない可能性があります。これは、再プログラムを可能としている回路のオーバーヘッドにより、大規模 FPGA ほど製造は難しく、ひいてはその供給に影響を及ぼすためです。新しいプロセス ノード製品の初期には、不良の発生率が高く、ダイのサイズが大きくなるにつれて歩留まりが大幅に低下します。製造プロセスが安定すると、このような不良の発生率は低くなり、大きなダイであってもその製造率は大幅に向上します。

したがって、製造初期には大規模 FPGA の供給が不足することがありますが、時間の経過に伴いエンドカスタマの需要を満たす数量が出荷できるようになります。プログラマブル指令に対応して、最先端のカスタマからは、製造開始からできるだけ早い時期に、大規模 FPGA の量産要求を満たす方法を検討してほしいという要望が上がっていました。

たとえば通信市場では、高度なデータ処理とトラフィック管理のために、増大するインターコネクトロジックとブロック RAM を備え、多数のシリアル トランシーバを内蔵しながらも、現在のフォームファクタと消費電力の範囲内で動作する FPGA が必要とされています。製品をいち早く市場に投入することによるメリットを得るために、機器メーカーは新製品の量産体制をできるだけ早く整えようとしています。

ザイリックスは、最大の FPGA ダイに匹敵するまたはそれ以上の帯域幅と容量を備え、小さなダイの持つ製造の容易さとタイム トゥ マーケットの短さというメリットをすべて活かして量産を加速する FPGA を構築する、革新的なアプローチでこれらの要望に応えます。そして、これを実現するのがスタックド シリコン インターコネクト テクノロジーです。これは、マイクロバンプとシリコン貫通ビア (TSV) を備えたシリコン インターポーザを使用して、製造性に優れた複数の FPGA ダイ スライスを単一パッケージにまとめたものです。

複数 FPGA のインターコネクトにおける課題

スタックド シリコン インターコネクト テクノロジーは、2 つ以上の FPGA のロジックをインターコネクトしてより大規模な「仮想 FPGA」を作成し、複雑なデザインをインプリメントしようとする場合に問題となる次のような課題を解決します。

- 分割されたデザインの場合、FPGA 間でやりとりしなければならない複雑な信号ネットワークの接続や、FPGA とシステムのほかの部分との接続に使用できる I/O の数が不十分である。
- FPGA 間信号のレイテンシにより、パフォーマンスが制限される。
- 標準のデバイス I/O で複数の FPGA 間に論理的接続を作成すると、消費電力が増加する。

重要な課題：コネクティビティと帯域幅の制限

システムオンチップ (SoC) デザインは、複数のバス、複雑なクロック分配ネットワーク、多数の制御信号から成る複雑なワイヤネットワークによって、何百万ものゲートを接続して構成されています。複数 FPGA にまたがる SoC デザインを分割するには、十分な数の I/O を用意し、FPGA 間をブリッジするネットワークをインプリメントする必要があります。利用可能なピン数の最も多い FPGA パッケージを使用したとしても、1,024 ビットもの幅のバスを含む SoC デザインの場合、データバッファリングを始めとしたデザイン最適化を行う必要があります。高性能バスやその他のクリティカルバスに必要な 1 対 1 の接続を数千個もインプリメントするために効率の低下につながります。

限られた I/O 数で対応するには、パッケージング技術が重要な鍵の 1 つとなります。現時点で最大のパッケージには約 1,200 本の I/O ピンがありますが、必要な I/O 数にはまったく足りません。

新しいプロセス ノードごとにインターコネクトロジックリソースは増加しますが、I/O リソースはそれと同じペースでは増加しないため、ダイレベルの I/O テクノロジには別の限界が生じます。FPGA 中心部のプログラマブルなロジックリソースを構成するトランジスタに比べ、デバイス I/O を構成するトランジスタは、電流を供給し、チップ間 I/O の規格に必要な電圧耐性を備えなければならないためにはるかに大きなものになります。したがって、ダイ上の標準 I/O 数を増やしても、複数の FPGA ダイを接続するための有効な解決策とはなりません。

重要な課題：レイテンシの増加

複数の FPGA を使用するデザインにおけるもう 1 つの課題は、レイテンシの増加です。標準デバイス I/O を使用する場合、複数の FPGA を接続したデザインでは pin-to-pin 遅延が避けられず、回路全体のパフォーマンスが低下します。さらに、標準 I/O に対して時分割多重 (TDM) 方式を用い、各 I/O で複数の信号を伝送させることで仮想ピンの数を増やすと、レイテンシがさらに増大し、I/O 速度は 4 ~ 32 倍またはそれ以上に低下します。このような速度低下は ASIC のプロトタイピングやエミュレーションでは許容されても、多くの場合、最終製品には適しません。

重要な課題：電力ペナルティ

TDM 方式を使用することで消費電力も増大します。複数の FPGA 間にある PCB トレース全体にわたって、数百ものパッケージ間接続を行う場合、単一ダイのロジック ネットを接続する場合と比べて、標準デバイス I/O ピンで消費される電力が大きくなります。

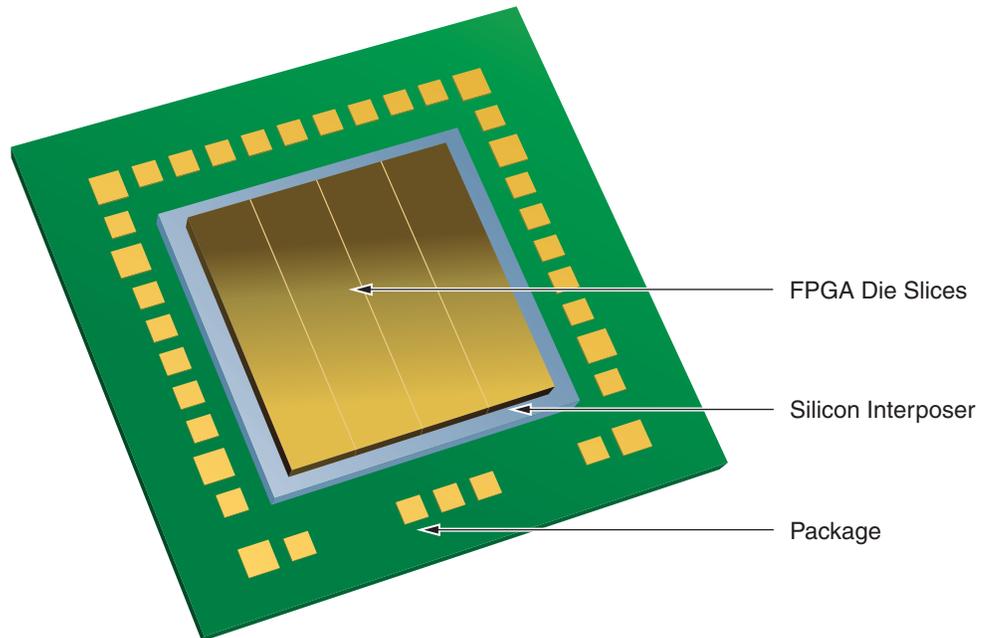
マルチチップモジュール (MCM) テクノロジも同様で、複数の FPGA ダイを単一パッケージに統合することでフォームファクタが低減するメリットを得られる可能性があります。ただし、MCM を使用した場合も、I/O 数の限界、望ましくないレイテンシの発生、消費電力特性の低下といった問題が生じることになります。

ザイリンクスのスタックドシリコンインターコネクトテクノロジー

このような限界や問題に対応するために、ザイリンクスは大容量 FPGA の量産体制を整える新しいアプローチを開発しました。新たなソリューションでは、従来よりもはるかに多くの接続を提供することによって、複数ダイ間で高帯域幅のコネクティビティを実現します。これは極めて多くのインターコネクトロジックとオンチップリソースを単一パッケージに統合しながらも、複数の FPGA を使用したデザインよりもレイテンシおよび電力消費が大幅に削減します。

FPGA ファミリの集積度範囲うち、中程度のデバイスは使い勝手のよい製品群です。つまり、前世代の製品と比較して容量と帯域幅が大幅に改善されており、同じダイサイズでも、同一ファミリー内の最大デバイスよりも FPGA の製品ライフサイクルの早い時期に出荷可能です。したがって、これらのダイを組み合わせて単一のデバイスにすることで、最大のモノリシックデバイスと同じまたはそれ以上の容量と帯域幅を得られます。しかも、製造や量産までの時間が短いというメリットは小さなダイと変わりません。

ザイリンクスは、複数の実績あるテクノロジーを革新的な手法で適用することで、このようなソリューションの実現に至りました。シリコン貫通ビア (TSV) およびマイクロバンプテクノロジーをザイリンクスの革新的な ASMBL™ アーキテクチャと組み合わせることにより、プログラマブル指令への対応に必要な容量、性能、機能、そして電力特性を実現する新しいクラスの FPGA を提供します。図 1 に、4 枚の FPGA ダイスライス、シリコンインターポーザ、パッケージ基板を重ね合わせたダイの上面図を示します。ザイリンクスのスタックドシリコンインターコネクトテクノロジーにより、拡張された FPGA ダイスライスとパッシブシリコンインターポーザを組み合わせることでダイ間に数万の接続を備えたダイスタックを作成し、極めて低い消費電力、標準 I/O の 5 分の 1 のレイテンシで、超広域帯域幅のダイ間インターコネクトを実現します。



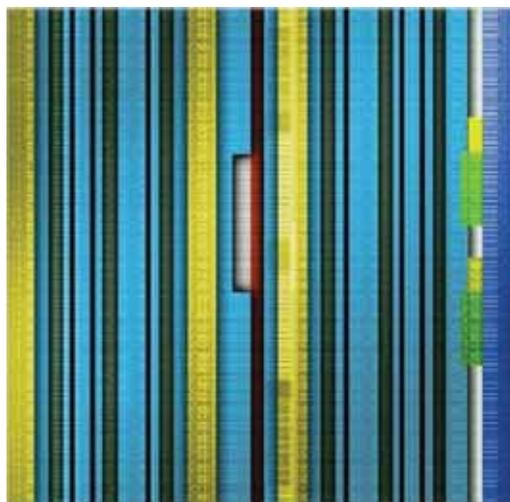
WP380_01_102010

図 1: スタックドシリコンインターコネクトテクノロジーを適用して作成したダイの上面図

本来、さまざまなダイスタック型のデザイン手法に使用するために開発されたシリコンインターポーザは、モジュールデザインの柔軟性と幅広いアプリケーションに適した高性能な統合を提供します。シリコンインターポーザはシリコン内の一種のマイクロ回路基板となります。その上には複数のダイが隣り合わせに並び、インターコネクトされています。このようなスタックドシリコンインターコネクトテクノロジーにより、複数の FPGA ダイを上下に重ね合わせることで生じる消費電力や信頼性の問題が回避されます。有機基材やセラミック基材に比べると、シリコンインターポーザにははるかに緻密なインターコネクト配置 (ワイヤピッチ密度で約 20 倍) が可能であり、10,000 を超えるダイ間接続を実装できるデバイススケールのインターコネクト階層を実現します。

スタックドシリコン実装のためのマイクロバンプを備えた FPGA ダイ スライスの作成

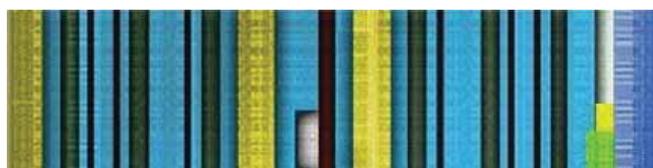
ザイリンクスのスタックドシリコンインターコネクトテクノロジーの基礎はザイリンクスが特許を所有する ASMBL アーキテクチャであり、コンフィギャブルロジックブロック (CLB)、ブロック RAM、DSP スライス、SelectIO™ インターフェイス、シリアルトランシーバなどの主要機能を実装する、タイル形状のザイリンクス FPGA 構築ブロックから成るモジュール構造をとります。ザイリンクスの技術者は各種タイルをカラム形式でブロック化し、カラムを組み合わせて FPGA を作成します。カラムの高さと配列を変えることで、ロジック、メモリ、DSP、I/O リソースの組み合わせが異なるさまざまな FPGA が作成されます (図 2)。また、FPGA に組み込まれた追加ブロックを使用して、クロック信号の生成や、デバイスをコンフィギュレーションするビットストリームデータで SRAM セルのプログラミングを行い、エンドユーザーが希望する機能を実装します。



WP380_02_102210

図 2: ASMBL アーキテクチャの FPGA チップ

基本的な ASMBL アーキテクチャ構成を起点として、ザイリンクスはスタックドシリコンの実装を可能とする 3 つの点を改善しました (図 3)。まず、各ダイスライスはそれぞれのクロックとコンフィギュレーション信号を受信します。次に、配線アーキテクチャが変更され、従来接続されていたパラレルおよびシリアル I/O 回路をバイパスして、ダイ表面の保護膜から FPGA のロジックアレイ内の配線リソースへの直接接続が可能になりました。最後に、各スライスに追加処理が施され、ダイをシリコン基材に接着するマイクロバンプが形成されました。このようなイノベーションこそが、従来の I/O よりもはるかに多くの接続、大幅に低いレイテンシ、極めて低い消費電力を可能にするものです (標準 I/O と比較してワットあたりのダイ間の帯域幅が 100 倍)。

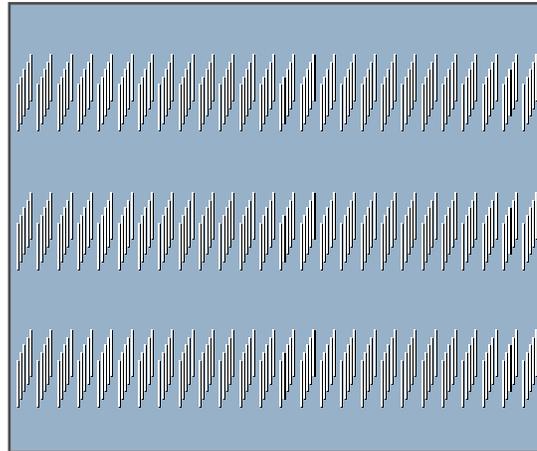


WP380_03_102010

図 3: スタックドシリコン実装に向けた FPGA ダイ スライスの最適化

TSV を備えたシリコン インターポーザ

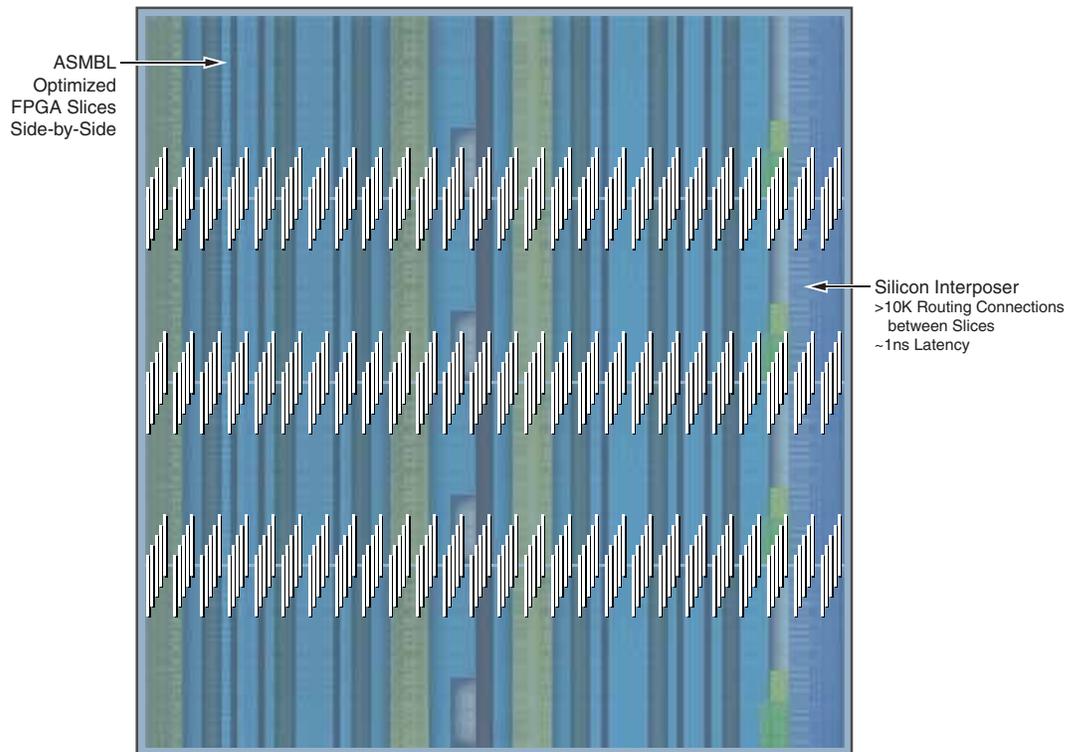
FPGA ダイのインターコネクトには、パッシブシリコンインターポーザを使用します。これは低リスク、高イールドの 65nm プロセスで製造され、複数の FPGA ダイのロジック領域を接続する数万のトレースを作り込む 4 層のメタル層を備えています (図 4)。



WP380_04_102010

図 4: パッシブシリコンインターポーザ

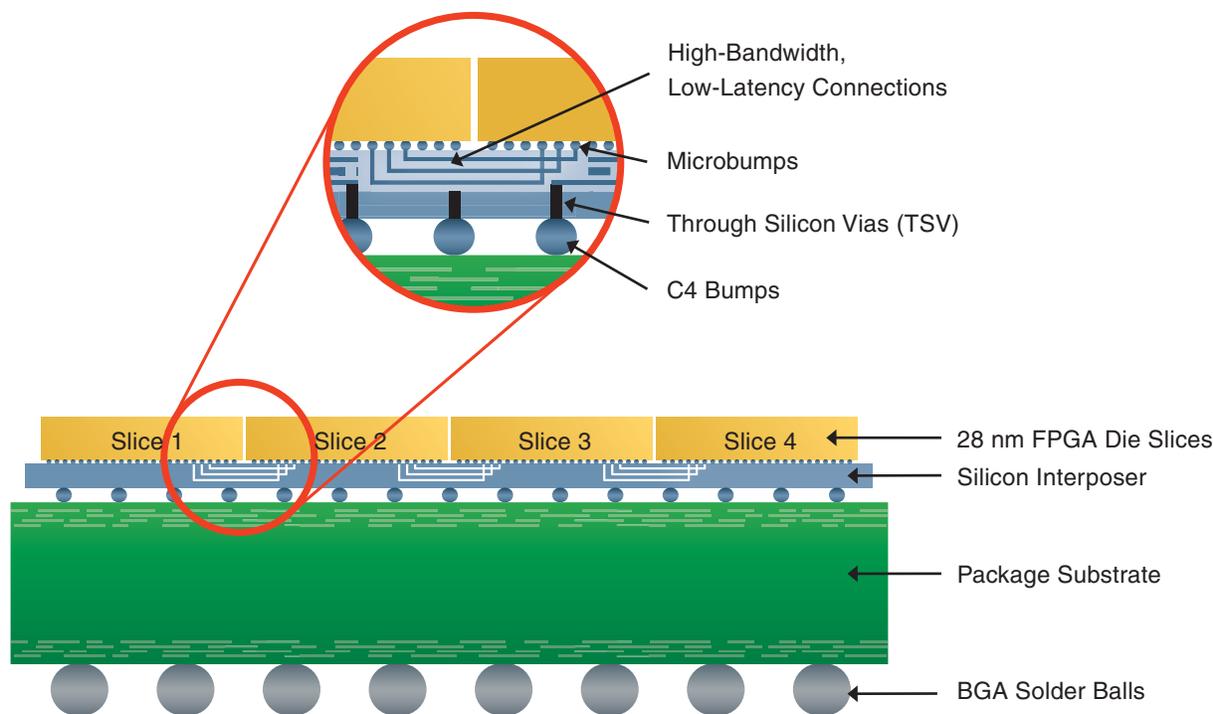
図 5 に、アセンブリされたダイスタックの「X 線図」を示します。これは、パッシブシリコンインターポーザ上に並べられた 4 つの FPGA ダイで構成されています (下から見た図)。インターポーザは透明にし、シリコンインターポーザ上のトレースで接続された FPGA ダイスライスが見えるようにしています (縮尺は正確ではありません)。



WP380_05_102010

図 5: アセンブリされたダイスタックの「X 線図」

C4 (Controlled-Collapse Chip Connection) 工法によるはんだバンプと TSV を組み合わせることで、フリップチップ実装方式で高性能パッケージ基材上に FPGA/ インターポーザを積み上げて実装することが可能になりました (図 6)。ピッチの広い TSV は、パラレル I/O およびシリアル I/O、電源/グラウンド、クロック供給、コンフィギュレーションなどの信号用にパッケージと FPGA 間の接続を提供します。



WP380_09_102010

図 6 : パッケージ基材

特許出願中の多数のイノベーションで構成されるこのスタックドシリコンインターコネクトテクノロジーは、10,000 を超えるデバイススケールの接続を通じて、最も複雑なマルチダイデザインにも十分対応できる数 Tb/s のダイ間帯域幅を提供します。ザイリンクスはこの新しいテクノロジーを活用して、200 万ロジックセル、65Mb のブロック RAM、2,375GMACS の DSP パフォーマンス (対称フィルタで 4,750GMACS)、1.6Gb/s LVDS パラレルインターフェイスをサポートする 1,200 の SelectIO ピン、合わせて 1,886Gb/s の双方向帯域幅を実現する 72 のシリアルトランシーバなど、これまで以上の機能を備える Virtex®-7 FPGA ファミリーを製造します。

スタックドシリコンインターコネクトテクノロジーの量産化

ザイリンクスは、スタックドシリコンインターコネクトテクノロジーを採用した FPGA の製造において、デザインの具現化や製造性と信頼性の検証に使用する広範囲なモデリングと、一連のテストデバイス (テストビークル) を作成することからその開発を展開しました。

ストレスシミュレーションモデルからは、スタックドシリコンインターコネクトテクノロジーにはほかにも利点があることがわかります。シリコンインターポーザがバッファとして働くことで、単一ダイによるソリューションに比べて低い誘電率でのストレスが小さくなり、C4 バンプの信頼性が向上します。

また、広範なシミュレーションでダイスタックの熱特性を検証した結果から、スタックドシリコンインターコネクトテクノロジーを使用したデバイスの熱性能はモノリシックデバイスと同等だということが明らかになりました。

ザイリンクスは業界最先端のサプライヤとの5年間にわたる研究開発と、一連のテストピークルを使用した広範なテストを完了し、スタックドシリコンインターコネクトテクノロジーを採用した最初のFPGAの量産に向け準備を進めています。これらのテストピークルはプロセスモジュールの開発と統合、信頼性評価、サプライチェーンの検証、デザインの具現化、インターポーザのKGD (Known Good Die) 保証方式、マイクロバンプのエレクトロマイグレーション (EM) 規制に対応しています。

テストピークルを用いて、次に対する信頼性テストを完了しています。

- パッケージおよびウェハレベルで1,000サイクルのTSV温度サイクルB評価、C4ボール、インターポーザのインターコネクト
- 1,000時間のマイクロバンプ接合部高温ストレージ評価
- マイクロバンプ接合部におけるエレクトロマイグレーションの発生確率は0.1%の累積分布関数 (CDF)

ザイリンクスは、スタックドシリコンインターコネクトテクノロジーを採用した業界初のFPGA製造に必要な、堅固なサプライチェーンを構築済みです。TSMC、Amkor、Ibidenの各社がそれぞれのリソースと経験を活かして28nm FPGAおよび65nmシリコンインターポーザ、インターコネクト層、マイクロバンプ、C4ボール、パッケージ基材の製造に携わると共に、ウェハ薄厚化、ダイ分離、チップオンチップ (CoC) の接合、パッケージアセンブリを行っています。

スタックドシリコンインターコネクトテクノロジーを使用したFPGAデザイン

スタックドシリコンインターコネクトテクノロジーを採用したザイリンクスのFPGAのもたらす重要なメリットの1つは、これをモノリシックデバイスのように扱える点です。複数のFPGAにまたがる大規模デザインを分割すると、モノリシックデバイスでインプリメントした場合には完全に回避できる複雑なデザイン上の課題が多く生じるため、このことは極めて重要です。

単一FPGAの一般的なデザインフローは、次のとおりです。

- ハイレベルの記述を作成する
- ハードウェアリソースに一致したRTL記述に合成する
- 物理的配置配線を行う
- タイミングを概算し、デザインを調整してタイミングクロージャを行う
- ビットストリームを生成してFPGAをプログラミングする

複数のFPGAを含むデザインの場合、設計者(またはデザインチーム)はFPGA全体用の1つのネットリストを分割する必要があります。複数のネットリストで作業を行うということは、それぞれが独自のデザインファイル、IPライブラリ、制約ファイル、パッケージ情報などを持つ複数のプロジェクトを開始し、管理するということです。

複数FPGAデザインのタイミングクロージャも達成しにくくなります。基板を経由したほかのFPGAへの伝搬遅延の計算と対処は、新たに複雑な問題を発生させます。同様に、いくつも分割されたネットリストを使用した複数FPGAによるデザインのデバッグも非常に複雑で難しくなります。

これに対して、スタックドシリコンインターコネクトテクノロジーを採用したFPGAを使用する場合には、設計者は単一のデザインプロジェクトを作成して管理します。スタックドシリコンインターコネクトテクノロジーの配線はユーザーからは透過的、つまり意識する必要はありません。ユーザーは標準のタイミングクロージャを行う手順で1つのデザインを構築し、デバッグします。

柔軟なデザイン フロー

ISE® Design Suite は Virtex-7 ファミリをサポートします。設計者は、スタックドシリコン インターコネクト テクノロジ採用の FPGA に対応した複数のデザインフローから、プッシュボタンフローまたはブロック ベース フローを選択して使用できます。前者は使いやすさに重点を置いたものであり、多くのデザインに適した FPGA パフォーマンスを提供します。このフローでは、インターコネクト数を最少とする (min-cut と呼びます) ロジック グループに分割する方法が自動的に検索され、ロジック グループの配線が円滑、かつ効率的に実行されます。

ブロック ベースのフローでは階層デザイン方式によって、チーム ベースのデザイン、インクリメンタルビルド、細かなパフォーマンス調整がサポートされます。このフローでは、フロアプランの最適化に PlanAhead™ デザイン ツールが使用されます。

アプリケーション

スタックドシリコン インターコネクト テクノロジを採用した Xilinx Virtex-7 FPGA は、モノリシック FPGA の限界を打ち破り、最も要件の厳しいアプリケーションにおいてもその価値を発揮します。たとえば、これらのデバイスは ASIC のプロトタイピングに最適であり、ASIC の代替製品としてプリプロダクションや初期量産に使用できます。300G のプロトコルブリッジや多重トランスポンダの実装などの次世代通信システムでは、数十個のシリアル トランシーバを搭載したデバイスにより、柔軟性に優れたモノリシック FPGA ソリューションが可能となり、複数の ASSP を置き換え、コストを 60%、消費電力を 50% 削減させることができます。また、科学、石油およびガス、金融、航空宇宙、防衛、通信、ネットワーク、生命科学分野に対応する、柔軟性と拡張性に優れ、カスタマイズされた高性能コンピューティング ソリューションも提供します。FPGA アーキテクチャが本来備える並列処理能力は、高スループット処理やソフトウェアの高速実行に理想的です。数多くの高速パラレル/シリアルコネクティビティ規格をサポートしているため、演算システムや通信システムを集約できます。航空宇宙および防衛の分野では、スタックドシリコン インターコネクト テクノロジ搭載の FPGA が備える多数のトランシーバと数千の DSP 処理エレメントにより、高度なレーダーを構築することが可能となります。

まとめ

ザイリンクスは、スタックドシリコン インターコネクト テクノロジを使用し、これまでにないダイ間帯域幅を持つ超大容量 FPGA を製造する唯一の FPGA メーカーとして、システム レベルのチップ実装という新しく、重要な領域に踏み出します。このテクノロジによってザイリンクスは、すべてのプロセス ノード製品において、量産までの期間を最短にしなが、最高のロジック集積度、帯域幅、オンチップ リソース備えるデバイスを提供していきます。

使いやすくと同時に、複数の設計者が協力してさらに高性能なデザインを作成できるようサポートするデザイン ツールを用いた柔軟な設計フローを活用することにより、スタックドシリコン インターコネクト テクノロジを採用した FPGA の設計が、複数の FPGA を用いる場合よりもはるかに容易になったことを実感していただけるでしょう。

改訂履歴

次の表に、この文書の改訂履歴を示します

日付	バージョン	改訂内容
2010/10/27	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the “Information”) is provided “AS-IS” with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

CRITICAL APPLICATIONS DISCLAIMER

XILINX PRODUCTS (INCLUDING HARDWARE, SOFTWARE AND/OR IP CORES) ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS IN LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, CLASS III MEDICAL DEVICES, NUCLEAR FACILITIES, APPLICATIONS RELATED TO THE DEPLOYMENT OF AIRBAGS, OR ANY OTHER APPLICATIONS THAT COULD LEAD TO DEATH, PERSONAL INJURY OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE (INDIVIDUALLY AND COLLECTIVELY, “CRITICAL APPLICATIONS”). FURTHERMORE, XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED FOR USE IN ANY APPLICATIONS THAT AFFECT CONTROL OF A VEHICLE OR AIRCRAFT, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR. CUSTOMER AGREES, PRIOR TO USING OR DISTRIBUTING ANY SYSTEMS THAT INCORPORATE XILINX PRODUCTS, TO THOROUGHLY TEST THE SAME FOR SAFETY PURPOSES. TO THE MAXIMUM EXTENT PERMITTED BY APPLICABLE LAW, CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN CRITICAL APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。