



WP398 (v1.0) 2011 年 8 月 15 日

アジャイル ミックスド シグナル テクノロジーを活用したアナログ設計

著者 : Anthony Collins

アナログ インターフェイスの設計に当たり、アナログ、デジタル、エンベデッド、そしてシステム設計者は数多くの課題に直面します。これらアナログ インターフェイスにはさまざまな要件が伴い、デザインの検証にはコストと時間がかかります。ザイリンクスのアジャイル ミックスド シグナル テクノロジーは、一般的なアナログ インターフェイスの要件に柔軟に対応し、カスタマイズする方法を提供します。このテクノロジーは、高い柔軟性を持つアナログ インターフェイス (XADC ブロック) ならびに 7 シリーズ FPGA および Zynq™-7000 エクステンシブル プロセッシング プラットフォーム (EPP) のプログラマブル ロジック機能を独自に組み合わせたものです。

はじめに

電子回路システムの多くには重要なアナログ機能が含まれます。たとえば産業オートメーションのアプリケーションでは、環境を監視および制御するセンサーを介してこのようなシステムを実社会と直接繋ぐ必要があります。通信インフラアプリケーションにおける温度環境や電力供給状況の監視など、動作環境を監視して完全に信頼性の高い操作を確実にするアプリケーションも考えられます。これに伴う課題は、A/D 変換前に実装しなければならないアナログ調整回路を設計することから、アナログおよびデジタル回路の実装を早期設計段階で検証するまでに至ります。コストの削減および短期間でのタイムトゥーマーケットもまた要件です。設計者は、XADC ブロックおよび 7 シリーズ FPGA のプログラマブルロジックリソースを組み合わせて用いることで、これら課題の多くを軽減できます。

アジャイル ミックスド シグナル テクノロジは、柔軟性の高いデジタル信号処理および FPGA のローカルリソースを活用してフロントエンドでのデータ収集を可能にします。このテクノロジーでは、アナログ信号の処理および調整に携わる大部分をデジタルドメインに移行させることができるため、開発および生産コストの削減に繋がります。デジタルまたはエンベデッド デザイン環境のアナログ インターフェイスへのサポートにも優れているため、開発の早期段階でデザイン検証が可能になり、市場投入までの時間を短縮できます。このようなインターフェイスを統合し、カスタマイズできることで、コンポーネント数が大幅に削減され、システムの信頼性、安全性、および不正対策が強化されます。

アナログ信号調整回路の必要性

物理的環境を検出するにはさまざまな種類のセンサーが不可欠です。センサーは、温度、湿度、機械的ストレスなどの環境からの刺激に応じて電子的出力を生成します。センサーからの出力信号は多様なため、システムで処理するには A/D 変換器の入力範囲となるよう調整する必要があります。この調整はアナログドメインに拠るところが大きく、ここではゲイン、オフセット、フィルタリングなどの機能を用いて各種センサーから出力される信号に対してスケールリング、キャリブレーション、さらに線形化を実行します。図 1 に、RTD ベースの温度センサーに対応する標準的なアナログ信号調整を示します。

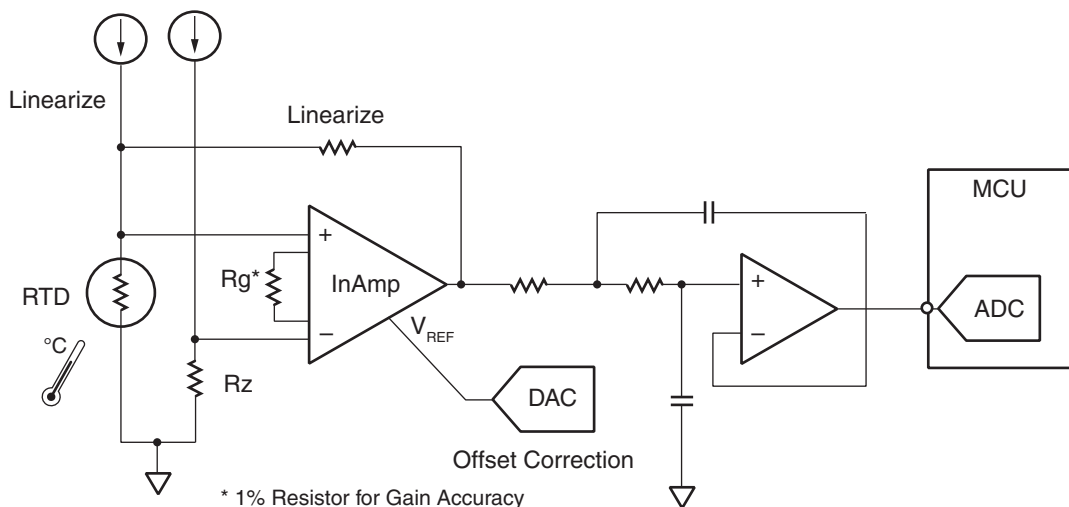


図 1 : RTD に対応するアナログ信号調整

この図が示す回路はアナログドメインで基本的な線形化を実行するものですが、さらに複雑な線形化も展開できます [参照 1]。ただし、その場合のアナログインターフェイスは、特定のセンサー用に高度にカスタマイズされたものとなってしまうがちです。そのようなインターフェイスは多くの場合、別のセンサーやアプリケーションに対応させるために再設計および検証が必要になります。

アナログ インターフェイスの検証とその課題

アナログ サブシステムはシステムのその他の部分から独立して開発するのが一般的です。したがって、システム デザイン全体の検証は本来徹底して行われるべきですが、実際はそうではありません。ここに一例をあげます。アナログ設計者は SPICE などのシミュレーション ツールを使用してアナログ サブシステムを検証し、デジタルまたは FPGA 設計者は ISE® Design Suite 13.2 などのツールを用いてシステムを開発できます。これら 2 つのデザイン ツール フローではこれまで、相互に関連していなかったため、アナログおよびデジタル機能を組み合わせたミックスド モード シミュレーションは非常に困難でした。一般的に、システム レベルの問題は最初のプロトタイプが作成されるまで顕在化されない可能性があります。結果として問題の発見が遅れ、アナログ設計やデジタル設計の大幅なやり直しが必要となる場合もあります。

コンポーネント数増大によるコストの増加と長期化する TTM

信号処理の大部分がアナログ ドメインで実行されるということは、さまざまな要件を抱えるアプリケーションにおいて BOM が複雑になることを意味します。さらにこれらコンポーネントの多くは、アナログの特質上独自のものとなることがあります。これは、リード タイムが長期化し、従来のアナログ ASSP では陳腐化を招く大きなリスクをはらんでいます。

アジャイル ミックスド シグナル テクノロジーを活用する

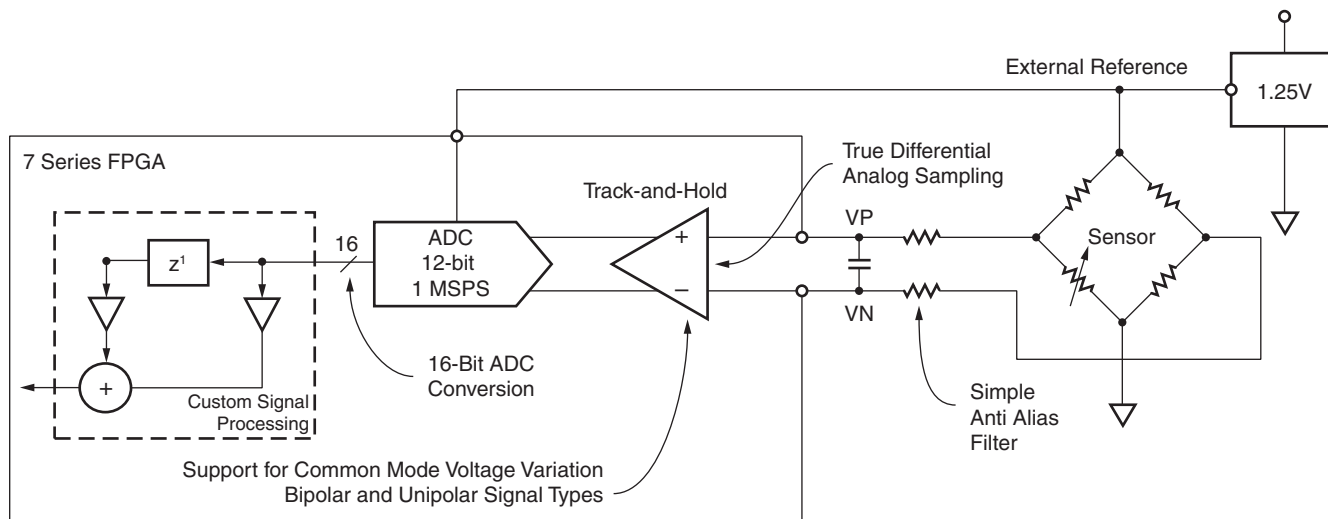
ザイリンクスのアジャイル ミックスド シグナル テクノロジーは、「はじめに」で説明したように数多くの課題を軽減します。このセクションでは、一般的なアプリケーション例およびアジャイル ミックスド シグナル独自の利点について説明します。

センサー インターフェイス向けのプラットフォームを設計する

センサー アプリケーションの多くには共通する機能が数多く存在します。たとえば、アナログ信号処理チェーンのキャリブレーション (つまり、オフセットおよびゲイン エラーの削除) がそれで、センサー自身に関連する非線形化の削除なども含まれるでしょう (図 1 参照)。これら機能の多くは、通常アナログ信号処理チェーン、場合によってはマイクロコントローラーで実装されますが、FPGA のデジタル信号処理を使用するとさらに効率よく実装できます。これは特にチャンネル数が多い場合や複雑なフィルタリングが必要な場合に当てはまります。FPGA でのキャリブレーションによって、コンポーネントの大幅な削減およびアナログ回路の PCB 小型化が実現します。各種センサーおよびアプリケーションの要件に対応できるよう、容易に再プログラム可能なプラットフォームも提供されます。このようなアプローチを実現する鍵となるものが A/D コンバーター (ADC) であり、7 シリーズ FPGA の XADC が備える柔軟性や機能性は、たとえばマイクロコントローラー ユニット (MCU) に組み込まれている ADC のそれを超えるものです。

7 シリーズ XADC の機能性

XADC には、さまざまな入力信号を処理する 2 つの独立したトラック アンド ホールド (T/H) 回路が含まれます。T/H は完全な差動サンプリング入力を持つため、同相入力範囲でのばらつきに対応し、同相ノイズを拒否することによって電氣的にノイズの多い環境からの影響を軽減できます (「アナログ入力」セクション参照 [参照 2])。XADC ブロックの ADC は、12 ビットの性能が仕様として定められており、ファクトリ テスト済みです。ただし、ADC は完全な 16 ビット変換を実行し、量子化エラーおよびノイズが大幅に削減されます。FPGA のオーバーサンプリングおよび信号処理機能を使用することで、アナログ チャネルの精度が大幅に向上します。精度が高められたことで、「デジタル キャリブレーションおよびプロセッシング」で概説されるデジタル キャリブレーション テクニックを実装できます。図 2 を参照してください。

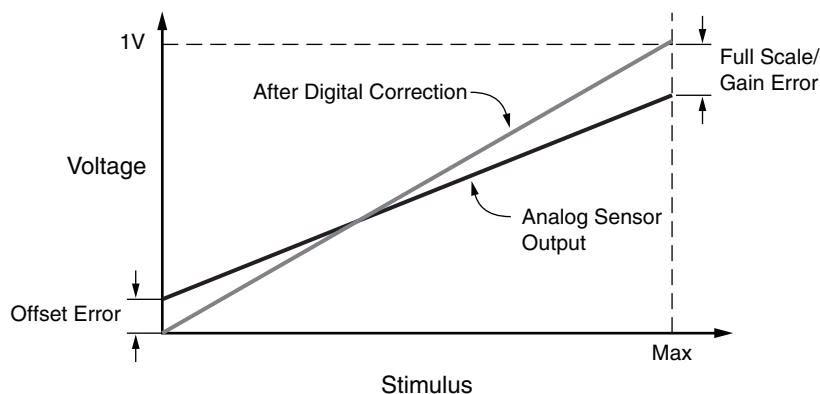


WP398_02_072011

図 2 : XADC の柔軟性の高いアナログ入力

デジタル キャリブレーションおよびプロセッシング

アナログ信号が ADC で正確に変換された後、DSP リソース、ブロック RAM、ロジック機能を含む FPGA のロジック リソースは、センサーの伝達関数の修正またはキャリブレーションに適用できます。図 3 を参照してください。



WP398_03_071511

図 3：オフセット、ゲイン、および線形化エラーのデジタル修正

センサー伝達関数のオフセットおよびゲインのキャリブレーションも簡単に実装できます。切り捨ておよび丸め込みエラーは、ADC の変換精度が向上したことで削減されます。センサー伝達関数の線形化には、単一の 1K x 18 ビット ブロック RAM という形で補間型ルックアップ テーブルを使用するのも 1 つの方法です。FPGA では高いクロック レートが達成でき、同じリソースを全チャンネルで共有できるため、チャンネル数の多い線形化は非常に効率よく FPGA に実装できます。

ADC のオーバーサンプリング機能 (最大 1MSPS) が活用でき、さらにストップバンドおよびパスバンド要件に加えて各種応答を持つデジタル フィルターを実装できるため、アナログ フィルターの要件が大幅に削減されます。図 2 に示す簡単なパッシブ ローパス フィルターは、高周波数の抑制およびエイリアスによる影響の回避に十分対応できます。

FPGA で DSP 機能を実装する

ここ数年、デジタル設計者でなくても、または FPGA の設計経験が少ないアナログ設計者でも、DSP 機能を FPGA に実装する機会は増えています。たとえば、ザイリンクスの System Generator for DSP [参照 3] は、FPGA を使用する高性能 DSP システムの設計に対応する業界トップクラスのハイレベル ツールです。このツールは、The Mathworks, Inc. の Simulink® および MATLAB® をベースに構成され、次の特長があります。

- 信号処理 (FIR フィルターなど)、演算、デジタル ロジック機能を含むザイリンクスのブロックセットを使用
- VHDL または Verilog の自動コード生成機能を提供
 - ユーザーの DSP デザインでザイリンクス FPGA を容易にターゲットにできる
- ハードウェア協調シミュレーションを実行
 - 動作中のハードウェアを有効にし、MATLAB のシミュレーション時間を短縮する

センサーのタイプとチャンネル要件を十分に理解しているアナログ設計者は、デザインのアナログおよびデジタル信号処理エレメントを最適化することで信号処理要件をすべて簡単に実装できます。

早期設計段階でアナログ インターフェイスを検証する

アナログ インターフェイスまたはデータ収集の実装は、システム全体の設計における 1 つの側面にしかすぎません。データ収集システムは、多くの場合複雑なものとなるデジタルまたはエンベデッド制御システムに統合する必要があります。FPGA は通常、高度な信号処理アルゴリズムの実装に使用されるか、またはこのようなシステムではマイクロプロセッサに対するコプロセッサとして機能します。デジタル制御システムと共にデータ収集を検証することは、複雑なタスクとなり得ます。

図 4 に、PMSM (Permanent Magnet Synchronous Motor) の SFOC (Sensorless Field Orientated Control) を実装するのに必要なデータ収集システムのブロック図を示します。

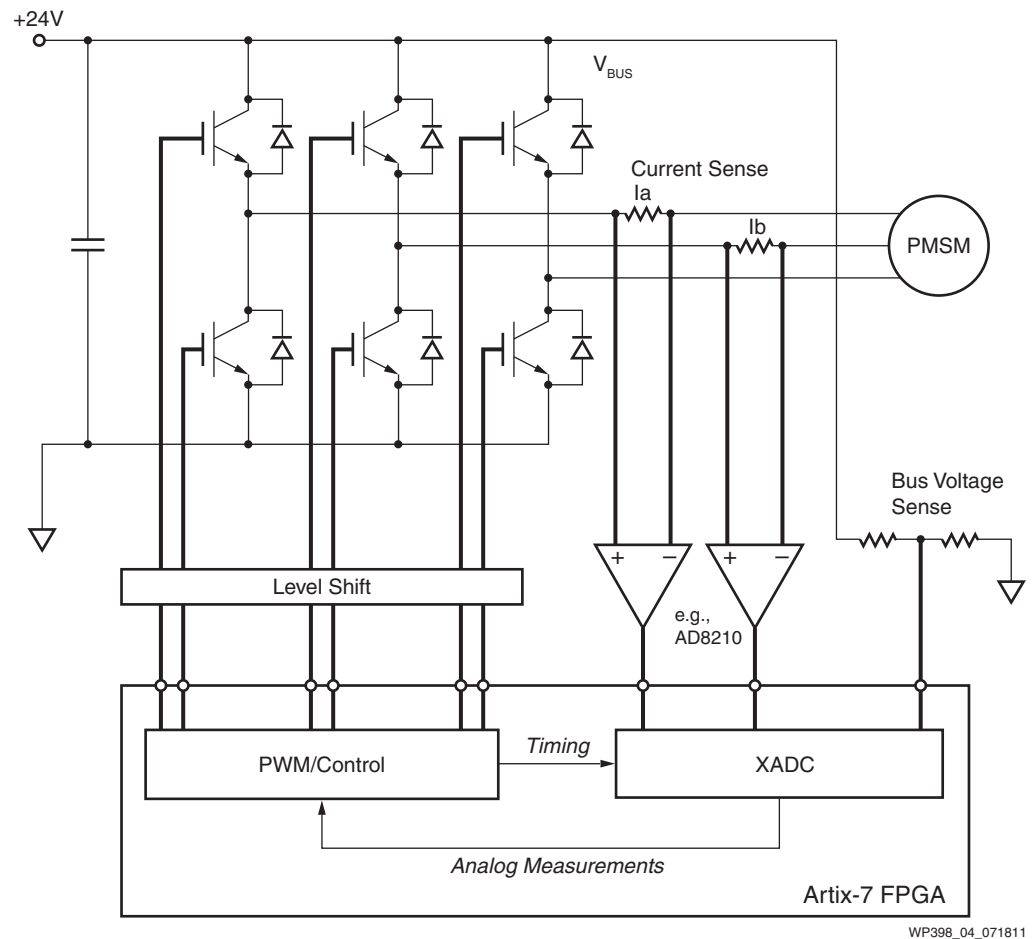


図 4：モーター制御向けのデータ収集システム

モーター制御などのアプリケーションでは、ADC のデータ レートで Park 変換および Clarke 変換のような複雑な数学関数を実装したり、同じレートで制御ループを閉じたりするのに FPGA の信号処理機能を使用します。

高度なデータ収集システム

図 4 に示すように、柔軟性に優れた XADC ブロックは、モーター制御のような複雑なデータ収集の要件をサポートします。XADC ブロックにあるデュアル ADC の同時サンプリング機能は、FOC アルゴリズムにとって重要な位相関係の保持を目的とした Ia および Ib (固定子電流) の同時サンプリングを可能にします。マルチプレクスしたフロントエンドのスループット レートを向上させることも独立した T/H の利点の 1 つです。T/H は、現在の変換サイクル中に ADC で変換される次の信号 (つまり、 V_{BUS}) の取得を開始できます。これにより、マルチプレクサーのクロストークの影響が大幅に抑えられます [参照 4]。つまり、ADC を使用して Ia、Ib、および V_{BUS} の最小限の 3 つの信号が監視されます。

XADC ブロックの高柔軟なタイミングによって、パワー ステージの駆動 (アルゴリズムには重要) 時に、ADC および特にサンプリング クロックをパルス幅変調 (PWM) のステートと同期させることができます。

モーター制御などのアプリケーションでは、データ収集および制御アルゴリズムに複雑な相互作用が存在します。ザイリンクスのツール チェーンは、デジタル検証に使用可能な XADC 機能の複雑なビヘイビア モデルを用いるデザイン検証をサポートします。ザイリンクスはその他にも、ISE Design Suite 13.2 で提供される ISim ハードウェア記述言語 (HDL) シミュレータでハードウェア協調シミュレーション機能をサポートしています。

ビヘイビア シミュレーション

XADC のビヘイビア モデルでは、ミックスド モード シミュレーション機能を使用せずにアナログ信号を HDL シミュレーションに導入できます。必要なのは、シミュレータが VHDL または Verilog をサポートしていることだけです。アナログ情報は、アナログ ステイミュラス ファイルを使用して正確なタイミング情報と共にシミュレーションに導入されます。これは基本的に、「実際の」情報、つまりアナログ情報およびそれに対応するタイミング情報を含むテキスト ファイルです。構文は非常に単純なもので、さまざまなソースからのアナログ情報を使用できます。たとえば、MATLAB モデルからの出力値や開発時の実際のアナログ計測値をデジタル設計の検証に容易に追加できます。結果、適切なテストベンチを用いてデジタル設計を検証することが可能です。図 5 を参照してください。

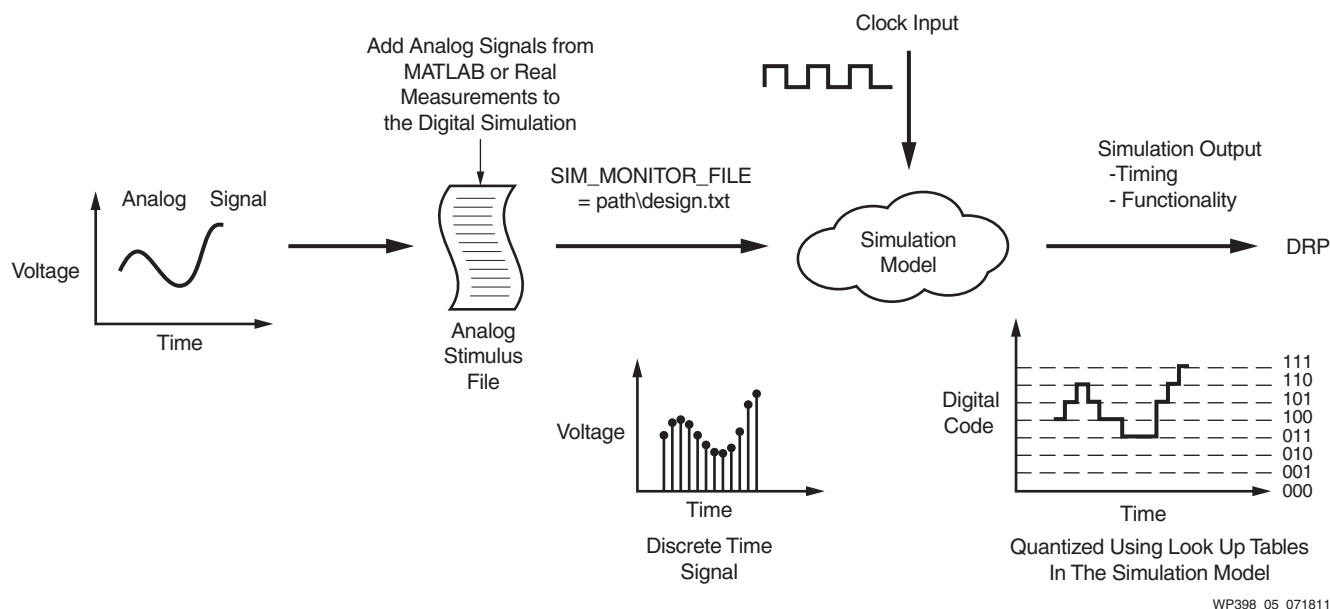


図 5 : XADC の HDL ビヘイビア モデル

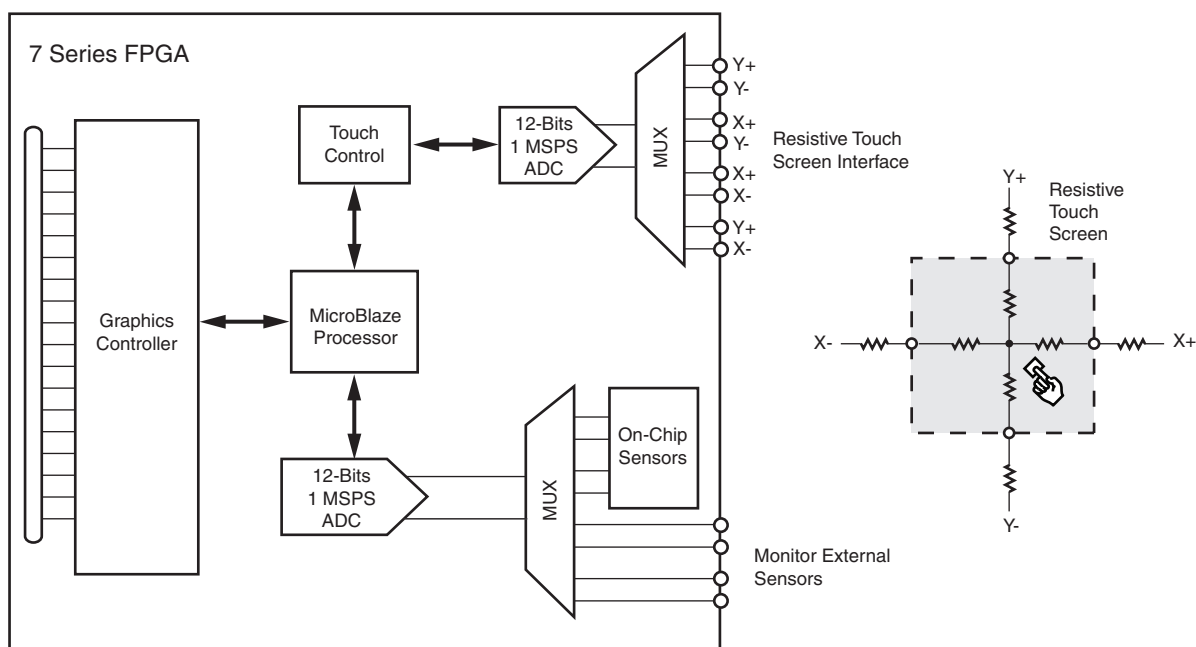
アナログ ステイミュラス ファイルを使用した例は、『7 シリーズ FPGA の XADC 12 ビット 1MSPS デュアル アナログ - デジタル コンバーター』(UG480) の「アプリケーション ガイドライン」を参照してください [参照 2]。

ISim を使用したハードウェア協調シミュレーション

ツールセットでサポートされる別のアプローチに、実際のハードウェア (XADC ブロック) の HDL シミュレーションへの組み込みがあります。ISE 13.1 ソフトウェア以降、ハードウェア協調シミュレーション [参照 5] がソフトウェアベースの HDL シミュレーションに対する補完的なフローとして ISim に統合されています。この機能では、ハードウェア (FPGA) にオフロードされるデザインまたはその一部をシミュレーションできます。したがって、シミュレータを駆動させ、実際のモーターからアナログ情報を収集しながら HDL 検証を実行できます。

TTM の短縮およびコスト削減

アナログ信号の調整およびキャリブレーションを FPGA でのデジタルキャリブレーションに置き換えると数多くの利点が得られます。このアプローチによってコストが削減され、FPGA のリプログラマビリティを活用してさまざまなアプリケーションの要件に対応するプラットフォームを実現できます。このプログラマブルロジックは、各種アナログ ASSP または独自のアナログコンポーネントの要件を排除するように XADC 機能をカスタマイズすることもできます。図 6 に示す例は、産業用 HMI のアプリケーションです。ここでは、FPGA は一般的にグラフィックスコントローラーおよびディスプレイ向けのビットマップレンダリング機能の実装に使用されます。



WP398_06_071911

図 6 : XADC を使用した HMI タッチ インターフェイスとセーフティ センサーの組み込み

HMI パネルを操作する場合、特に手袋を装着して操作する必要があり、静電容量センサーの信頼性が低下する場合は、抵抗タッチスクリーンを使用する方法が依然として一般的です。図 6 に、外部のタッチスクリーンコントローラー ASSP を置き換えるために XADC がどのように使用できるかを示します。シンプルなステートマシンおよびデュアル ADC のうちの 1 つを用いてこのようなインターフェイスを実装しています。産業オートメーションのような環境で重要となる要件は、機器操作の安全性を確保することです。物理的な環境 (たとえば、温度および電源供給) に加えてシステムの完全性を確実にものにする各種センサーを監視することは、安全性の側面の 1 つでもあります。図 6 では、オンチップセンサーおよび外部センサーの両方をこの目的で監視するために、2 つ目の ADC が使用されています。したがって、サーマルダイオードを内蔵するモニタリング用 IC および汎用 ADC などのアナログ機能も FPGA に組み込むことができます。

これらのアナログ機能を統合することで、コストは削減され、リードタイムが長引く可能性や従来のアナログ ASSP で生じ得る陳腐化を回避できます。

まとめ

このホワイトペーパーでは、7シリーズ FPGA の新しい XADC ブロックによって可能になるアジャイル ミックスド シグナル テクノロジーの利点について説明してきました。大きな利点は、データ収集のソリューションをデジタルドメインでカスタマイズできることです。これにより、設計者は多様な要件を満たすようにプラットフォームを定義することが可能になり、開発時間を短縮してコンポーネントコストを削減できます。その他の利点には、HDL シミュレーションでアナログ インターフェイスの検証が簡単にできるようになり、独自のアナログ ASSP を FPGA に統合できることがあげられます。

アジャイル ミックスド シグナル テクノロジーの詳細および概要については、<http://japan.xilinx.com/ams> を参照してください。

参考資料

1. Robert S. Villanucci, Wentworth Institute of Technology, Boston; Edited by Charles H. Small and Fran Granville -- EDN, February 7, 2008, Design an RTD Interface with a Spreadsheet:
http://www.edn.com/article/473143-Design_an_RTD_interface_with_a_spreadsheet.php
2. 『7 シリーズ FPGA の XADC 12 ビット 1MSPS デュアル アナログ - デジタル コンバーター』 (UG480)
3. System Generator for DSP
<http://japan.xilinx.com/tools/sysgen.htm>
4. アナログ デバイス: 『Understanding Crosstalk in Analog Multiplexers』
http://www.analog.com/static/imported-files/application_notes/177696709AN35.pdf
5. ISE Simulator (ISim)
<http://japan.xilinx.com/tools/isim.htm>

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2011/08/15	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。