



WP434 (v1.0) 2013 年 12 月 10 日

よりスマートで高性能なシステム を実現するザイリンクスの UltraScale アーキテクチャ

著者 : Nick Mehta

画期的なシステム パフォーマンス、これまでにない大容量、低消費電力を実現したザイリンクス UltraScale™ デバイスは、多くの次世代アプリケーションに最適な選択肢です。

大都市圏における信頼性の高い通信、高解像度の医療画像の撮影と送信、自宅での最新ヒット映画の視聴など、インテリジェントな帯域幅への需要は飽くことなく増大しています。通信システムは、厳しい電力バジェットと予算の範囲内で、ますます大量のデータを、より高速のデータレートで受信、バッファリング、処理、送信することを求められています。

ザイリンクスは、システム メーカーの皆様がこのような要求に応えられるように、業界初の ASIC クラスのプログラマブル アーキテクチャであるザイリンクスの UltraScale アーキテクチャをベースとする Kintex® UltraScale™ デバイスおよび Virtex® UltraScale デバイスで強化されたシリコン機能を提供します。20nm プレーナ テクノロジから 16nm FinFET およびそれ以降のテクノロジまでスケラブルに設計された UltraScale アーキテクチャは、実績のあるアーキテクチャ プラットフォームに多くの革新的なアーキテクチャ機能を組み込み、第 2 世代の 3D IC テクノロジを統合しました。Vivado® Design Suite との協調最適化でデバイスの使用率とユーザーの生産性の向上をもたらす UltraScale アーキテクチャによって、ユーザーの皆様は、よりスマートなシステムを、より少ないデバイスで、より迅速に構築できます。

市場の課題とトレンド

現在、さまざまな市場とアプリケーションで、システム帯域幅と処理性能の大幅な拡大が求められています。有線ネットワークソリューションは 100Gb/s の複数リンクから 400Gb/s を経て最大 1Tb/s へ、デジタルビデオアプリケーションは 1080p から 4K (Quad HD) を経て最大 8K (スーパーハイビジョン) へ、無線ネットワークは 3G から LTE Advanced を経て NxN LTE Advanced へとそれぞれ進化しています。多様なアプリケーションにおけるデータスループット要件の高度化は、すべて同じ結果を、すなわちトラフィックの増大とすべてのシステムコンポーネントに対する要求の増大をもたらします (図 1 を参照)。

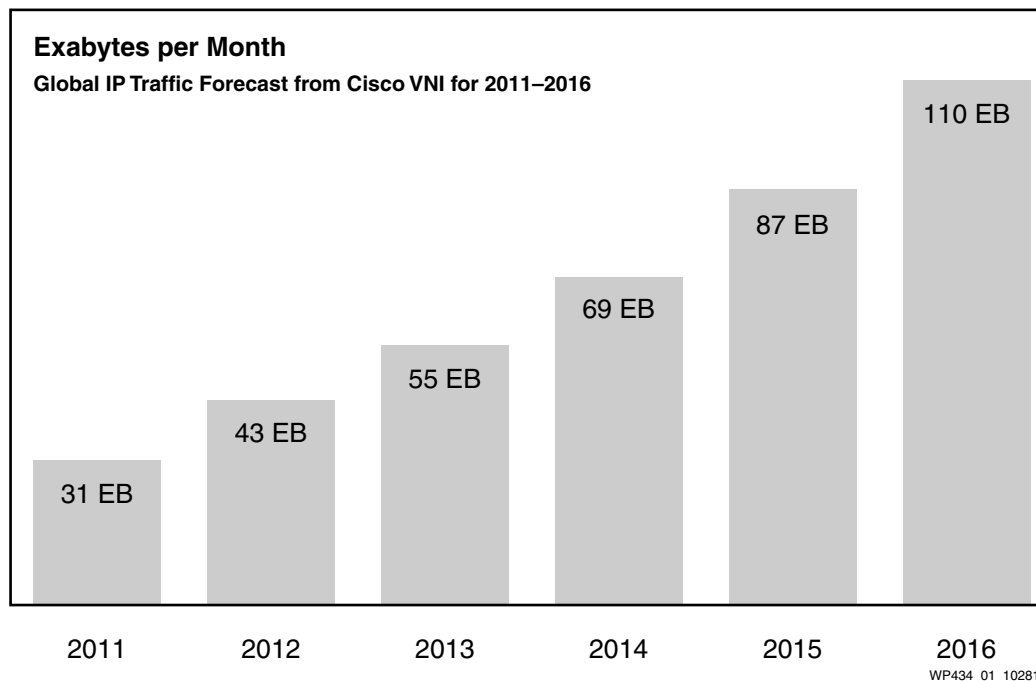


図 1 : Cisco VNI 社による世界の IP トラフィックの予測 (2011 年～ 2016 年)

システム帯域幅の拡大とともに、システム内のコンポーネントへの要求も増大します。各システムコンポーネント間で伝送されるデータ量が増え、必要なバッファリングとデータ処理も増えていきます。その結果、一般的に 512 ビット～2,048 ビットのデータバスが採用されるため、既存のアーキテクチャへの負担が増えています。ザイリンクスの UltraScale FPGA は、配線、クロッキング、ロジック構造を始めとするアーキテクチャ上のさまざまな機能強化や技術革新により、これらの問題に対処します。

成功のための基盤の構築

ザイリンクスは、28nm 7シリーズ FPGA で、次の3つの主要な技術革新によって UltraScale の基盤を構築しました。

1. シリコンプロセステクノロジー
2. 3D IC を実現するスタックドシリコン インターコネクタ (SSI) テクノロジー
3. Vivado Design Suite

初期段階では、TSMC 社と協力して、高性能と低消費電力を両立させる 28HPL プロセスの開発に成功しました。20nm では、UltraScale アーキテクチャに 20SoC プロセスを採用しました。20SoC は 28HPL の後継プロセスであり、同じデザイン手法を使用して高性能と低総消費電力のバランスをとっています。

一部の Virtex-7 FPGA は、業界をリードする革新的な SSI テクノロジーを使用して、従来の製造プロセスで達成できる水準を超えた容量と性能を実現しました。UltraScale アーキテクチャをベースとする FPGA は、第2世代 SSI テクノロジーを採用して、性能と機能の限界をさらに押し上げています。

ザイリンクスは、プロセスとアーキテクチャの技術革新を補完するため、28nm で Vivado Design Suite を導入しました。Vivado Design Suite は全く新しいインテリジェントなソフトウェアデザイン ツールスイートであり、ますます高密度化する今後数世代の FPGA および SoC に対応できる分析的な配置アルゴリズムを搭載しています。Vivado Design Suite の開発と導入により、ソフトウェアの実行時間、結果品質 (QoR)、デザインの配置および配線が向上しただけでなく、高速で広帯域の次世代データパスの問題に対して改善する必要がある、7シリーズ アーキテクチャの重要な領域を特定できるようになりました。ザイリンクスは、このプロセスを協調最適化と呼んでいます。

20NM ULTRASCALE デバイスポートフォリオの紹介： KINTEX ULTRASCALE デバイスと VIRTEX ULTRASCALE デバイス

UltraScale アーキテクチャは、ミッドレンジおよびハイエンドの非常に幅広いシステム要件とアプリケーションに対応する2つの高性能 FPGA ファミリー (Kintex UltraScale デバイスと Virtex UltraScale デバイス) の基盤となります。これらの2つのデバイスファミリーは同じアーキテクチャを共有していますが、リソースの組み合わせ (DSP、ブロック RAM、CLB など) が異なります。2つのファミリーで基礎となるアーキテクチャが同一であることは、両ファミリー内のブロック (DSP、ブロック RAM、CLB など) が同じ高性能を発揮できることを意味します。

たとえば、デジタル信号処理に最適化された Kintex UltraScale 20nm デバイスファミリーは、Kintex-7 FPGA と Virtex UltraScale FPGA のいずれをもはるかに超えるデジタル信号処理能力を持ち、大量の信号処理の要求に対応します。64 個のトランシーバー、800 以上の I/O、79MB のブロック RAM を搭載した Kintex UltraScale FPGA は、旧世代の FPGA のハイエンド デバイスがターゲットとしていたアプリケーションに最適なソリューションです。

Virtex UltraScale FPGA は、最大 32.75Gb/s のデータレートを実現する 104 個のトランシーバーと強力なオンチップおよびオフチップ メモリ性能を組み合わせ、システム接続機能とスループットをかつてないレベルまで引き上げます。また Virtex UltraScale ファミリーは、440 万ロジックセル、89MB のブロック RAM、1,400 以上のユーザー I/O を搭載した世界最大の FPGA である VU440 を搭載しています。

表 1 に、ミッドレンジおよびハイエンド製品に当たる 20nm および 28nm デバイスの最大性能のまとめを示します。これらの数値は、業界最高の DSP 帯域幅、トランシーバー性能、合計シリアル帯域幅、エンベデッド メモリ性能を示しています。

表1: 20nm および 28nm デバイスの最大値

デバイス リソース	Kintex-7	Kintex UltraScale	Virtex-7	Virtex UltraScale
ロジック セル	478	1,160	1,995	4,407
ブロック RAM (MB)	34	76	68	115
DSP48	1,920	5,520	3,600	2,880
DSP の最大処理速度 (GMAC)	2,845	8,180	5,335	4,268
トランシーバー数	32	64	96	104
最大トランシーバー ライン レート (Gb/s)	12.5	16.3	28.05	32.75
最大トランシーバー帯域幅 (Gb/s)	800	2,086	2,784	5,101
PCI Express ブロック	1	4	4	6
100G イーサネット ブロック	–	2	–	7
150G Interlaken ブロック	–	1	–	9
メモリ インターフェイス性能 (Mb/s)	1,866	2,400	1,866	2,400
I/O ピン	500	832	1,200	1,456

ザイリンクスの 28nm 7 シリーズ ミッドレンジ/ハイエンド デバイスおよび UltraScale デバイスは、全体としてマルチノード製品ラインを構成します。システム要件に応じて、システム パフォーマンス、消費電力、コストの最適なバランスが得られる 28nm または 20nm デバイス ファミリーを選択できます。ザイリンクス 7 シリーズ FPGA はこれまで非常に多くの導入実績があり、業界をリードするシステム パフォーマンス、電力効率、費用対効果を実現してきました。

ザイリンクス 28nm 7 シリーズ デバイス製品ラインは、今後も多くのアプリケーションに最適なソリューションを提供します。一方、ザイリンクスの UltraScale アーキテクチャは、通信、ネットワーク、ビジョン、信号処理の各アプリケーションの大きな潮流の中で求められている、より高速でよりスマートなシステムのデータフローおよびパフォーマンスの高度な要件に対応できます。

次世代の課題に対応する ULTRASCALE の機能強化

UltraScale アーキテクチャは、次世代システムおよびアプリケーションが要求する大量のデータを効率的に受信、バッファリング、処理、送信できるように、28nm の堅固な基盤の上にアーキテクチャの機能強化を加えて構築されています。内部データバスの広帯域化と物理データ信号処理の増加 (高速シリアル トランシーバー数の急激な増加によるオンチップへの移行) が進み、デザインが複雑化するにつれて、次のような課題が明らかになります。

- 配線遅延がシステム全体の遅延に影響を与える
- クロック スキューが利用可能なタイミング マージンの大部分を消費する
- 最適でないロジック パッキングによってシステム パフォーマンスが低下する

これらの課題に対処するには、潜在的なボトルネックを分析的に理解し、回避できるソフトウェア エンジンが必要です。このため、ザイリンクスは、デザインを分析した上で問題が発生しそうな箇所を特定し、問題が発生する前に解決できるように、Vivado Design Suite を開発しました。ロジックを近くにまとめてパックすることで、使用されるエレメント間の配線長が削減され、結果として配線遅延と消費電力が削減されます。さらに、近くにあるこれらのエレメントを駆動するクロック信号がデザイン内を移動する距離が短縮されることで、クロック スキューが削減されます。

インテリジェントで分析的な Vivado ソフトウェアを 28nm ノードで導入したザイリンクスは、次の段階で、次世代アプリケーションの要求に応える機能強化をハードウェア アーキテクチャに加ええました。

使用率、パフォーマンス、実行時間を向上させる次世代配線方式

従来の FPGA アーキテクチャでは、ロジック リソースはインターコネクットの行と列からなる行列としてレイアウトされます。FPGA デバイスが数百万ロジック セルの容量 (数千万個の ASIC ゲートに相当) まで大規模化するにつれて、(N の二乗に比例して増加する) ロジックと、(N に比例して増加する) インターコネクットトラックの数の差が広がり、必要なシステム パフォーマンス レベルを満たすデザイン の配線を制約する要因となります。

UltraScale アーキテクチャは、この問題に対処するため、すべてのデバイス内でインターコネクットトラック数を増やして、A から B へのより直接的な経路を提供し、最も高速で最も消費電力が小さい構成でロジック リソースを接続するためにソフトウェア ツールが利用できるオプションを増やします。図 2 を参照してください。

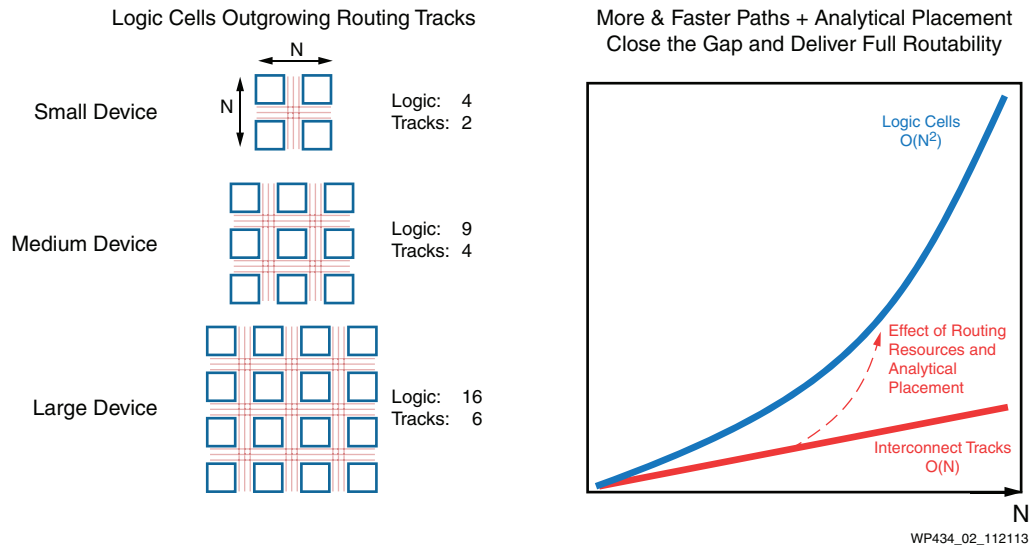


図 2 : UltraScale アーキテクチャへの配線の追加

これにより、デバイス内をはるかに高速に伝わるようにデータ信号を配線する課題に対応でき、デザイン全体のパフォーマンスが向上します。しかし、データ パフォーマンスが向上すれば、クロック パフォーマンスもそれに従って向上させる必要があります。

ASIC スタイルのクロッキングによるパフォーマンスの最大化

UltraScale アーキテクチャ以前の FPGA アーキテクチャでは、グローバルクロッキング リソースがデバイスの中心部から周辺部に展開される「幾何学的中心からの展開」クロッキング方式を利用していたため、その間にスキューが累積されていました。この方式により、多くの世代にわたって堅固なソリューションが提供されてきましたが、チップ全体の容量、機能、システムパフォーマンスが向上すると、クロック スキューがデザイン全体のタイミング バジレットに悪影響を及ぼす可能性があります。図 3 を参照してください。

UltraScale Clocking Architecture

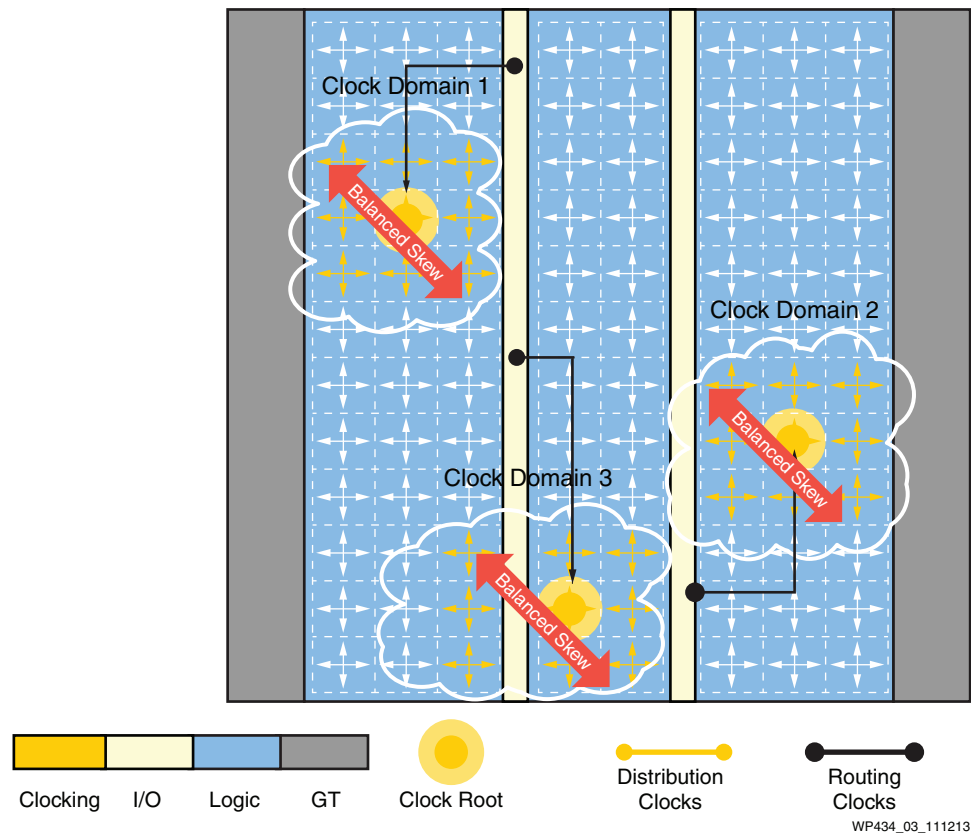


図 3: UltraScale のクロッキング アーキテクチャ

UltraScale アーキテクチャではクロック配線とバッファが全面的に再設計され、既存の FPGA アーキテクチャよりもはるかに高い柔軟性を備えています。水平方向および垂直方向に豊富なクロック配線トラックとクロック分配トラックを備えた UltraScale アーキテクチャは、数百個のグローバルクロックバッファも備えています。UltraScale アーキテクチャは、従来のアーキテクチャに比べてグローバルクロックバッファの数が 20 倍に増え、数千もの配置オプションを利用できます。基本的に、クロックネットワークの「中心」(すなわち、クロックスキューが累積し始める箇所)は、UltraScale FPGA 内の任意のクロック領域に配置できます。したがって、ASIC と同じように、クロックネットワークを必要な箇所のみ配置できます。UltraScale アーキテクチャは最小限のスキューで最も高速なクロックネットワークを提供し、このネットワークは、ソースからすべてのデスティネーションへクロック信号を伝送するのに必要な電力しか消費しません。

CLB の削減による配線長の短縮

クロック信号とデータ信号がロジックリソースに到着した後、UltraScale アーキテクチャは、トータルインターコネクト (すなわち、総配線長) の削減を目的として、利用可能なリソースを最も効率的に利用できるように、拡張された CLB を提供します。ザイリンクスでは、既存の CLB 構造のすべての要素を分析し、どのような方法でコンポーネントをより効率的に使用できるかを検討しました。その結果得られた機能強化により、Vivado ツールは、はるかに多くの (通常別々の) コンポーネントを CLB 内に配置し、密にパックされたデザインを実現できます。このようなデザインは、デバイス全体の使用率の最適化により、高速で動作しながら最小限の電力しか消費しません。

CLB 構造に多くの変更が加えられたことで、パッキングオプションの柔軟性はさらに高まります。すべての 6 入力 LUT は 2 つのフリップフロップと組み合わせられます。各フリップフロップが専用の入力および出力を持つため、すべてのコンポーネントは、まとめて使用することも、互いに全く無関係に使用することも可能です。これらのフリップフロップは、利用可能なクロックイネーブル信号数の倍増、クロックイネーブルポートおよびリセットポート上のオプションの「ignore」信号、同じ CLB 内でアクティブ High およびアクティブ Low の両方のリセットフリップフロップを許容するオプションのリセット反転信号、シフトレジスタおよび分散 RAM 機能用の追加のクロック信号など、フリップフロップ制御信号の数と柔軟性の増大からメリットを得ています。

UltraScale アーキテクチャの配線リソース量の増加、クロッキングアーキテクチャの柔軟性の向上とともに、CLB 接続の飛躍的な増加によって、密にパックされた高性能なデザインが可能となり、デバイス使用率の向上と総消費電力の削減が実現されます。図 4 を参照してください。

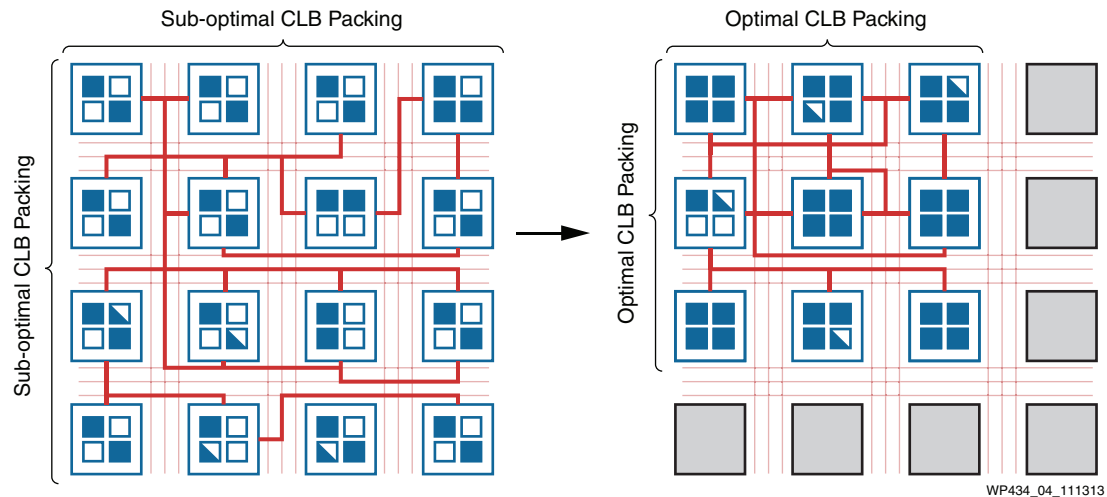


図 4: ロジック リソースの効率的な配置

大量の I/O 帯域幅の提供

信号処理やデータ操作を実行する前に、データがデスティネーションに到着している必要があります。現在、ターゲットアプリケーションの要件ごとに開発された、多数のシリアルおよびパラレルプロトコル標準が存在します。ほとんどの標準に共通するテーマは、総データスループットの向上であり、システム内でますます高いデータレートで大量の情報を移動させることです。

UltraScale FPGA との間のデータ転送は、高性能パラレル SelectIO™ プロトコルと高速シリアルトランシーバー接続を組み合わせることで実行されます。I/O ブロックは、柔軟な I/O 標準と多数の I/O 電圧のサポートにより、最先端のメモリインターフェイスプロトコルとネットワークプロトコルに対応します。UltraScale アーキテクチャには 2 種類のシリアルトランシーバーがあります。GTH トランシーバーは、最大 16.3Gb/s でデータを転送し、一般的なシリアルプロトコルに十分なパフォーマンスを提供します。Virtex UltraScale デバイスは、チップ間およびチップ-光デバイス間のアプリケーションに最大 32.75Gb/s の転送速度を実現する GTY トランシーバーも備えています。GTY トランシーバーは、28Gb/s バックプレーンのサポートも提供します。

UltraScale アーキテクチャ内のすべてのトランシーバーは、バックプレーンなどの非常に高損失のチャンネル上のプロセス、電圧、および温度の変動を補償する連続自動適応等化機能をレーザ器内で提供します。連続自動適応レーザ器は、自動ゲイン制御 (AGC)、連続時間リニア イコライザー (CTLE)、マルチタップ判定帰還イコライザー (DFE) で構成されます。UltraScale トランシーバーは、連続自動適応レーザ器以外に、非破壊 2D アイスキャン機能を内蔵しているので、ユーザーは、ライブデータトラフィックを通過させながら、クロックデータリカバリ回路 (CDR) が認識するおりにリアルタイムでデータ信号を表示できます。ユーザーは、リンクマージンをインシステムでモニターし、リンクの信頼性を最大限に高めるために必要な調整を加えることができます。

UltraScale FPGA 内のすべてのトランシーバーは、PCI Express® Gen3 および Gen4 に必要なデータレートをサポートします。PCI Express 用統合ブロックにより、最高で x8 Gen3 までのエンドポイントおよびルートポート デザインをサポートします。UltraScale デバイスには、100G イーサネットおよび 150G Interlaken 用の統合ブロックが新たに追加されました。これらのブロックは、デバイスロジックから作成された同等の IP コアに比べて、デバイスリソースの消費量がはるかに少なく、最大 90% 低い消費電力で動作します。100G イーサネットブロックは、10x10G または 4x25G として構成できます。Interlaken ブロックには、12x12.5G または 6x25G の構成を想定しています。

UltraScale アーキテクチャのクロッキングおよび I/O カラムは、DDR3 や DDR4 など、非常に高性能のメモリインターフェイスの実装専用回路と組み合わせられます。UltraScale アーキテクチャは、すべての I/O バンクに追加のクロッキングリソースが利用できるため、異なるデータレートで動作する複数のメモリインターフェイスを同じ I/O バンク内にインプリメントできるので、利用可能な I/O リソースを効率的に使用できます。

総消費電力の削減

同等の消費電力でより大きな帯域幅を要求するアプリケーションでは、クロッキング、配線、CLB の拡張によってデザインを強化するだけでは不十分です。消費電力には多くの要因が影響を与えます。ザイリンクスは、UltraScale アーキテクチャの開発にあたり、プロセステクノロジー、ブロックレベルの低消費電力モード、細かく制御可能なクロックゲーティングから、最適な DSP パッキング、専用のメモリカスケードリソース、クロック配線のセグメント化まで、あらゆる要因を検討しました。

ブロック RAM のエンベデッドメモリブロックは、専用データカスケード配線および出力多重化機能を備えており、ダイナミック消費電力を劇的に削減した、大規模な高速ブロック RAM アレイの構築が可能です。すべての使用されていないブロック RAM はパワーダウンされます。また、各ブロック RAM サイトを動作中にオフにし、非常に短時間で再起動することが可能です。UltraScale アーキテクチャではデジタル信号処理性能が強化され、処理の実行に必要な DSP ブロックの総数が削減されるので、デザイン全体のサイズを縮小できます。これにより、スタティック消費電力とダイナミック消費電力が大幅に削減される可能性があります。

UltraScale アーキテクチャ内の GTH トランシーバーは、10G バックプレーンアプリケーションでの消費電力が大幅に削減されるように最適化されています。さらに、このトランシーバーは、チップ間またはチップ-光デバイス間のアプリケーションなどの低損失チャネル上でインターフェイスをとる場合にイネーブルにできる、低消費電力モードを備えています。

UltraScale アーキテクチャの新しいクロッキングアーキテクチャは、必要な箇所でのみクロックをドライブできるため、小さなロジックセットごとにクロックをオフにすることができ、ゲーティングの細粒度がさらに向上します。

これらの消費電力削減のための技術革新と手法は、すべて Vivado Design Suite と協調開発され、協調最適化による高性能で低消費電力の FPGA アーキテクチャを実現します。

同じプラットフォームの製品ファミリ間の拡張性

ザイリンクスは、7 シリーズ FPGA で、最適化されたスケーラブルなアーキテクチャを導入し、異なる FPGA ファミリ内でも同じアーキテクチャブロックを設計可能にして、異なるファミリ間でのデザインの移行を容易にしました。UltraScale アーキテクチャは、この機能を継承した上、Kintex UltraScale ファミリと Virtex UltraScale ファミリ間のパッケージフットプリントの互換性で補強し、異なるリソースを組み合わせた派生製品や次世代製品へのデザインの拡張を可能にしました。これにより、システム全体または PCB デザインへの投資を保護しながら、容量、性能、消費電力またはコストの要件に合わせて、より高性能のデバイスまたは性能を抑えたデバイスを選択できます。表 2 に、Kintex UltraScale ファミリおよび Virtex UltraScale ファミリのパッケージフットプリントの移行を示します。

表 2: 同一ファミリ内および異なるファミリ間の UltraScale デバイスの移行パス

パッケージ寸法 (mm)	27x27 31x31	35x35	40x40		42.5x42.5	45x45	50x50
Kintex UltraScale KU035	●	●					
Kintex UltraScale KU040	●	●					
Kintex UltraScale KU060		●	●				
Kintex UltraScale KU075		●	●		●		
Kintex UltraScale KU100			●	●	●	●	
Kintex UltraScale KU115			●	●	●	●	
Virtex UltraScale VU065				●			
Virtex UltraScale VU080				●	●	●	●
Virtex UltraScale VU095				●	●	●	●
Virtex UltraScale VU125					●	●	●
Virtex UltraScale VU145						●	●
Virtex UltraScale VU160						●	●
Virtex UltraScale VU440							

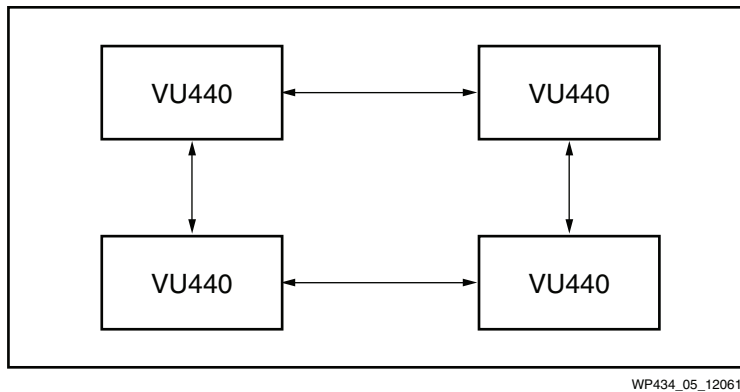
注記: 1 フットプリントの互換性の範囲を網掛けの項目で示します。

よりスマートで高性能なシステムを実現する ULTRASCALE アーキテクチャ

構成変更可能で再プログラム可能な FPGA は、多くの用途に適合します。いくつかの主要なアプリケーションに極めて高性能な UltraScale FPGA を採用すると、非常に大きなメリットが得られます。

ASIC プロトタイプおよびエミュレーション

28nm では、SSI テクノロジーを採用した 200 万ロジックセル (LC) FPGA である Virtex-7 2000T FPGA の登場により、デバイスの容量と性能が画期的に進化しました。20nm では、UltraScale アーキテクチャに第 2 世代 SSI テクノロジーが採用され、440 万ロジックセル、90MB のオンチップブロックメモリ、1,400 以上のユーザー I/O および 48 個のシリアルトランシーバーを搭載したデバイスである VU440 3D IC により、業界をリードするデバイス容量がさらに拡張されました。図 5 を参照してください。



WP434_05_120613

図 5 : 複数の UltraScale FPGA を ASIC プロトタイプ プラットフォームとして使用した構成

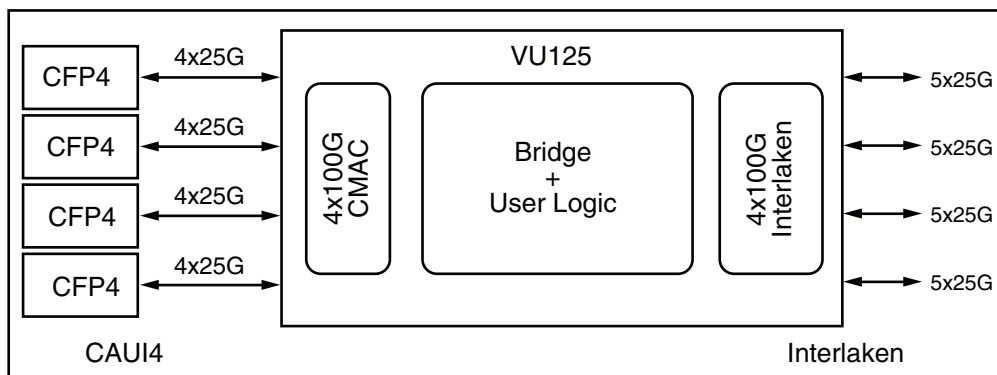
大規模 FPGA は、ASIC プロトタイプおよびエミュレーション用デバイスとして、これまでよく使用されてきました。5000 万 ASIC ゲートと同等の容量を備えた VU440 デバイスは、比類のないエミュレーション能力を発揮します。VU440 デバイスで強化された機能には、次のものがあります。

- デバイス配線およびクロッキングの大幅な増強
- 拡張された CLB によるデバイス パッキングの支援
- 3D IC の構築に使用されるプログラマブル ロジック ダイである FPGA SLR (Super Logic Region) 間での帯域幅の段階的増加
- Vivado Design Suite 内のインテリジェントな配置アルゴリズム

これらの進化により、1 個の VU440 デバイスで、従来 2 個の 7V2000T FPGA に実装されていたデザインよりもはるかに大規模なデザインを実装できます。

4x100G イーサネット MAC と Interlaken 間のブリッジ

ソーシャル ネットワーキングおよび消費者向けビデオ アプリケーションの爆発的な増加や、エンタープライズ用およびデータセンター用に要求される極めて高い信頼性の条件に対応するために、インテリジェントなデータ処理への需要はかつてないレベルまで高まっています。データ配信を担当する有線通信インフラストラクチャは、システム内のリソースを増やし続けるか、またはドライブ内でより多くのリソースとシステム インテリジェンスを組み合わせることでデータ処理を効率化することにより、これらの需要に追従していく必要があります。ギガビット イーサネットのデータレートは、10G から 40G、さらには 100G 以上へと高速化しています。データがイーサネットを介してライン カードに到着した後、高い柔軟性と拡張性を備えたチップ間の Interlaken プロトコルを使用して、システム内の各種コンポーネント間の通信を行います (図 6 を参照)。



WP434_06_120613

図 6 : 4x100G 向けの Virtex UltraScale ソリューション

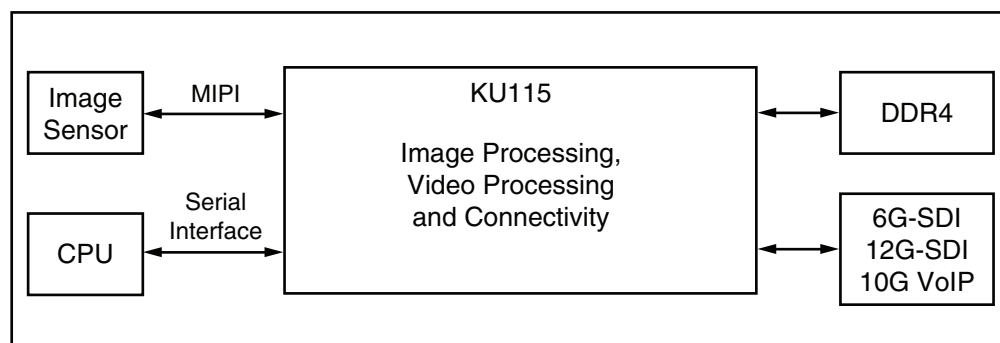
専用の統合イーサネット MAC/Interlaken IP コア リソースを多数搭載した Virtex UltraScale FPGA は、新しい通信ライン カードで予想される、4x100G イーサネット MAC と Interlaken 間のブリッジアプリケーションに最適です。

UltraScale FPGA の強化されたイーサネット MAC および Interlaken IP コアは、システムとユーザーに次のような利点をもたらします。統合された IP コアは、同等のソフト IP コア ソリューションよりもレイテンシが小さく、従来は不可能であったパフォーマンスを実現します。Virtex UltraScale FPGA は、一般的な機能に対して統合されたソリューションを提供するため、デザイン内に迅速に組み込むことができ、設計作業の生産性が向上します。設計者は、従来ソフト MAC ブロックと Interlaken インターフェイスブロックのインプリメントに使用されていた FPGA リソースを使用して、プリパケット処理、タイムスタンプや他の機能を実行できます。利用可能な容量が大きいので、多数の FPGA および ASSP を 1 個の UltraScale FPGA に統合する以外に、現在のライン カードに対する積極的な要求を満たすのに必要なインテリジェンスをインプリメントできます。また、ネットワークプロセッシングユニット (NPU) などの他のシステム コンポーネントは、より多くのサイクルを他の処理に振り向けることができます。

Virtex UltraScale FPGA 内の高性能トランシーバーは、新しい光通信標準だけでなく、次世代の 25G バックプレーンにも対応します。チップ-光デバイス間のアプリケーションで最大 32.75Gb/s をサポートする GTY トランシーバーは、フォワードエラー訂正 (FEC) 用の追加オーバーヘッドを含む、CFP2 および将来の CFP4 光デバイスをサポートします。次世代の 25G バックプレーン (802.3bj および CEI-25G-LR など) 用には、GTY トランシーバーはバックプレーン上でも高い信頼性での 28.21Gb/s 動作が可能です。アプリケーションがこれらの超高速トランシーバーを介してますます大量のデータを FPGA に供給すると、FPGA のコア アーキテクチャは、システム内にボトルネックが発生しないように、必要なデータ処理機能を同じくらい高速に効率的に実行する必要があります。Vivado Design Suite と協調最適化された UltraScale アーキテクチャは、配線リソースが劇的に増加しました。これらのリソースと CLB およびブロック RAM の革新的な最適化機能を組み合わせることで、高性能の広帯域データバスをデバイス全体に簡単に配線できます。

スーパーハイビジョン処理

100 万ロジックセルを超える容量と、8,000GMAC/s 以上のデジタル信号処理性能を發揮する 5,500 個以上の高性能 DSP スライスを備えた Kintex UltraScale FPGA は、ビデオ処理アプリケーションに多くのメリットをもたらします。第 2 世代 SSI テクノロジーを採用した最大規模の Kintex UltraScale FPGA は、複数の FPGA SLR を高い信頼性で組み合わせ、デバイスファミリのライフサイクルの初期に超高性能デバイスを実現します。UltraScale アーキテクチャをベースとするすべての FPGA にはメモリ PHY が統合されているので、Kintex UltraScale デバイスは、複数チャネルから入力されるデータを非常に効率的にバッファリングできます。UltraScale メモリ インターフェイス アーキテクチャの進化により、既存の FPGA アーキテクチャに比べて低レイテンシのメモリ インターフェイスが低消費電力で動作できるため、簡単に拡張して DDR4 メモリをサポートできます。図 7 を参照してください。



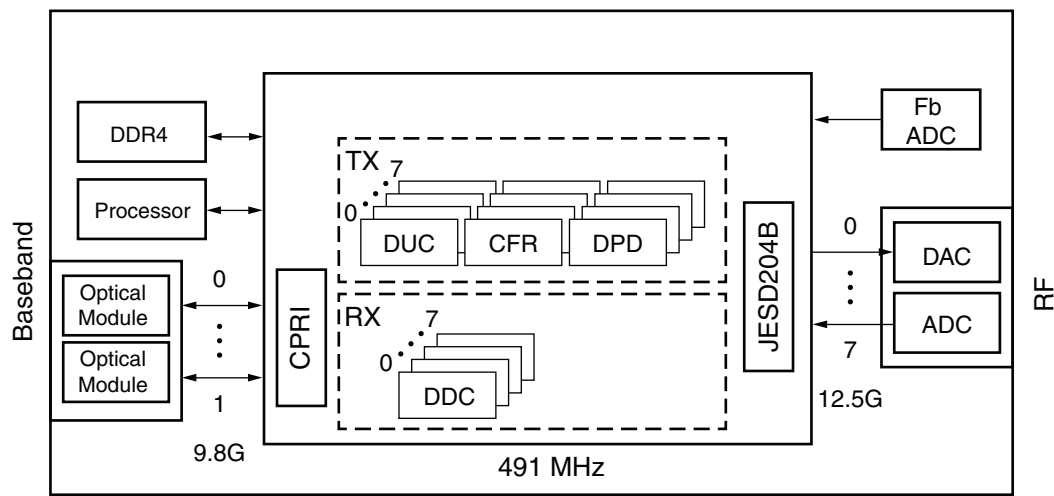
WP434_07_120613

図 7: Kintex UltraScale デバイスによるスーパーハイビジョン処理ソリューション

8K ビデオ イメージを数十メガピクセルの機器で処理する場合、Kintex UltraScale FPGA のデジタル信号処理性能を活用できます。もちろん、設計者はサイズ、重量、消費電力への厳しい制約を常に念頭に置く必要があります。UltraScale アーキテクチャをベースとする FPGA は、SSI テクノロジーによる容量と性能の向上により、他のソリューションで複数のデバイスを必要とする処理を、1 個の FPGA で実行できます。ただちに得られるメリットとして、ボードの複雑性とコストの削減が、サイズと重量に好ましい影響を与えます。複数のデバイスの代わりに 1 個の FPGA を使用できるため、I/O の数が削減され、それによってシステムの総消費電力も削減されます。UltraScale アーキテクチャをベースとする FPGA では、ハードウェアおよびソフトウェアによる多くの電力最適化メカニズムが利用可能であり、消費電力と熱に敏感な筐体内の環境で高性能ビジョン処理システムに要求される、さらなる消費電力の削減が可能となります。

無線リモート ラジオ ヘッドのデジタル フロント エンド

スマートフォン、タブレットや他のネットワーク接続機器の普及とともに、データ利用量と常時接続への需要が急増しています。こうした需要に対処するため、無線インフラストラクチャは、マルチモードまたはヘテロジニアス ネットワーク内で各種の標準 (GSM、WCDMA、LTE) をサポートしなければなりません。このような柔軟性はユーザーにとって非常に便利ですが、機器メーカーはラジオ マストのデザインの複雑化という問題に直面します。分散型基地局アーキテクチャの一部であるリモート ラジオ ヘッドは、必要なマルチモードのサポートを提供します。ラジオ ヘッドをマストの高い位置でアンテナの隣に取り付けば、(伝送ライン損失が大幅に減少するため) システムパフォーマンスの観点から見て有利ですが、アンテナ マストの頂点近くの小さな筐体に複雑な機能を盛り込むことになり、アクセスとサービスが難しくなります。したがって、システム コンポーネントを選択する際は、信頼性、消費電力、冷却が重要になります。図 8 を参照してください。



WP434_09_111213

図 8 : Kintex UltraScale を使用した無線リモート ラジオ ヘッド DFE のインプリメンテーション

Kintex UltraScale FPGA は、次世代のリモート ラジオ ヘッドのデジタル フロント エンド アプリケーションに最適です。マストの頂点のスペースに高い価値があるので、使用されるコンポーネントは少ないほど望ましいと言えます。豊富な DSP リソースを搭載した Kintex UltraScale FPGA は、ラジオ ヘッドのすべての信号処理機能 (アップコンバージョン、ダウンコンバージョン、クレスト ファクター リダクション、プリディストーション) を実行するのに十分な機能を 1 個の FPGA 内に備えています。ワンチップソリューションには、マルチチップソリューションに比べて大きなメリットがあります。物理的フットプリントが小さくなって PCB を小型化できる一方、I/O 数が少ないので (したがって、半田付けされる接合部が少ないので) システムの信頼性が向上するなど、あらゆる条件が、ユニットのサービスに関連した運用コストの削減につながります。さらに、UltraScale アーキテクチャをベースとするすべての FPGA 内の高性能 DSP とブロック メモリは、すべての FPGA スピード グレードで 500MHz を超えるパフォーマンスを発揮するため、このようなタイプのコスト重視のアプリケーションにメリットがあります。

Kintex UltraScale FPGA は、低消費電力アーキテクチャとリッドレスフリップチップパッケージ採用の小型フォームファクターにより、エアフローが極めて少ないために冷却性能に限られる筐体内の環境でも良好な性能を発揮します。Kintex UltraScale FPGA 内の最適化されたトランシーバーは、現在のシリアルプロトコルに適合する性能 (9.8Gb/s CPRI、12.5Gb/s JESD204) を提供するだけでなく、消費電力を最適化したトランシーバー アーキテクチャを変えずに、次世代のシリアルプロトコルへと拡張するのに必要な拡張性も備えています。

まとめ

今日の世界では、より多くの情報を、より迅速に、より多くの宛先に届けることが求められています。その中で機器メーカーは、より高度な性能とインテリジェンスを自社のシステムで実現する必要があり、結果として、より多くのデータが (多くの場合、より広帯域のデータバスを使用して) より高速なデータレートでシステム内を伝送されています。従来の FPGA アーキテクチャにはいくつかのボトルネックがあるため、次世代の高性能アプリケーションを高い信頼性でインプリメントすることは困難です。ザイリンクスの UltraScale アーキテクチャは、各種の市場およびアプリケーションにさまざまなメリットをもたらします。UltraScale アーキテクチャをベースとするすべての FPGA は、CLB の拡張、デバイス配線の飛躍的な増加、革命的な ASIC スタイルのクロッキングアーキテクチャと、高性能 DSP、メモリ インターフェイス PHY、シリアルトランシーバーを組み合わせ、システムパフォーマンスの限界を押し上げます。優れたシステムパフォーマンス、これまでにない大容量、各種の革新的な低消費電力機能を実現したザイリンクスの UltraScale アーキテクチャは、多くの次世代アプリケーションに最適な選択肢です。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013 年 12 月 10 日	1.0	初版

DISCLAIMER

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx's limited warranty, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

AUTOMOTIVE APPLICATIONS DISCLAIMER

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。