



WP451 (v1.0) 2014 年 5 月 1 日

次世代 UltraScale アーキテクチャ での消費電力の削減

著者 : Srinivasa Kolluri

継続的な消費電力削減への取り組みとこれまでにない革新的なアーキテクチャを実現したザイリンクス UltraScale™ デバイスは、多くの次世代アプリケーションに最適な選択肢です。

大規模な範囲で相互につながるグローバル コミュニティでは、より高速でより広い帯域幅の利用を可能にする小型のロジック デバイスが途絶ず求められています。同時に高い電力効率を実現することも要求されます。つまり、デバイスは消費電力を抑えながら、より多くのデータをより高いレートで移動させる必要があります。

これを実現するためにまったく新しいパワー マネージメント 技術に着想し、それは UltraScale™ デバイスという形で実現されました。この技術によって、数年前までは想像もつかなかった、優れた電力効率と超低消費電力レベルで今までにない量 (Tbps) のデータを移動させることができるようになりました。

Kintex® UltraScale と Virtex® UltraScale ファミリには、業界初の ASIC クラスのプログラマブル アーキテクチャをベースに強化された消費電力削減技術が組み込まれており、これまでにない市場需要を満たすことができます。20nm プレーナ テクノロジーから 16nm FinFET およびそれ以降のテクノロジーまでスケラブルに設計された UltraScale アーキテクチャは、実績のあるアーキテクチャ プラットフォームと数多くの革新的な消費電力削減技術を備えています。Vivado® Design Suite との協調設計が可能で、UltraScale アーキテクチャによって、性能、柔軟性、そして電力効率のいずれの面でも、現世代のテクノロジーとソリューションを使用する以上に優れたシステムを構築できます。

このホワイト ペーパーでは、ムーアの法則が提唱する指標に沿った、電力効率の管理、デバイスの消費電力要件の緩和、および新たな電力ソリューションの開発といった課題について考察していきます。

はじめに

低価格で高機能な携帯機器の急速な普及により、ワイヤレス サービスとクラウド サービスの収束が進んでいます。この収束そのものが、これからの通信ネットワークにおけるトラフィック増加の大きな要因です。インターネットおよびインターネットベース サービスでは、クラウド コンピューティングおよびモノのインターネット (Internet of Things : IoT) が次の大きな進化段階であると考えられています。さまざまな市場とアプリケーションで、システム帯域幅と処理能力の大幅な拡大が求められています。次に例を示します。

- 有線ネットワークソリューション : 100Gb/s から 400Gb/s を経て最大 1Tb/s で動作する複数リンクへと進化
- デジタルビデオアプリケーション : 1080p から 4K (QuadHD) を経て最大 8K (スーパーハイビジョン) ディスプレイへと進化
- 無線ネットワーク : 3G から LTE Advanced を経て NxN LTE Advanced へと進化

プログラマブル デバイスの消費電力はデバイスを選択する上で重要な要素です。絶対的な消費電力、実用的性能、バッテリー寿命、熱課題、あるいは信頼性のどれを考慮して選択する場合でも、その中心となるのが消費電力です。UltraScale デバイスは、配線、クロッキング、ロジック構造などの点でアーキテクチャを強化および改良し、これらの問題すべてに対応します。

ザイリンクスは、プロセスの変更と改善、アーキテクチャの変更、電圧制御 (電圧スケーリング)、ソフトウェアでの消費電力最適化など、さまざまな消費電力削減方法の検討および実装を継続して行っています。UltraScale デバイスはプランニング段階で、これら消費電力削減方法がスタティック消費電力、ダイナミック消費電力、I/O 電力に与える影響がすべて評価されています。新しいテクノロジーの導入に伴う、製品化までの時間、性能、ソフトウェア、ダイ面積への影響 (いずれもコストに換算できる) についても追加のリスク評価が実施されています。

このホワイト ペーパーでは、UltraScale デバイスに関連する消費電力をいくつかの観点から説明します。具体的には、ザイリンクスが採用した 20SoC プロセスとこのプロセスがもたらす消費電力に関する利点、ザイリンクス製品へのその有用性、そしてスタティック消費電力、ダイナミック消費電力、および I/O 電力の削減に関連する革新的なアーキテクチャとその機能などについて解説します。

スタティック消費電力の削減

20nm プロセス テクノロジー

ザイリンクスと TSMC 社は、高性能と低消費電力を誇り定評ある 28HPL プロセスの作成において緊密に協力および連携し、成功を収めています。28HPL プロセスは、プログラマブル デバイス アプリケーション向け HKMG トランジスタ技術の数々の重要な優位性を実証し、スケラブルで最適化されたアーキテクチャ ベースの FPGA の作成に貢献しました。20SoC プロセスは、第 2 世代のゲート ラスト (gate-last) 方式の HKMG と第 3 世代のひずみシリコンゲルマニウム (SiGe) 技術を採用し、消費電力の削減と性能の向上を実現しています。28HPL の後継技術として 20nm ノードで 20SoC プロセスを選択する際にも同様の設計手法が適用されました。TSMC 社の 20nm プロセス テクノロジーでは、28nm テクノロジーと比較して 1.9 倍の集積度で 30% の高速化が可能です。

20SoC は現行の 20nm ノードの中で最高集積度のプロセスであるため、その利点は多様です。結果、チップ面積が大きく縮小し、消費電力も大幅に削減されます。このプロセスは、たとえばダブル パターニング技術の規則に従うといった高度な製造設計要件を満たすことで高い歩留まりを実現するよう開発されています。これは、高性能な FPGA が必要な量産アプリケーションでは特に有用です。また、ザイリンクス独自のアーキテクチャ レベルおよびブロック レベルの革新技術により、すべてのレベルに省電力効果がもたらされます。さらに、20nm UltraScale FPGA は、信頼性の高い消費電力予測と最適化機能、ブロック レベルの消費電力最適化機能、パワー マネージメント機能を提供し、迅速な製品化をサポートします。

電圧制御 (電圧スケーリング)

20SoC プロセスでは設計時の電圧ヘッドルームが大きく、V_{CC} 電源電圧を広い範囲から選択できるため、さらに柔軟な消費電力と性能のストラテジが可能になります。

20SoC プロセスには、消費電力に次のような利点があります。

- 高性能モード (V_{CC} = 0.95V) : FPGA の一般的な性能目標の範囲内で、20SoC はスタティック消費電力を低く抑えた状態の 28HP/HPL よりも高い性能を発揮します。
- 低電力モード (V_{CC} = 0.9V) : 20SoC は 28HP よりも 65% 低いスタティック消費電力を実現します。

20SoC プロセス デバイスは V_{CC} ヘッドルームが大きいので、 V_{CC} を 0.9V に低減しても消費電力の分布曲線では良好な性能を示します。0.9V では、ダイナミック消費電力も ~10% 削減されます。図 1 は、このような V_{CC} 耐電圧デザインの最適化における効果をグラフで表したものです。

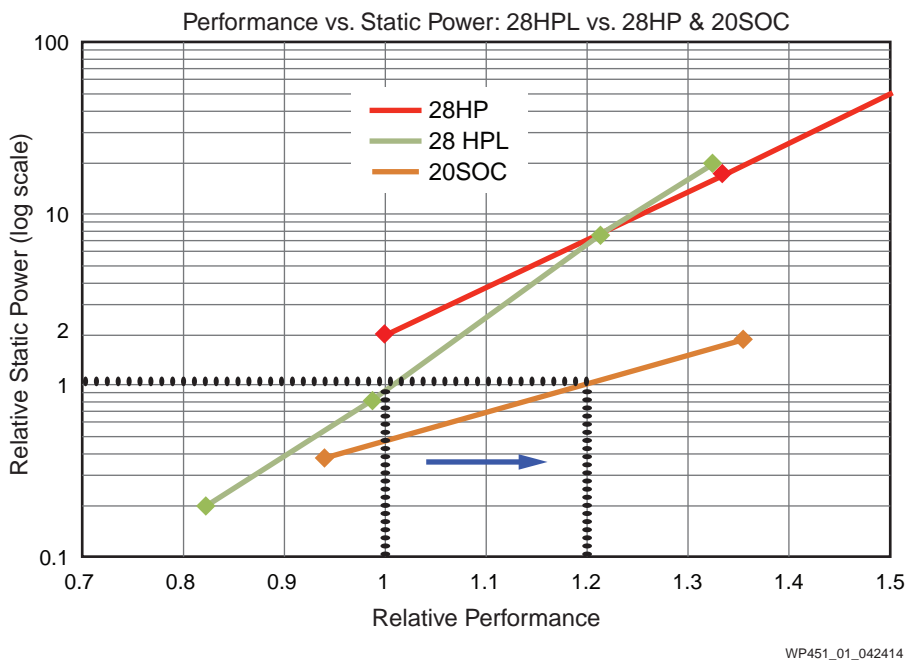


図 1: 性能と消費電力

UltraScale FPGA は 0.95V および 0.9V の 2 つのコア電圧で動作させることが可能です。これは Virtex-7 デバイスで初めて導入した消費電力削減策と同様です。0.95V または 0.9V で動作可能な FPGA デバイスは、0.95V でのスピード グレードに基づいて「-1L」と位置付けられました。その性能は、0.95V で -1 スピード グレードと等しく、0.9V では -1 スピード グレードとほぼ同等ですが、低消費電力パラメータを指定して低い電圧でも動作可能であることを「L」で示しています。0.9V で FPGA デバイスの電圧を下げるだけでも ~30% のスタティック消費電力が削減されます。

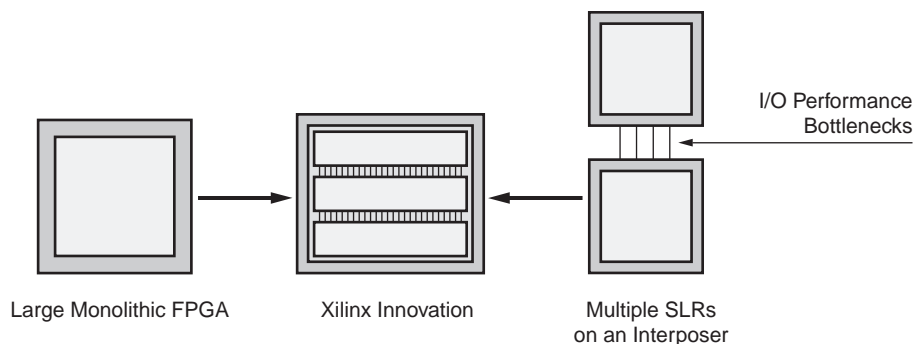
一般に電圧を下げることで性能は低下しますが、ザイリンクスは標準デバイスよりも厳しいスピードおよびリーク電流の条件で -1L デバイスを選別しています。つまり、リーク電流が最も低く性能が最も高いデバイスのみを -1L デバイスとして選択しています。

この選別により、消費電力は標準スピード グレード デバイスと比較して最大プロセス (ワースト ケース) で 40% 削減されます。分配システム (PDS) は、最大プロセス条件下でデザインが正常動作するよう、確実かつ適切に電源が供給される場合の最大消費電力に対応する必要があります。このため、ザイリンクスは最大プロセスでスタティック消費電力を削減する取り組みにも非常に注力しました。

スタックド シリコン インターコネクト (SSI) テクノロジー

UltraScale アーキテクチャ FPGA は、第 2 世代の SSI テクノロジーを活用してこれまでにないレベルの性能と機能を実現しています。

各トランジスタがリーク要素を持つだけでなく、大規模デバイスではその数が 10 億個以上になることがあるため、プログラマブル デバイスはその規模が大きくなるにつれて、最大プロセスのリーク電流が深刻な問題となる場合があります。大規模な UltraScale FPGA は、ザイリンクスの第 2 世代スタックド シリコン インターコネクト (SSI) テクノロジーを使用して作成されています。このテクノロジーは 1 つの大きなデバイスを作るために複数の Super Logic Regions (SLR) を用います。SSI テクノロジーの利点の 1 つは、標準のモノリシック ダイ 1 つで製造されたほぼ同じサイズのデバイスに比べて、最大スタティック消費電力を削減できることです。図 2 を参照してください。



WP451_02_042814

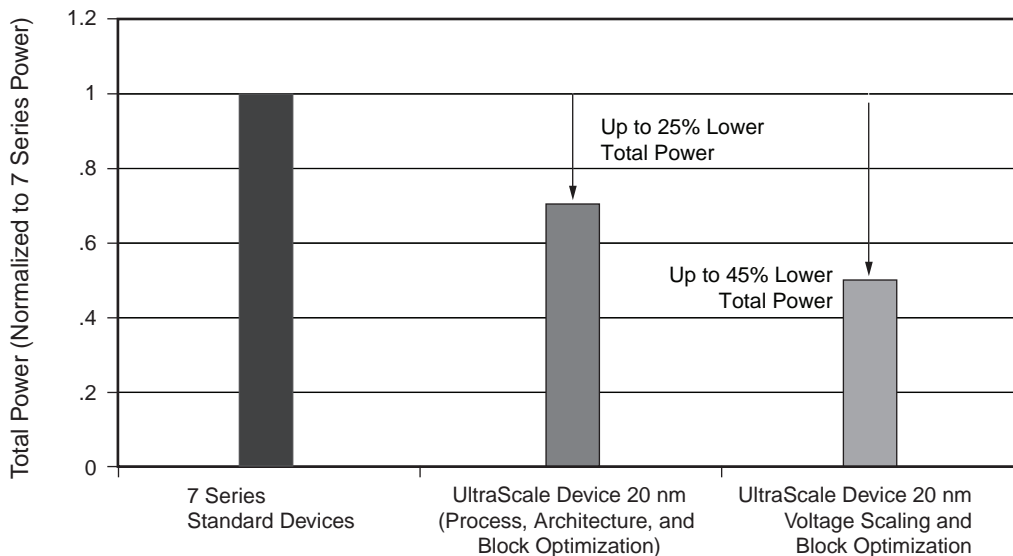
図 2: 第 2 世代 SSI テクノロジー

ザイリンクスはデバイス内すべての SLR のリーク電流が最大プロセス (ワースト ケース) とならないようにしました。ある SLR が最大プロセスのリーク電流に近い場合、その他の SLR は標準に近いものを選択します。その結果、同じ集積度の 1 つのダイと比較した場合、最大プロセスのリーク電流は非常に小さくなります。

また、第 2 世代 SSI テクノロジーによって I/O インターコネクトの消費電力も大幅に削減されます。ザイリンクスの SSI テクノロジーデバイスではなく小規模な個々の FPGA で 4.4M ロジックセルを実現するには、各デバイスを動作可能な帯域幅で接続するために多数の I/O ピンが必要となります。SSI テクノロジーを用いれば、I/O インターコネクトの消費電力は I/O とトランシーバーで構成した同等のインターフェイスよりも 100 倍 (帯域幅/W) 小さくなります。信号をオフチップで駆動するための電力を消費せずに、すべての接続をオンチップで構成することにより、この劇的な削減が可能となっています。このように設計概念を変えることで低消費電力での高速動作が実現します。

ダイナミック消費電力の削減

正しい低消費電力プロセスを決定するには、おびただしい数の技術や調査が必要とされます。しかし、プロセスレベルでの低消費電力化が止まることはありません。ザイリンクスは 20nm ノードであらゆる角度から電力効率を高めることに力を注ぎました。どれくらいの割合でダイナミック消費電力を削減できるかについて、またそれに伴うリスクやインプリメンテーション時間についても数多くのオプションが評価されました。これまでと同様、性能、コスト、デザインフロー、全体的なスケジュールへの影響の点からも各消費電力削減手法を評価しました。多数のオプションがザイリンクスの 20nm デバイスに適用され、このアーキテクチャストラテジにより、UltraScale アーキテクチャで構築されたすべてのデバイスファミリで低消費電力化機能が利用できるようになっています。図 3 を参照してください。



WP451_03_042414

図 3: 総消費電力の削減

ASIC ライクなクロッキングによる消費電力の削減

UltraScale アーキテクチャのクロック配線とバッファは、既存の FPGA アーキテクチャよりも柔軟性が大きく向上するように設計が全体的に見直されています。さらに、水平方向および垂直方向の豊富なクロック配線トラックとクロック分配トラックにより、UltraScale アーキテクチャは何百ものグローバルクロックバッファを提供します。UltraScale アーキテクチャには、旧アーキテクチャの 20 倍以上の数のグローバルクロックバッファがあり、これらの配置オプションは数千にもおよびます。実質的に、クロックネットワークの中心(クロックスキューが累積し始める地点)は UltraScale FPGA 内のクロック領域のいずれにも配置できます。このため、クロックネットワークを必要な範囲に限定して駆動できます。これは ASIC と同様です。UltraScale アーキテクチャは、クロック信号をソースからすべてのデスティネーションへ送信するために必要な電力のみを消費する、最も低いスキューで最高速度の性能を備えたクロックネットワークを提供します。

クロックのダイナミック消費電力は、細精度クロックゲーティングによってさらに削減可能です。ロジックが未使用の場合、クロックドライバーは動的にゲート遮断されます。この機能は、ある時間基準で動作/停止する必要がある部分に対して静的に、またはクロックサイクルの精度で動的に使用できます。最も大きなザイリンクス 20nm デバイスでは、グローバルクロックだけでなく、多数のリーフクロックに対してもゲート制御が可能です。

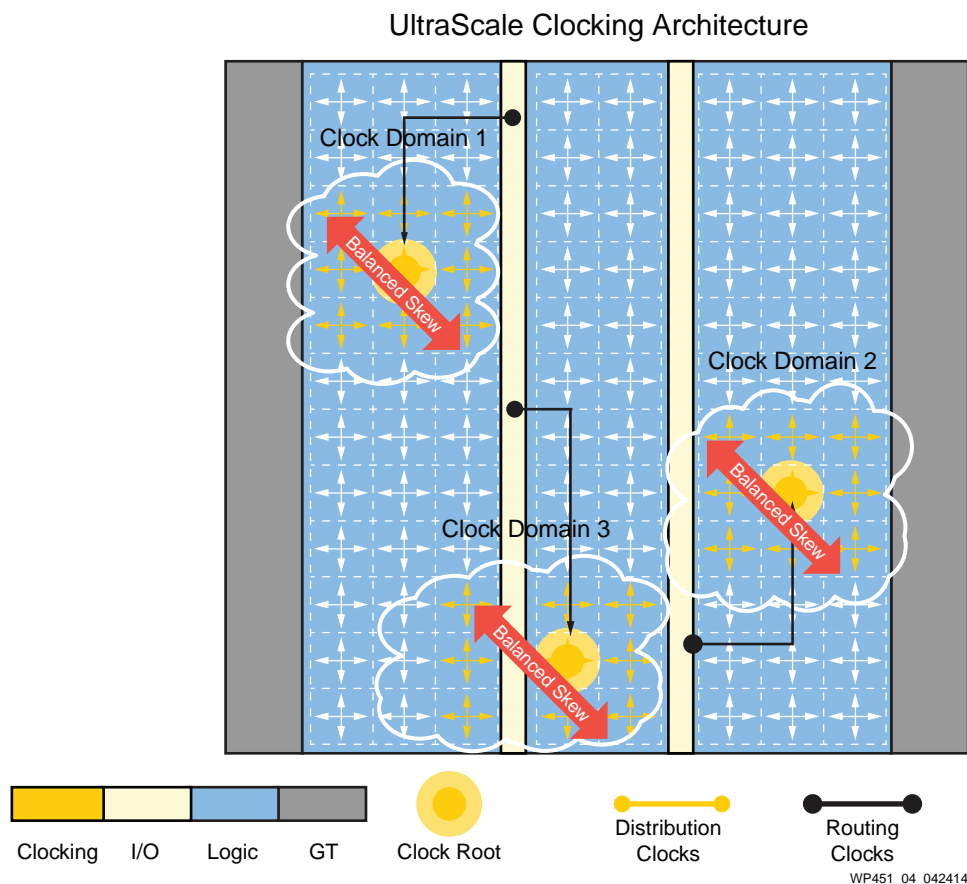


図 4 : UltraScale デバイスの ASIC ライクなクロッキング

クロック ツリー消費電力 (CV^2f) の多くは実質的に水平方向のバッファ レベルとリーフ クロック レベルから来ています。ここでは、数千の負荷 (キャパシタンス) を駆動する必要があるからです。このレベルでのゲーティングが可能になればダイナミック消費電力を大幅に削減できます。ファンアウトを減らすと、クロック バッファ への負荷が減るためその消費電力が低減し、さらに重要な点としてクロック ツリーの消費電力が削減されます。ゲート制御可能なクロックが非常に多いことから、イネーブル率にも依存しますが、デザインによってはクロック ツリー消費電力を 10 ~ 15% 節約できます。

より少ない CLB で、低消費電力を実現するデザイン

UltraScale アーキテクチャは改善されたコンフィギュラブルロジックブロック (CLB) を提供し、クロック信号およびデータ信号がロジックリソースに到達した後、利用可能なリソースが最も効率的に使用されるようにします。これは、インターコネク (ワイヤ) の全長を短くすることを目的としています。UltraScale アーキテクチャの設計段階では、既存の CLB 構造をあらゆる面で解析し、コンポーネントをさらに効率よく使用できる方法を検証しました。その結果、Vivado® Design Suite ツールはさらに多くのコンポーネント (大抵は互いに機能的な関連性はない) を 1 つの CLB 内に配置できるようになり、高密度に実装されたデザインが実現します。このようなデザインは高い性能で動作しながら、デバイスを最も効率よく使用することで可能な限り消費電力を低減します。

CLB 構造の大幅な変更により、パッキングオプションの柔軟性が増えています。各 6 入力 LUT は 2 つのフリップフロップと組み合わせられます。各フリップフロップには専用の入力と出力があるため、すべてのコンポーネントを共に使用するか、またはそれぞれを完全に独立して使用することができます。また、フリップフロップは、数および柔軟性の面で制御信号が強化されています。これにより、利用可能なクロックイネーブル信号の倍増、クロックイネーブルポートとリセットポートでのオプションの「ignore (無視)」、同じ CLB 内でアクティブ High とアクティブ Low のリセットフリップフロップを可能にするリセット反転オプション、シフトレジスタと分散 RAM の機能に対応するクロック信号の追加などの利点がもたらされています。

UltraScale アーキテクチャの配線リソース数が増加し、クロッキングアーキテクチャの柔軟性が大きく改善されたことから、CLB のコネクティビティも大幅に向上しました。その結果、高密度に実装された高性能のデザインが可能になり、デバイス使用率が一層改善されました。配線の追加と関連して、高密度実装によってワイヤ長が短くなり、キャパシタンスが少なくなります。つまり、これらすべてが総消費電力の削減に貢献します。図 5 を参照してください。

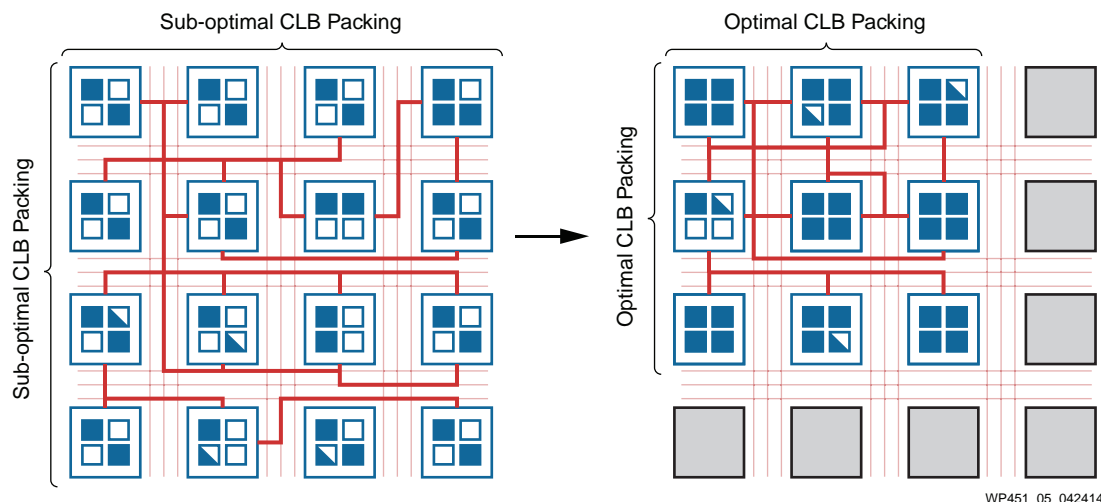


図 5: UltraScale デバイスの最適な高密度実装でもたらされる省電力

ブロック RAM の消費電力削減機能

UltraScale アーキテクチャは 28nm デバイスと同様に、未使用ブロック RAM のパワーゲーティング機能をサポートしています。全体的なデバイスのリーク電流の大部分をブロック RAM から発生するスタティックリーク電流が占めているため、ブロック RAM のパワーゲーティングはすべてリーク電流の削減に役立ちます。

20nm デバイスのブロック RAM のリーク電流は、デバイスのすべてのブロック RAM ではなく、デザインで使用されているブロックでのみ発生します。エンベデッドメモリがインスタンス化されているかどうかはソフトウェアが判断します。デザインがロードされると、インスタンス化されたメモリにのみ電力が供給され、未使用ブロック RAM への電力供給は無効化されます。

ブロック RAM はメモリにハード化された高速カスケード接続機能もサポートします。ブロック RAM エンベデッドメモリブロックには専用のデータカスケード配線機能と出力多重化機能が備わっているため、大幅に削減されたダイナミック消費電力要件で、より高速な大規模ブロック RAM アレイが構築できます。カスケード機能は、1 つの 36kb ブロック RAM (RAMB36) データ出力を次のブロック RAM に直列にカスケード接続して、ボトムアップ方式でよりワード数の大きいメモリを構築します。データ出力をカスケード接続するこの機能は、RAMB36 のすべてのポート幅でサポートされます。図 6 を参照してください。

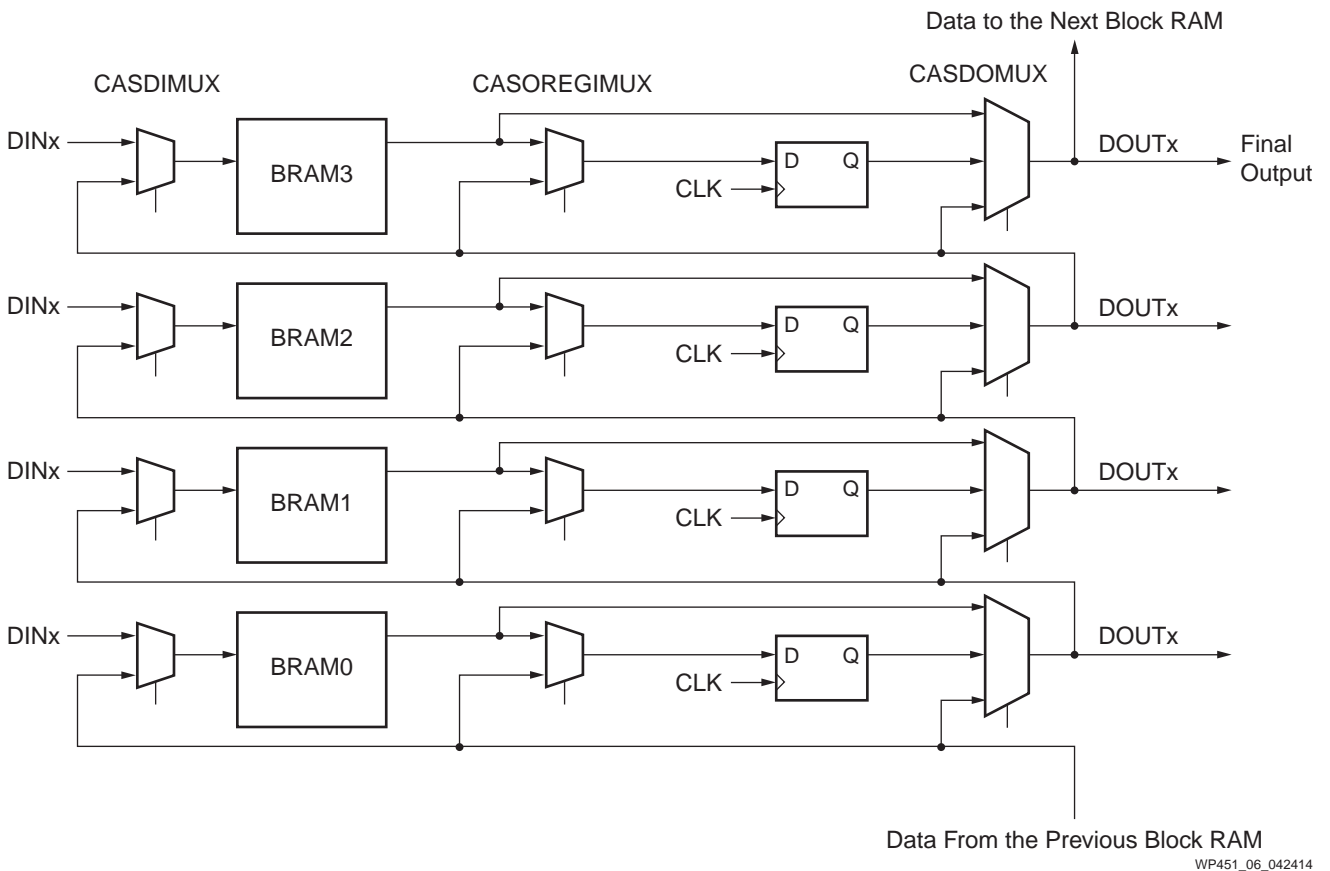


図 6: UltraScale ブロック RAM アーキテクチャのカスケード トポロジ

必要に応じて3つ以上のブロック RAM をカスケード接続することも可能です。カスケードモードでは、カスケード接続したすべてのブロック RAM に共通する入力はずべて一緒に接続する必要があります。ブロック RAM は、カスケード接続機能をさまざまな構成で柔軟にインプリメントできます。UltraScale デバイスのブロック RAM アーキテクチャでは、データパス、パイプラインレジスタ、またはデータのカスケード接続と直接入力/出力を選択する際に使用可能なマルチプレクサーを提供します。つまり、カスケード接続機能は、あるインスタントにおけるアクティブなブロック RAM の数を最小限にして、ダイナミック消費電力を削減します。統合されたカスケード接続によってブロック RAM カラムはそのままの状態に残されることなく、ほかのアプリケーション用にデバイスインターコネクが節約されます。ブロック RAM のタイミングに影響はありません。図 7 を参照してください。

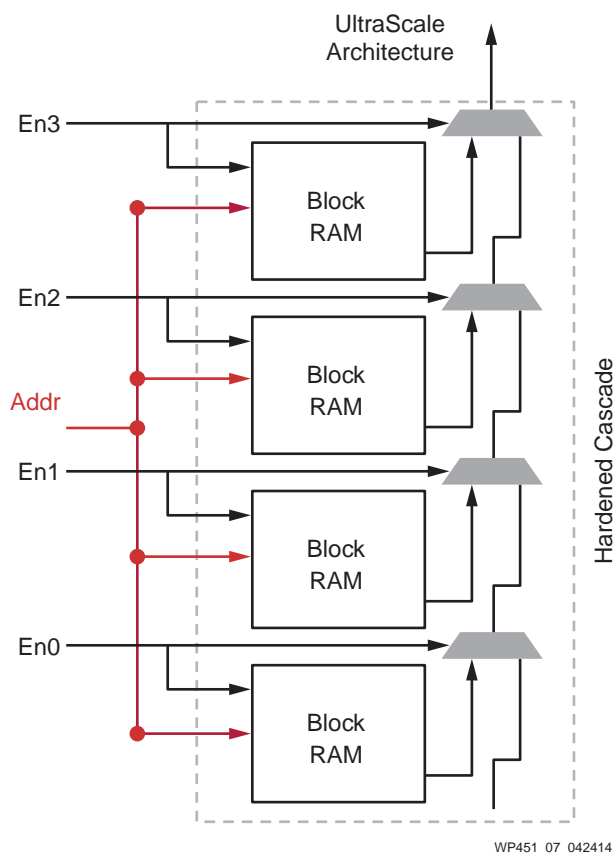


図 7: UltraScale アーキテクチャにおけるブロック RAM のカスケード接続

ブロック RAM アーキテクチャにはその他に次のような機能強化があります。

- FIFO および多重化機能専用のカスケード接続
- データ内容を保持したままブロック RAM がスリープモードに移行する、ダイナミック消費電力のパワーゲーティング

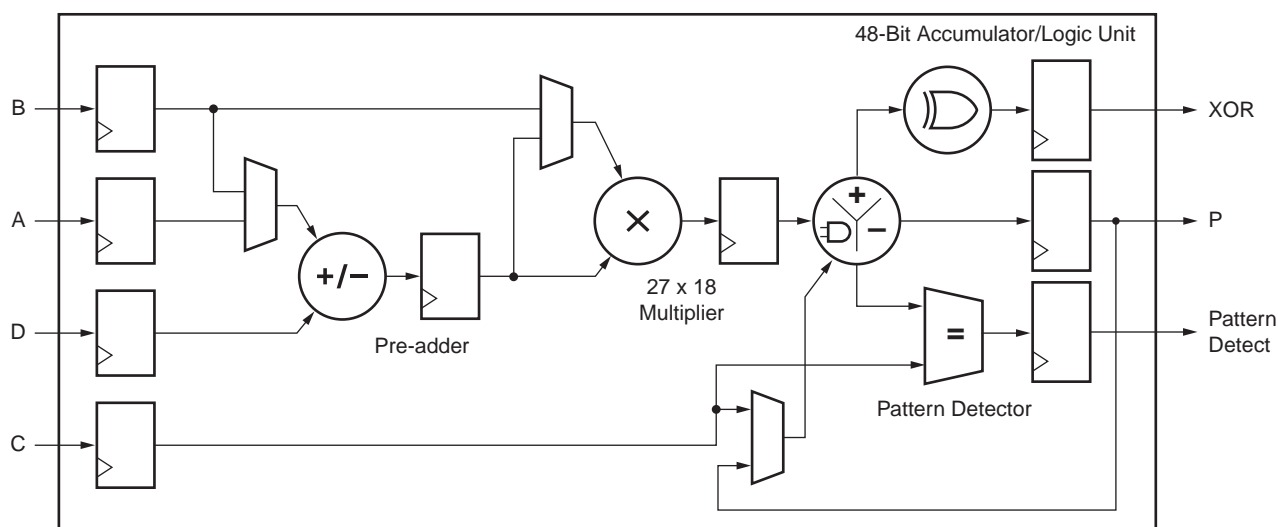
強化された DSP による消費電力の削減

ザイリンクスは、業界をリードする性能を誇る Virtex-7 FPGA の DSP スライスを UltraScale アーキテクチャ向けに大幅に強化しました。これによって、より高速なデジタル信号処理を可能にしなが、DSP ブロック外の配線リソースとロジックリソースの使用を抑えることができます。DSP スライスに適用された多くの革新的技術によって、乗算と MACC 演算が改善された上に機能的な性能が強化され、消費電力が抑えられました。

UltraScale アーキテクチャの DSP スライスは、27x18 ビットの乗算器を搭載しており、少ない DSP スライスでより大きな機能に対応します。たとえば、UltraScale アーキテクチャの DSP ブロックとその大規模な 27x18 ビット乗算器は、ザイリンクス 7 シリーズ デバイスの DSP ブロックと比較すると、2/3 の DSP ブロック数で IEEE 754 規格の倍精度演算を実装できます。

UltraScale FPGA の DSP ブロックには、多入力 XOR ファンクションと多入力 MUX ファンクションを追加して実装した、有益な消費電力削減機能があります。これらのファンクションによって 96 ビット XOR の実行が可能になり、ワイヤード デザインや多入力マルチプレクサー ファンクションがさらに効率よく実装されます。また、累積乗算のような複雑なファンクションを通常の 7 シリーズ デバイスの半分の数の DSP スライスで実装できるため、ロジックで同等のファンクションを実装するよりも高速かつ高効率な動作が実現し、消費電力が大幅に削減されます。

このような強化により、性能が向上して消費電力が削減されるほか、CLB の使用率が低減するために未使用の CLB をほかの機能に使用できるようになります。図 8 を参照してください。



WP451_08_042414

図 8 : UltraScale アーキテクチャにおける DSP の強化

DSP ブロックにおける消費電力削減に向けた別の大きな改善点として、1つのスライスまたはタイルで使用できる乗算器を増加させました。結果、より小型のフットプリントと消費電力の削減が可能になります。DSP ブロックや同様の革新技術を用いることで、UltraScale アーキテクチャは、優れた処理能力および低消費電力という次世代アプリケーションの要件を同時に満たすことができます。

I/O の電力削減

I/O の電力は、デバイスの総電力要件を大きく左右します。プログラマブル デバイスの進化に伴い、コア消費電力も大きく削減されてきました。しかし最近まで (ザイリンクスの 7 シリーズ ファミリの登場まで)、I/O 電力の削減は進みませんでした。特にメモリ中心のアプリケーションでは、I/O 要件が非常に多いため、デザインの総電力バジレットの 50% もが I/O で消費されることがあります。これを受けて、ザイリンクスは 7 シリーズ FPGA の I/O 電力の削減に積極的に取り組みました。UltraScale デバイスでは省電力機能がすべて利用可能です。

プログラム可能なスルー レートと駆動電流に加えて、HSLVDCI のような特殊な規格によって、デバイスと低速メモリ インターフェイスの消費電力が大幅に削減されます。詳細は、『28nm プロセスを採用した 7 シリーズ FPGA で消費電力を削減』(WP389) を参照してください。

DDR4 ソリューションによって低消費電力で高帯域幅を実現

UltraScale アーキテクチャは、DDR3/4 対応 SDRAM メモリ コントローラーを複数サポートし、統合 DDR 物理層 (PHY) ブロックをチップ上に搭載することで、これまでにないメモリ インターフェイスを実現しています。図 9 を参照してください。

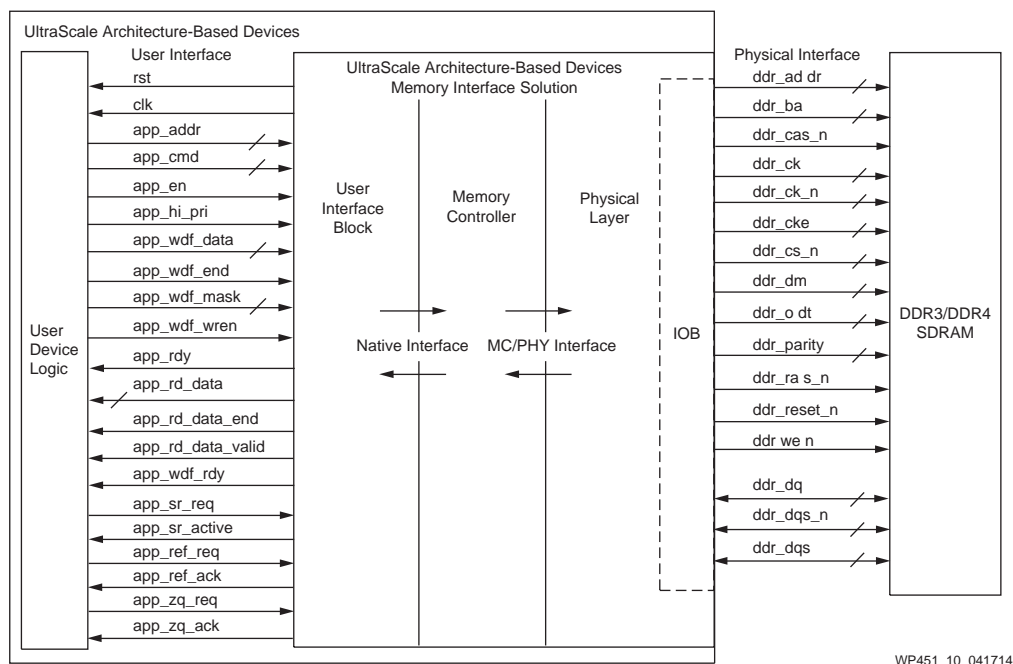


図 9: UltraScale アーキテクチャにおける WDR4 コントローラー

UltraScale デバイスの新しい DDR4 メモリ インターフェイスは 1Tb/s を超えるメモリ帯域幅を提供し、ビデオ画像処理、トラフィック管理、高性能演算などの重要なアプリケーションで最新の次世代システム デザインの大容量データフロー、高速処理、膨大なメモリ要件に対応します。DDR3 から DDR4 インターフェイスへ移行したことにより、アプリケーションでは読み出しレイテンシが 30% 削減され、同じデータレートで消費電力が大幅に削減されます。

多くのユーザーデザインで、DDR の消費電力は性能と同じく重要です。DDR4 は 1.2V のより低い電圧で動作するため、DDR3 から DDR4 へ移行することによって消費電力が 20% 削減されます。I/O、DDR4、および統合 PHY を活用することで、さらに大幅な消費電力の削減が可能です。

DDR4 の新しいメモリ インターフェイスは、擬似オープンドレイン (POD) 終端を採用しています。つまり、電力を消費することなくメモリセルはロジック 1 (High) を格納できます。POD は、個別のプルアップ抵抗ではなく切り替え可能なオンダイ終端を使用します。これは、 V_{DD} レールがロジック 0 (Low) にプルダウンされるときにのみ DDR4 モジュールが電力を消費することを意味します。

その他、新しい省電力機能にデータバスの反転があります。この場合、実際のバスのステートまたはその補間ステートで発生する切り替え数が最も少なくなる (つまり各サイクルでの消費電力が最も低くなる) をロジックが判断します。

さらに、POD I/O やデータバス反転のような高集積パーツや低消費電力機能を持つ DDR4 は、DDR3 や DDR3L よりも低い消費電力で高い性能を実現するため、魅力的なメモリ インターフェイスといえます。

トランシーバーの消費電力

ザイリンクス 20nm デバイスのトランシーバーは、高性能と低ジッターを共に実現するよう最適化されており、低消費電力動作の機能を備えています。消費電力と性能のトレードオフ バランスを容易に取ることができるよう、各トランシーバーにはユーザーが柔軟性や精度をカスタマイズできる消費電力機能があります。UltraScale アーキテクチャの GTH トランシーバーは、7 シリーズ FPGA の GTX/GTH トランシーバーと比べて総消費電力が 50% 削減されるよう再設計されています。

UltraScale デバイスのトランシーバーは低消費電力モードで動作可能です。バックプレーン以外のアプリケーションの多くには、余分な電力を消耗する DFE (Decision Feedback Equalizer) 回路が必要ないため、このようなアプリケーションのデザインでは DFE 回路をオン/オフできるようにしています。消費電力を削減するため、DFE 回路をオフにして、リニア イコライザー (LE) を単独で使用できます。LE では Rx のゲインがさらに低く最小限の回路となるため、消費電力が DFE よりも少なくなります。

統合ブロックは、トランジスタ数を最少にできるためスタティック消費電力を削減しますが、ダイナミック消費電力に対しても大きな効果があります。統合ブロックはプログラマブル インターコネクートを必要とせず、配線長やロジック レベルを抑えることができるため、フットプリント エリアおよびダイナミック消費電力が削減されます。ソフト IP を統合ブロックで置き換えれば消費電力を全体として最大で 10 分の 1 まで削減可能です。図 10 を参照してください。

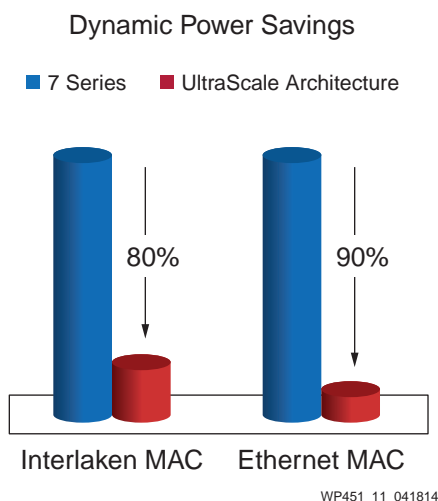


図 10: UltraScale アーキテクチャの統合 MAC

ザイリンクスは、チップ間のコネクティビティを最大 150Gb/s まで拡張する、統合 Interlaken IP コアを実装しています。このザイリンクスの IP コアは、業界最先端かつ最も広く展開されているインプリメンテーションに基づいています。つまり、Interlaken Protocol Specification v1.2 に準じた柔軟性、高性能、そして低消費電力を実現するインプリメンテーションであり、12.5Gb/s と 25Gb/s のトランシーバーをサポートします。UltraScale アーキテクチャのトランシーバー技術および柔軟なプロトコル層を兼ね備えた統合 IP コアは、チップ間インターコネクートのピンと消費電力のオーバーヘッドを最小にします。

Virtex UltraScale FPGA はイーサネット MAC と Interlaken IP を統合することで、システムおよびユーザーの双方にいくつかの利点をもたらしています。統合 IP では同等のソフト IP ソリューションと比べるとレイテンシが低くなり、以前は実現できなかった性能を可能にします。ソフト MAC および Interlaken インターフェイスブロックの実装にこれまで使用してきた FPGA リソースを活用して、パケット前処理、タイムスタンプなどの機能をより低い消費電力プロファイルで実行できるようになりました。さらに、マルチチップ機能を 1 つの UltraScale FPGA に集積して、大幅な消費電力の削減に貢献しています。

パワー マネージメント

ザイリンクスは、システム モニター (SYSMON) によるオンチップおよびオフチップ モニター機能と XADC 機能を数々の世代にわたって提供し、高度なシステム管理とパワー マネージメントに対応してきました。

UltraScale アーキテクチャでは、ユーザーの電力要件とシステム管理要件がさらに満たされるよう SYSMON を強化しました。オンチップ電源センサーの数を 3 つから 7 つに増やし、ユーザー定義のオンチップ電源センサーを新たに 4 つ追加しました。これらのセンサーは、たとえばチップ上にある V_{CC0} 電源電圧に接続するように設定できます。さらに、どの I/O バンクを使用しても SYSMON への 16 の外部補助アナログ入力をサポートできます。

新しい統合 I2C インターフェイスによって、パワー マネージャーおよびシステム マネージャーが業界標準の管理インターフェイスを介して SYSMON データ (コンフィギュレーション前/後両方) にアクセスできるようになりました。このインターフェイスは、不可欠かつリアルタイムな FPGA の動作条件へ簡単にアクセスするため、システムの信頼性、安全性、およびセキュリティが大いに強化されます。

VIVADO DESIGN SUITE および消費電力の最適化

ザイリンクスの 7 シリーズ デバイス ファミリーで最初に導入された Vivado® Design Suite は、UltraScale アーキテクチャを含む次の 10 年のザイリンクス All Programmable デバイス向けに一から開発された SoC 強化デザイン環境です。Vivado Design Suite は、プログラマブルシステムの統合と実装で生じる設計ボトルネックに対処し、競合他社の開発環境と比べて最大 4 倍の生産性をもたらします。Vivado ツールは、ソフトウェアで可能な消費電力最適化によってシリコンの省電力を拡大します。

Vivado Design Suite は、多変数のコスト ファンクションを使用して最適な配置を検索します。これにより、90% を超えるデバイス使用率でも、性能を低下させることなく配線可能なソリューションを素早く見つけることができます。配置の最適化によってもインターコネクトの消費電力が削減されます。

Vivado Design Suite は、UltraScale アーキテクチャの消費電力削減機能にも数多く対応しています。このデザイン環境によってリーフクロックバッファ イネーブルを駆動するロジックを生成することで、デザインの一部にパワーゲーティングを適用します。また、このツールは、ブロック RAM のスタティック消費電力とダイナミック消費電力の両方パワーゲーティングをサポートするロジックを設計者のコードで自動的に生成します。さらに、Vivado Design Suite は、UltraScale アーキテクチャを有効に活用できるよう、カスケード接続されたブロック RAM を推論できます。

Vivado Design Suite は、高度なクロックゲーティングによる最適化をデザイン全体に対して自動的に実行します。この最適化が原因で、デザインのビヘイビアが変わってしまうような変更が既存のロジックまたはクロックに対して適用されることはありません。クロックゲーティング機能は、デザイン全体 (既存の IP およびサードパーティ IP ブロックを含む) に対して解析を実行する革新的なアルゴリズムを使用しています。ソースレジスタの出力ロジックは各クロックサイクルで解析されます。そのうちロジックの結果に寄与しないものについては、ザイリンクス 20nm ロジックに数多くあるクロック イネーブルの 1 つによってゲート遮断されます。したがって、不要なスイッチング アクティビティを抑える高精度クロックゲーティング、つまりロジックゲーティング信号が作成されます。

まとめ

ザイリンクスは UltraScale アーキテクチャの電源要件を大幅に削減することを目指し、それを実現しました。FPGA およびシステムの両消費電力を削減する包括的なアプローチをとることで、DSP、シリアルトランシーバー、ブロック RAM、I/O など複数のファンクションで消費電力を大幅に削減し、Vivado Design Suite とその堅牢な開発ツールとの完全な統合に成功しました。ザイリンクス 20nm デバイスは最大で 45% の総消費電力を削減できます。そして、20nm デバイスの最大プロセスでも、前世代の同等デバイスと比較して大幅な消費電力削減がもたらされます。統合カスケード接続機能、統合された高帯域幅の Ethernet MAC と Interlaken IP、メモリ インターフェイス、そして高度なクロック/ロジックゲーティングソフトウェアを利用することで消費電力をさらに削減できます。表 1 に、UltraScale アーキテクチャの消費電力削減ストラテジ、そしてこれらストラテジの目標を実現したザイリンクスの革新技術を示します。

表 1: UltraScale アーキテクチャの消費電力削減ストラテジとそれに対応する革新技術

消費電力削減ストラテジ	アーキテクチャの革新技術
スタティック消費電力	
総スタティック消費電力の削減	<ul style="list-style-type: none"> 20nm SoC プロセス ノード
ビニング	<ul style="list-style-type: none"> C グレード vs. I グレード vs. -1IL グレード スタティック消費電力で選別されたスライスを使用する SSI テクノロジ
未使用リソースをオフにする	<ul style="list-style-type: none"> I/O およびブロック RAM
電圧制御	<ul style="list-style-type: none"> -1IL (0.95V, 0.9V)
ダイナミック消費電力	
高度なクロックゲーティング	<ul style="list-style-type: none"> ソフトウェア ベース
ハードウェア ベースのクロック消費電力削減	<ul style="list-style-type: none"> セグメント化されたクロック ネットワーク 最精度クロックゲーティング

表 1: UltraScale アーキテクチャの消費電力削減ストラテジとそれに対応する革新技術 (続き)

消費電力削減ストラテジ	アーキテクチャの革新技術
ブロック RAM の消費電力	<ul style="list-style-type: none"> 統合データ カスケード接続 統合アドレス カスケード接続 スタティック消費電力を低減するためのダイナミック消費電力のゲーティング 対 7 シリーズで 60% の消費電力削減
DSP の消費電力	<ul style="list-style-type: none"> 使用率が改善し、エリアと消費電力が削減される ビット数の多い XOR 対 7 シリーズで 20% の消費電力削減
I/O およびメモリ	
I/O とメモリ インターフェイスの消費電力削減	<ul style="list-style-type: none"> 1.2V で動作する DDR4 による消費電力削減 擬似オープンドレイン IDLE 状態で終端とレシーバーの電源をオフ DCI/低消費電力 IBUF 対 7 シリーズ (DDR3) で 20% の消費電力削減
シリアル トランシーバー	
低電力モード	<ul style="list-style-type: none"> LPM モード
汎用 トランシーバーの消費電力削減	<ul style="list-style-type: none"> 再設計された トランシーバー: 対 7 シリーズで消費電力削減
イーサネット MAC/Interlaken MAC	<ul style="list-style-type: none"> 統合 MAC による消費電力の大幅な削減

その他のリソース

- 『ザイリンクスの 28nm FPGA で業界をリードする低消費電力ソリューションを活用』([WP436](#))
- 『28nm プロセスを採用した 7 シリーズ FPGA で消費電力を削減』([WP389](#))
- [UltraScale Advantage Demo Video from Xilinx Youtube Channel](#)
- 『Vivado Design Suite チュートリアル: 消費電力解析および最適化』([UG997](#)),
- [Kintex UltraScale アーキテクチャの Power Estimator](#)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2014年5月1日	1.0	初版

DISCLAIMER

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx's limited warranty, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

AUTOMOTIVE APPLICATIONS DISCLAIMER

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。