

## FPGA デザイン

### FPGA 設計導入

レベル：初級 所要時間：1日

FPGA 設計をこれから始める方に最適なコースです。トピックには、FPGA アーキテクチャキ設計フロー、インプリメンテーションツールの基本操作等が含まれます。演習は、Architecture Wizard や Floorplan Editor、Constraints Editor などの制約ツールを含め、インプリメンテーションが中心です。ISE デザイン入力ツールや合成ツールの基本操作を学びたい方には、「ISE デザイン入力コース」をお勧めします。

### FPGA 設計実践

レベル：中級 所要時間：2日

「FPGA 設計導入コース」を修了した方、または同等レベルの方を対象とした、デザインのパフォーマンスを改善するための設計手法をご紹介します。合成手法、HDL コーディング テクニック、CORE Generator を使用した IP コアの設計、タイミング解析、アドバンスド タイミング制約、インプリメンテーション ツールのアドバンス オプションなどについて学習します。

### Virtex-5 ファミリー デザイン

レベル：中級 所要時間：1日

このコースでは、Virtex<sup>®</sup>-5 アーキテクチャ リソースを有効利用する方法について説明します。受講対象者は、「FPGA 設計導入」および「FPGA 設計実践」コース修了者、また Virtex-4 FPGA を十分に理解したザイリンクス ユーザーとし、最新デバイスに追加された強化リソースの理解と設計に重点を置いています。

### Spartan-6 デザイン および Virtex-6 デザイン

レベル：中級 所要時間：各コース共2日 (今冬スタート)

このコースでは、Spartan<sup>®</sup>-6 および Virtex<sup>®</sup>-6FPGA アーキテクチャ リソースを有効利用する方法について説明します。受講対象者は、「FPGA 設計導入」コースを修了した方を対象にしています。コースの内容は、よく使用されるデバイス ファミリーに含まれる主なリソースの設計と理解に重点を置いています。

### アドバンスド FPGA 設計

レベル：上級 所要時間：2日

このコースは、ザイリンクス ISE<sup>®</sup> Design Suite 10.1 ツールとザイリンクス ハードウェアを高度に活用する方法について紹介します。2日間のコースで7つの演習を行い、ザイリンクスの XST を使用します。「FPGA 設計導入」および「FPGA 設計実践」コース受講者を対象としています。

### PlanAhead を活用したタイミング クロージャ

レベル：中級 所要時間：2日

このコースでは、PlanAhead<sup>™</sup> ソフトウェア ツールを使用してデザイン パフォーマンスを向上し、再現性のある結果をもたらします。この中級コースでは、製品の概要、合成およびプロジェクトでのヒント、デザイン解析、フロアプランの作成、パフォーマンスの向上、さまざまなインプリメンテーション オプションの使用、インクリメンタル手法、ブロック ベースの IP デザイン、および I/O ピンの割り当てを学びます。

## コネクティビティ デザイン

### MGT シリアルI/Oデザイン

レベル：中級 所要時間：2日

このコースでは、RocketI/O MGT シリアル トランシーバを Virtex-5 LXT デザインで効果的に使用する方法を説明します。そのために必要となる CRC、8B/10B エンコーディング、チャンネル ボンディング、クロック コレクション、およびカンマ検出などのさまざまな RocketI/O トランシーバ ブロックの機能について理解し、さらに Architecture Wizard、合成およびインプリメンテーションについて学習します。このコースは、モジュールによる講義だけでなく、演習も含まれた実践的なトレーニングになっています。

## エンベッド デザイン

### エンベッド システム開発

レベル：中級 所要時間：2日

エンベッド開発キット (EDK) デザイン環境で、PowerPC および MicroBlaze コアを使用したザイリンクス エンベッド ソリューションをご紹介します。実践演習を中心とするこのコースでは、PowerPC または MicroBlaze のどちらかを選択し、エンベッド システムの開発、デバッグ、そしてシミュレーションを行います。

### エンベッド システム ソフトウェア開発

レベル：初級 所要時間：2日

このコースでは、ザイリンクス エンベッド システム用のソフトウェアの設計および開発について紹介します。また、ハードウェア デザインの完成後、デザイン サイクルにおけるソフトウェアの設計段階で必要となるツールの基本的な使用方法および概念を学びます。主なトピックには、デバイス ドライバの開発およびユーザー アプリケーションのデバッグと統合が含まれます。コース全体を通して、PowerPC 440 または MicroBlaze プロセッサ ベースのザイリンクス エンベッド システム用のソフトウェア プラットフォーム開発を始めるために十分な実践情報が提供されています。

### エンベッド オープンソース Linux 開発

レベル：中級 所要時間：2日

このコースでは、ザイリンクス ツールを使用し、ザイリンクス開発ボードにエンベッド Linux 環境を作成してデバッグします。Linux オペレーティング システム開発用のツール チェーンについて学び、スケジューリング要件を決定し、FPGA コンフィギュレーションに適用させます。ほかには、メモリ管理のシステム要件の解析とシステムへの適用、Linux ドライバの開発などが含まれます。

### アドバンスド エンベッド システム開発

レベル：上級 所要時間：2日

エンベッド システム開発のアドバンス機能およびテクニックを複雑なエンベッド システムを構築する開発者に提供します。開発者はエンベッド開発キット (EDK) ツールを使用し、デザインの向上を実現できます。このコースでは、複雑なシステムの構築を目的とした、エンベッド システム デザインの高度なコンポーネントを理解し、活用する手法を学びます。

## DSP デザイン

### System Generator を使用した DSP デザイン

レベル：中級 所要時間：2日

このコースは、System Generator の活用方法、および最新かつ低コストの DSP デザインを構築するために必要な手法について紹介します。この中級コースでは System Generator for DSP、インプリメンテーション ツール、および Hardware In The Loop (ハードウェア協調シミュレーション) 手法を使用して DSP の機能をインプリメントする方法について学習することに重点をおきます。また、評価ボードを使用した実践的な演習を行うことによって、ザイリンクス FPGA を使用し、アルゴリズムをインプリメントすることからハードウェアのシミュレーションまでのフローを学べます。

## ザイリンクストレーニング サービス

定期トレーニングをご希望の方は、オンライン登録をご利用ください。

ザイリンクストレーニングは、ザイリンクス株式会社のほか、ザイリンクスと契約しているザイリンクス認定トレーナー(ATP)\*により提供されます。

\*日本販売代理店 4 社 (2009 年 9 月 1 日現在)

### ザイリンクス ダイレクト トレーニング

ザイリンクス株式会社 [japan.xilinx.com/education](http://japan.xilinx.com/education)

### ザイリンクス認定トレーナー(ATP)

アヴネット ジャパン株式会社 [www.jp.avnet.com/services/Training/index.asp](http://www.jp.avnet.com/services/Training/index.asp)  
株式会社 PALTEK [www.paltek.co.jp/seminar](http://www.paltek.co.jp/seminar)  
新光商事株式会社 [xilinx.shinko-sj.co.jp/training](http://xilinx.shinko-sj.co.jp/training)  
東京エレクトロニクス株式会社 [ppg.teldevice.co.jp](http://ppg.teldevice.co.jp)

ご希望に合わせてトレーニング会場、内容ならびに所領時間をカスタマイズいたします(所要時間は半日~可)。

カスタム トレーニングのご要望は、ご利用の販売代理店、あるいは [education\\_kk@xilinx.com](mailto:education_kk@xilinx.com) までお願い致します。

## その他のトレーニング サービス

### カリキュラム パス

お客様のデザイン仕様に基づいて、推奨するコース受講順序を紹介します。ザイリンクスのトレーニング コースは、相互に関連して構築されているため、コースを最大限に活かすためにはコースの受講条件を満たしている必要があります。受講条件は、コースの説明を参照してください。

<http://japan.xilinx.com/education>

### 録音版 e-ラーニング(無料)

録音されたトレーニングをインターネット上でお客様のご都合のよい時間にいつでも無料で受講できます。FPGA 基本アーキテクチャ、Architecture Wizard および Floorplan Editor、AccelDSP ジャンプ スタート モジュール、System Generator 入門、FPGA コンフィギュレーションの基礎など、日本語のトピックも提供しています。

<http://japan.xilinx.com/free-courses>

## ザイリンクストレーニング ウェブ サイト [japan.xilinx.com/education](http://japan.xilinx.com/education)

ザイリンクス ダイレクト トレーニングの最新情報ならびにご登録は、こちらをご利用ください。

### 本社

Xilinx, Inc.  
2100 Logic Drive  
San Jose, CA 95124  
Tel: 1-408-559-7778  
Web: [www.xilinx.com](http://www.xilinx.com)

### ヨーロッパ

Xilinx Ireland  
One Logic Drive  
Citywest Business Campus  
Saggart, Country Dublin  
Ireland  
Tel: +353-1-464-0311  
Web: [www.xilinx.com](http://www.xilinx.com)

### 日本

Xilinx, K.K.  
〒141-0032  
東京都品川区大崎1-2-2  
アートヴィレッジ大崎  
セントラルタワー 4 階  
Tel: (03) 6744-7777  
Web: [japan.xilinx.com](http://japan.xilinx.com)

### Asia Pacific Pte. Ltd.

Xilinx, Asia Pacific  
No. 3 Changi Business Park Vista,  
#04-01  
Singapore 486051  
Tel: (65) 6544-8999  
Web: [www.xilinx.com](http://www.xilinx.com)



©2009 Xilinx Inc. All rights reserved. Xilinx の名前およびロゴは米国ザイリンクス社の米国における登録商標です。The Programmable Logic Company は米国 Xilinx Inc. の米国におけるサービス マークです。

Printed in Japan