

コース概要

コース概要

このコースでは、Vivado® ソフトウェア ツール フロー、ザイリンクス デザイン制約 (XDC)、およびスタティック タイミング解析 (STA) について詳細に説明します。内容には、FPGA の効率的な設計手法や FPGA リソースの活用方法が含まれます。また、業界標準の XDC を使用してデザインを完全かつ適切に制約する方法を学びます。Vivado IDE デザイン データベースがどのように構成されているかやデザインを詳しく検討する方法についても解説します。さらに、適切なタイミング レポートを作成して完全な STA を実行する方法およびデザインのインプリメント方法を説明します。

レベル – FPGA 3/中級

トレーニング期間 – 2 日間

価格 – 98,000 円 (8 TC)

受講対象者 – HDL および FPGA アーキテクチャについて中級レベルの知識を持ち、ザイリンクス Vivado Design Suite を使用したことのある FPGA 設計者

受講要件

- 「FPGA 設計導入」の受講、または FPGA アーキテクチャ、Vivado ソフトウェア フロー、FPGA の基本的な設計テクニック、基本的なタイミング/入力/出力制約、Constraints Editor に関する同等の知識
- HDL (VHDL または Verilog) の中級レベルの知識
- デジタル設計の経験

オンライン トレーニング

- Basic HDL Coding Techniques (パート 1 および 2)*
- Power Estimation*

ソフトウェア ツール

- Vivado Design または System Edition 2015.1

ハードウェア

- アーキテクチャ : UltraScale™ FPGA**
- デモ ボード : なし**

* ウェブサイト japan.xilinx.com/training のオンライン トレーニングのセクションにある FPGA デザインをクリックすると、これらのビデオを視聴できます。

* このコースでは、UltraScale アーキテクチャを中心に説明しています。カスタマイズなどに関する詳細は、認定トレーナー (ATP) へお問い合わせください。

このトレーニングに参加すると、次のことができるようになります。

- デザインの信頼性を向上させる設計手法を身に付ける
- FPGA の設計テクニックを活用してパフォーマンスを向上させる
- Vivado IDE データベース オブジェクトの詳細を理解する
- データベースと共に使用する Tcl コマンドを理解する
- タイミング除外、フォルス パス、マルチサイクル バスの制約を含むザイリンクス デザイン制約 (XDC) を適用する
- スタティック タイミング解析 (STA) を活用してタイミング結果を解析する
- 適切なタイミング レポートからデザインにおけるボトルネックを特定する
- パフォーマンス目標を達成するように高度な I/O タイミング制約を適用する
- さまざまな合成オプションと、それらがいかにかにデザインのパフォーマンスを向上させることができるかを理解する

コース内容

1 日目

- FPGA 設計導入の復習
- UltraFast 設計手法の概要
- FPGA 設計テクニック
- デザイン データベースへのアクセス
- デモ : オブジェクトの検出
- デモ : オブジェクトのプロパティ
- デモ : オブジェクトのコネクティビティ
- 演習 1 : Vivado IDE のデータベース
- デモ : クロック生成と基本的なスタティック タイミング解析
- スタティック タイミング解析およびクロック
- 演習 2 : Vivado IDE でのクロック

2 日目

- 入力および出力
- 演習 3 : I/O 制約
- タイミング除外
- 演習 4 : タイミング除外
- 合成テクニック
- 補足資料 : Vivado Design Suite の GUI におけるオブジェクトの操作法

演習の解説

- 演習 1 : Vivado IDE のデータベース – Tcl コマンドを用いて Vivado IDE のデータベースを使用します。Tcl コンソールで評価および IOB プロパティの入力を行います。
- 演習 2 : Vivado IDE のクロック – デザインのクロック リソースに対して XDC 制約を作成します。デザインをインプリメントし、クロッキング レポートを使用して結果を検証します。ザイリンクスが推奨するベースライン制約作成の手順 1 について学びます。
- 演習 3 : I/O 制約 - タイミング制約ユーティリティでソース同期デザインに対して入力および出力制約を作成します。また、タイミング レポートを生成してタイミングの結果を検証します。ザイリンクスが推奨するベースライン制約作成の手順 2 について学びます。
- 演習 4 : タイミング除外 - タイミング制約ウィンドウを使用し、XDC 形式でタイミング除外を入力します。また、タイミング レポートを生成してタイミングの結果を検証します。ザイリンクスが推奨するベースライン制約作成の最後の手順 3 について学びます。