
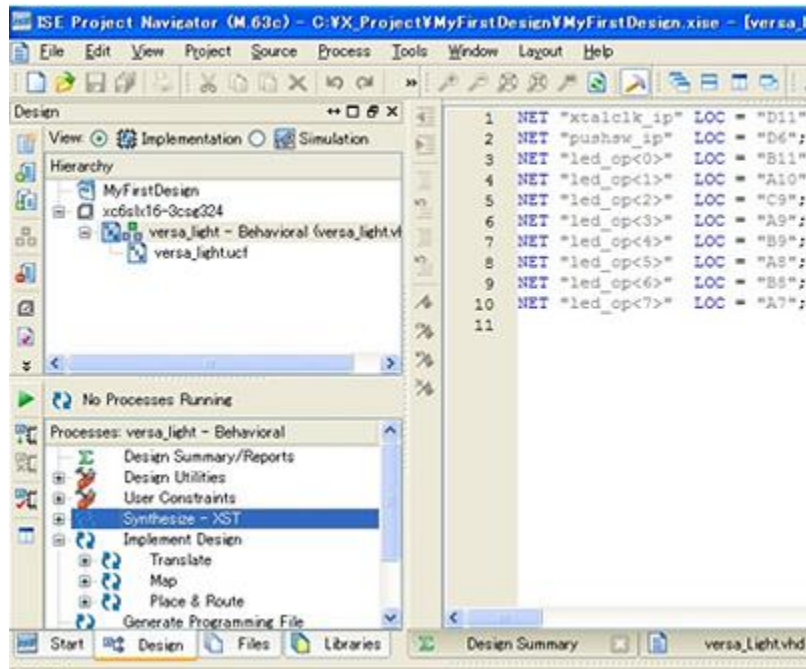


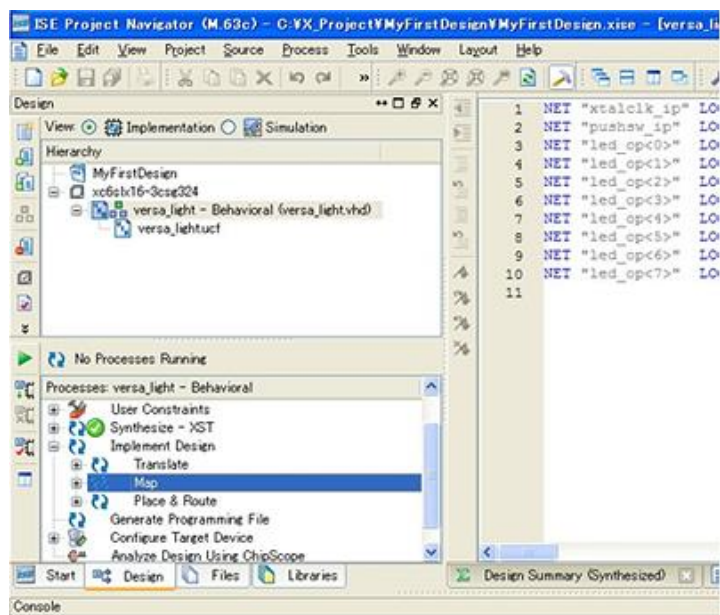
1. 論理合成「Synthesize - XST」

まず、論理合成です。図の Synthesize - XST をダブルクリックします。デザインファイルの VHDL 記述を文法チェックし、その後論理を合成します。処理が終わり、緑の丸印にチェックが入ったマーク （以後、緑のチェックマーク）が表示されると処理が成功したことを示しています。



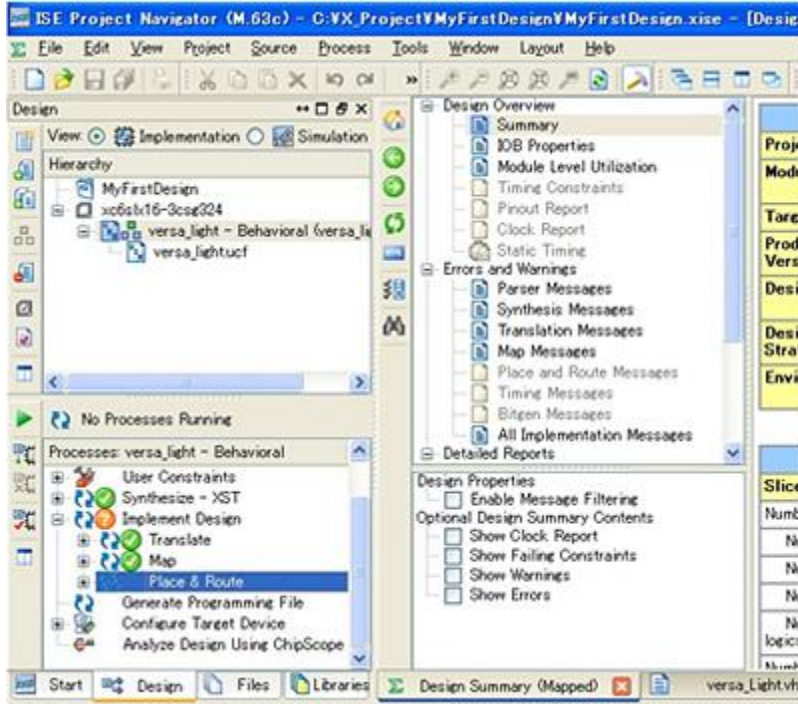
2. マップ「Map」

ツール上では「Translate」と呼ぶ合成後の論理ネットリストを FPGA に翻訳可能なネットリストに変換するステップがありますが、「Map」をダブルクリックすると、自動的に「Translate」処理が行われ、「Map」に進みます。どのステップでも、スキップできない未処理の前処理が残っている場合は、自動的に起動され処理されます。Map は、FPGA が物理的に持っているエレメントに論理を置き換えていきます。このステップも処理が終わって緑のチェックマークになりましたね。



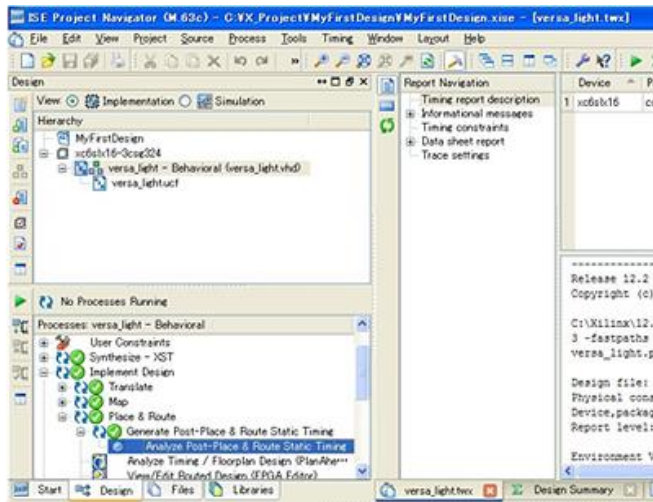
3. 配置配線「Place & Route」

Map 処理により、物理的なエレメントに割り振られたデザインの各ロジック要素を最適なロケーションに配置し、その間を最適順路で接続します。タイミング制約を適用すると、ここまでの各ステップがタイミング・ドリブンになりタイミングを満たすように論理合成、Map、Place & Route が行われます。ここも緑のチェックマークになりましたか。



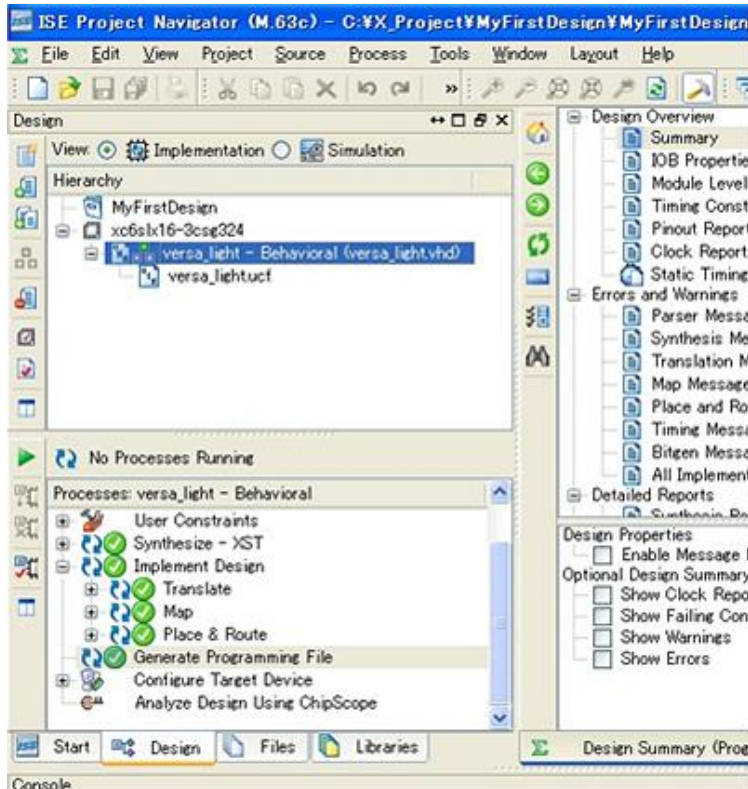
4. タイミング解析「Analyze Post-Place & Route Static Timing」

「Place & Route」の+をクリックしてブレイクダウンすると、「Generate Post-Place & Route Static Timing」という項目も緑のチェックマークがついています。この項目も更にブレイクダウンし、「Analyze Post-Place & Route Static Timing」をダブルクリックします。これで、配置配線後のタイミング情報を見るためのスタティック・タイミングアナライザが起動し『デザイン名.twx』というタイミング解析レポートが表示されます。今回はタイミング制約を使わなかったため、クロックなどに関する標準のタイミングレポートになります。タイミング制約を適用すると、タイミング・ドリブンで処理された「Place & Route」後の最終的なタイミング情報を各タイミング制約に対して表示します。



5. Bit ストリームファイルを生成

「Place & Route」までの各ステップに緑のチェックマークがついていますか。では、いよいよ最後のステップです。「Generate Programming File」をダブルクリックしてプログラミングファイルを作成しましょう。



ステップ5が無事終了したら、プロジェクトのディレクトリに「デザイン名.bit」のファイルができていないことを確認しましょう。どうですか、bitファイルが作成されていますね。おめでとうございます、無事に設計終了です。さあ、FPGAでデザインを動かしてみましょう。

Design Tips 2. ザイリンクスでは日本語のソフトウェアマニュアル、ヘルプ、チュートリアルを準備しています。ファイルをダウンロードして、日本語ドキュメントを読んでください。ツール構成や使用法、また、ライブラリに関する解説がやさしく記載されていますので、情報源として利用できます。



