



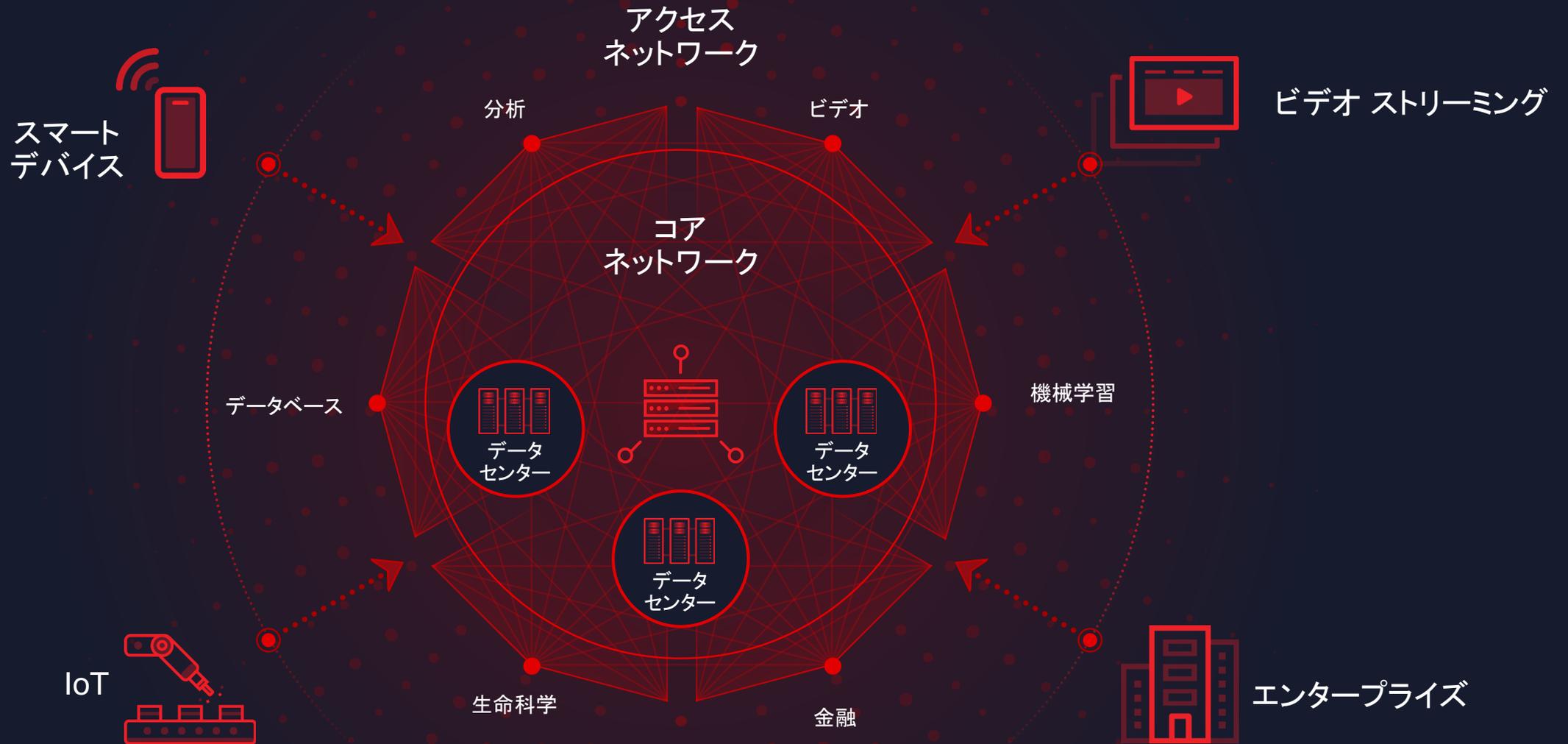
Versal™ プレミアム シリーズの発表

Mike Thompson

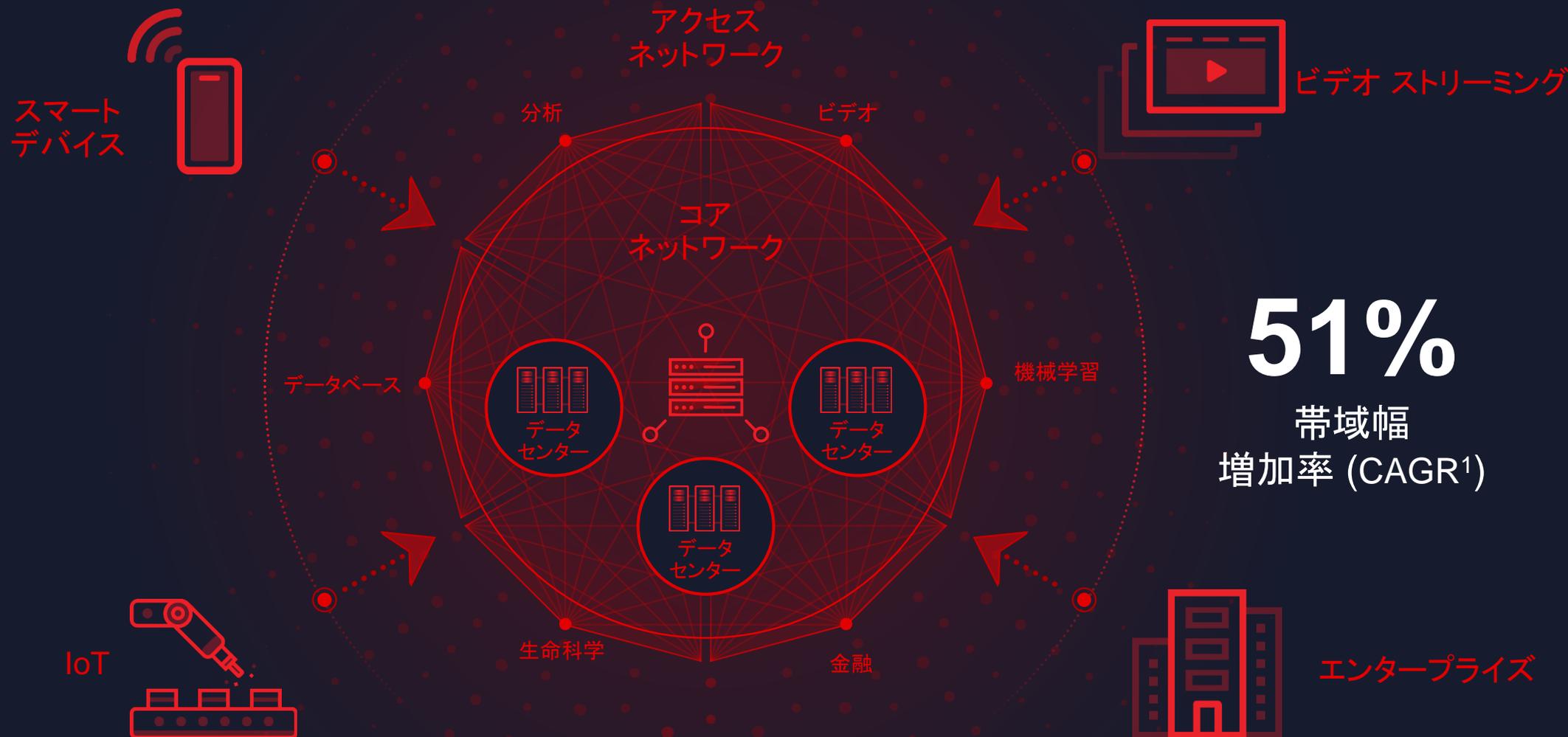
Senior Product Line Manager, High-End FPGAs & ACAPs

Xilinx

多様なアプリケーションとワークロードによる データ量の爆発的増加がコアに大きな負担をかける



多様なアプリケーションとワークロードによる データ量の爆発的増加がコアに大きな負担をかける



多様なアプリケーションとワークロードによる データ量の爆発的増加がコアに大きな負担をかける

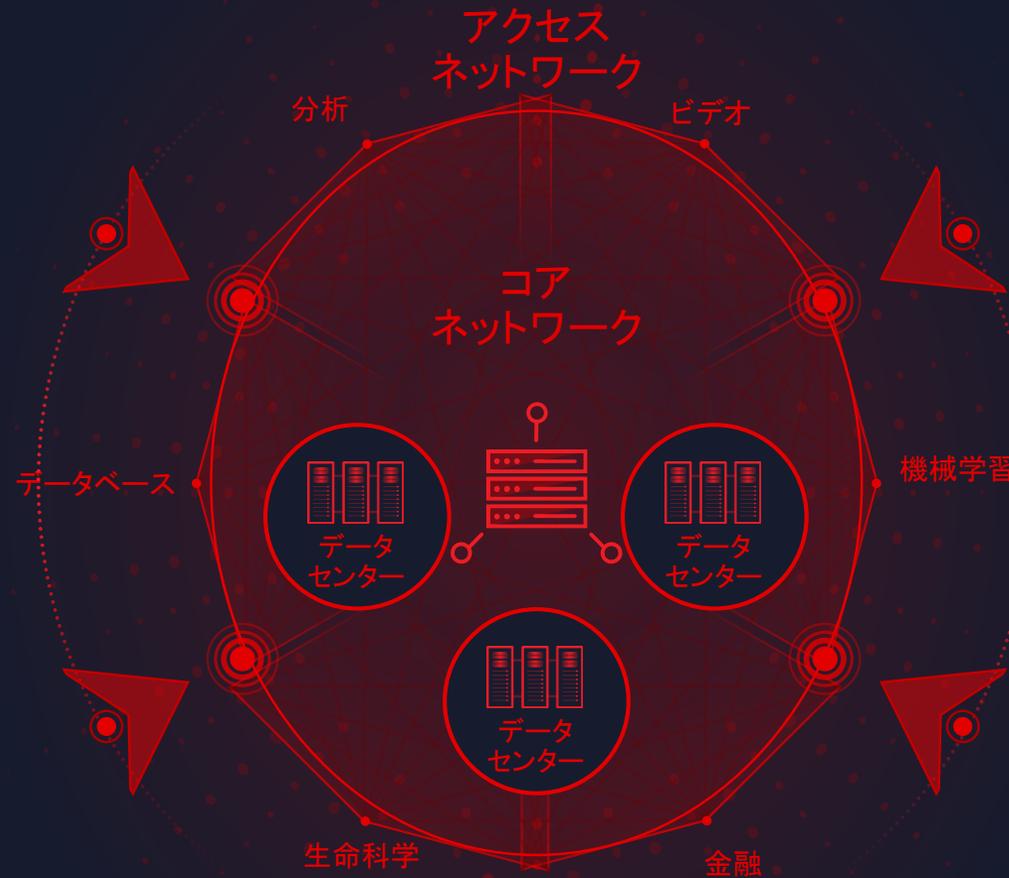
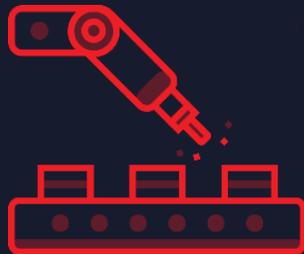
スマート
デバイス



100 倍

エリアトラフィック量¹

IoT



ビデオ ストリーミング



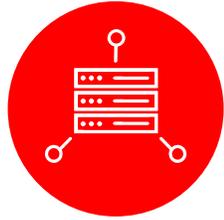
51%

帯域幅増加率
(CAGR¹)

エンタープライズ

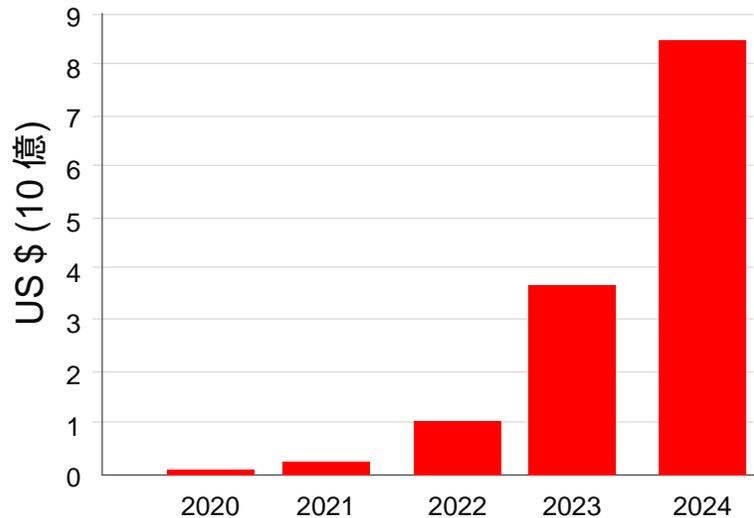


データの爆発的増加がネットワークを変える



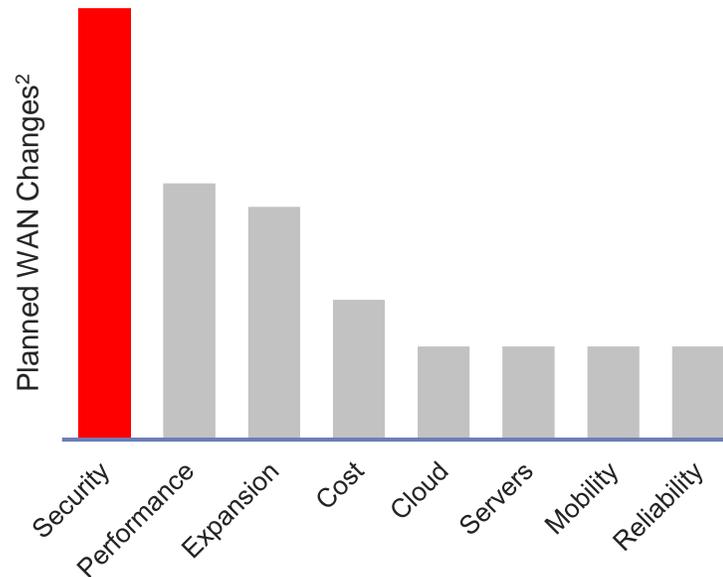
コア ネットワーク¹ の成長

5G コアに対して複合年間成長率 (CAGR) は
313%と予想



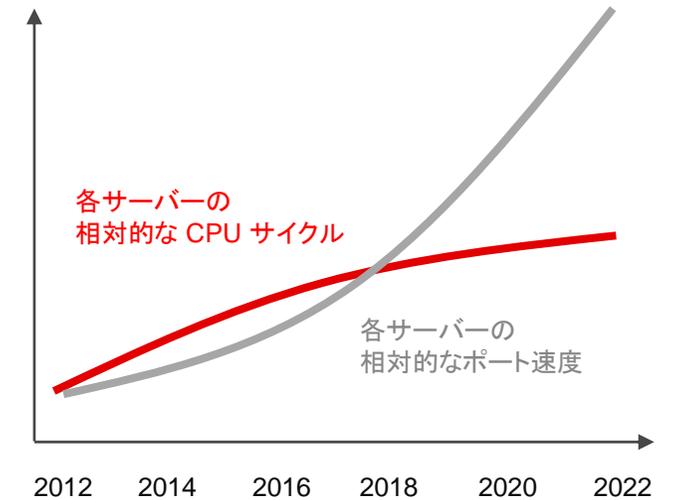
セキュリティ/解析²

最も高い優先度



計算 vs. 帯域幅³

ポート速度がムーアの法則を上回る



1: ABI Research, "5G Next-Generation Core and Service-Based Architecture" 2: ISH Markit, Top Changes Planned Among Network Operators

3: Xilinx Estimates

Versal プレミアム ACAP (Adaptive Compute Acceleration Platform)



XILINX
VERSAL™
| PREMIUM

帯域幅
3 倍

最も高速かつ信頼性の高いネットワーク

演算密度
2 倍

適応型アクセラレーション

HW/SW プラットフォーム
高度に統合

生産性

帯域幅/演算密度の比較は 14nm/16nm FPGA に基づく



最新の ACAP - Versal™ プレミアム



XILINX[®] VERSAL[™]

AI エッジ
シリーズ

AI コア
シリーズ

AI RF
シリーズ

プライム
シリーズ

プレミアム
シリーズ

HBM
シリーズ

ACAP (Adaptive Compute Acceleration Platform)

新しいデバイス カテゴリ



基本的なデバイス シリーズ

適応性がある

- ▶ 多様なワークロードに対応
- ▶ 将来のアルゴリズムに対応

演算アクセラレーション

- ▶ スカラー エンジン
- ▶ 適応型エンジン
- ▶ インテリジェント エンジン

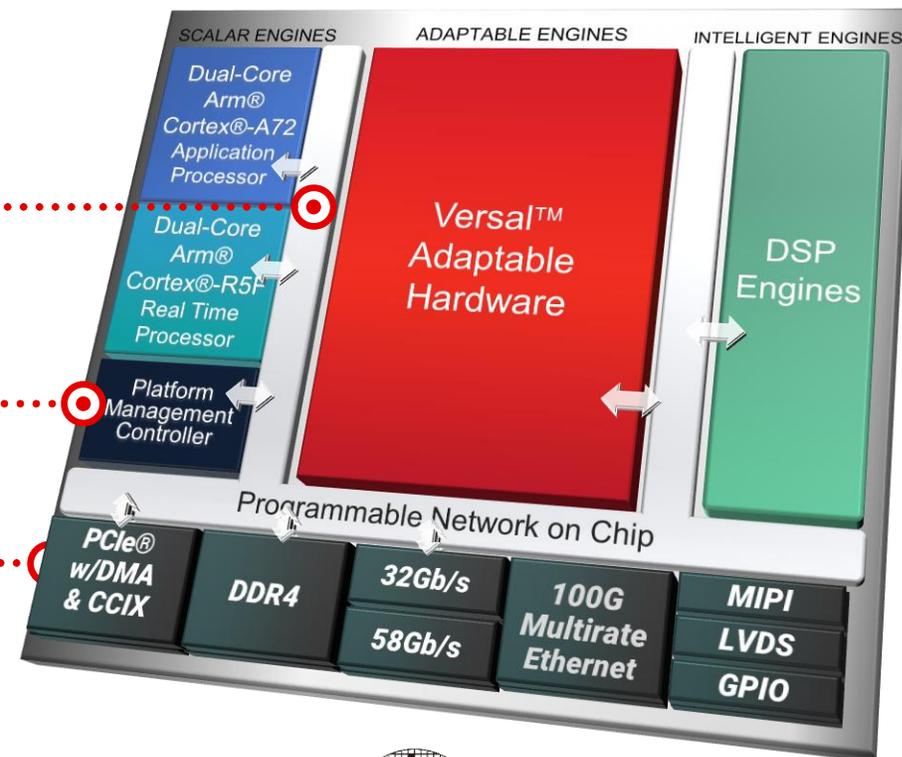
プラットフォーム

- ▶ SW プログラマブルなシリコン インフラ
- ▶ あらかじめ構築された接続
- ▶ ブート時からプラットフォームが利用可能

プログラム可能な
ネットワークオンチップ (NoC)

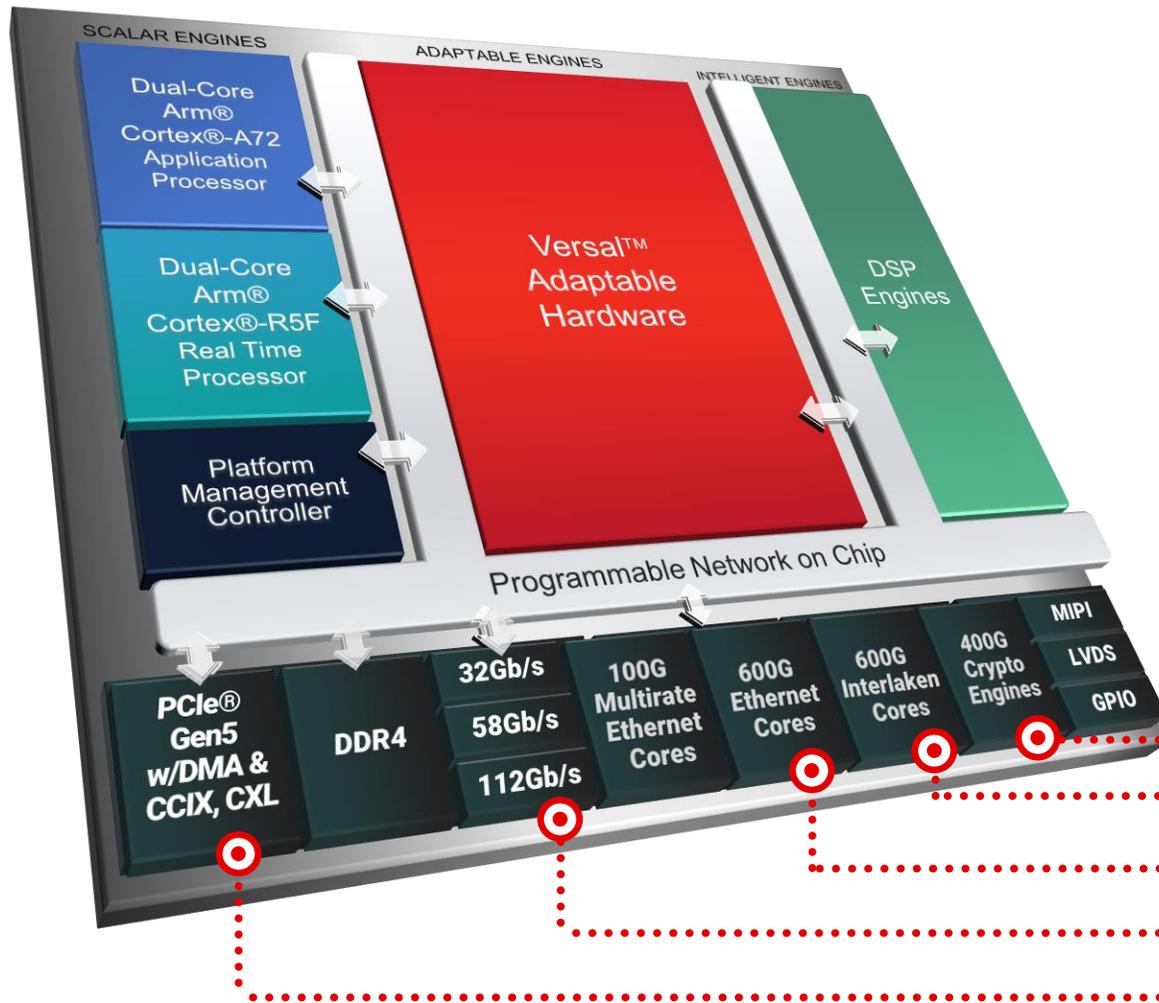
ソフトウェア制御の
プラットフォーム管理

演算専用インターフェイス
(PCIe®, DDR4)



7nm

消費電力が最適化されたネットワーク コアを 単一の適応型プラットフォームに統合



XILINX
VERSAL™
PREMIUM

- 400G 高速暗号化エンジン
- 600G Interlaken コア
- 600G Ethernet コア
- 112G PAM4 トランシーバー
- PCIe® Gen5 w/DMA & CCIX

ネットワーク IP コアの統合により、FPGA 22 個分のロジック集積度

開発者は差別化に集中できる
(インフラやコネクティビティの設計に時間を費やす必要がない)

ムーアの法則の限界を超え、次世代の帯域幅と
処理能力を実現

CAPEX と OPEX を大幅に削減できる

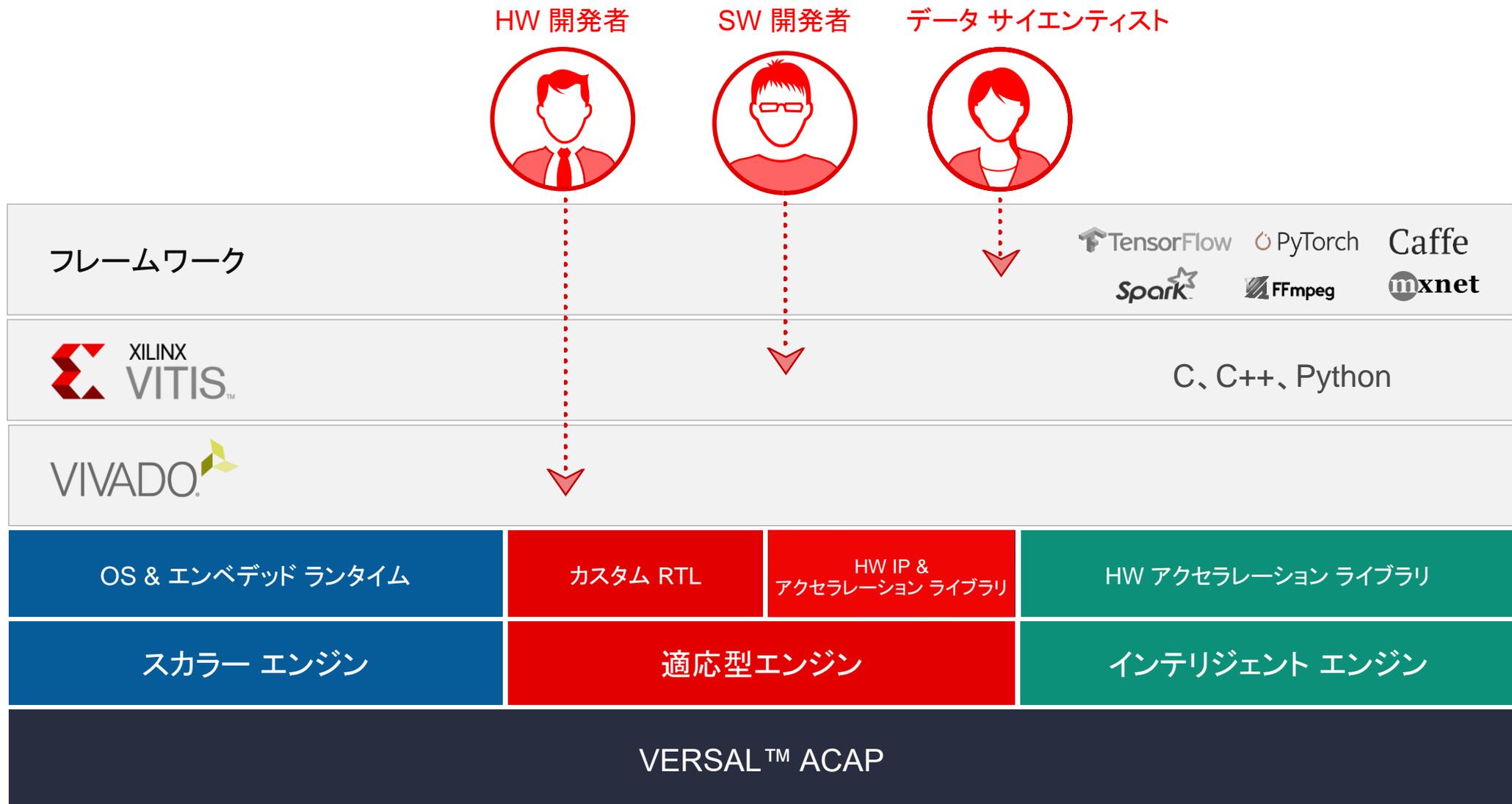


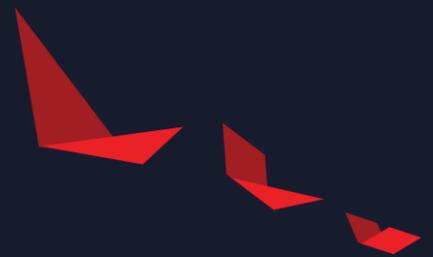
**Versal™ プレミアムに
統合されたコアは
22 個分の FPGA に相当**



1: Equivalent logic density of Ethernet, Interlaken, and Crypto cores

すべての開発者を対象とする統合型 HW/SW プラットフォーム





最高レベルの性能とセキュリティを備えた
ネットワークを実現できる

次世代インフラには消費電力が最適化された 高いスループットと計算能力が求められる

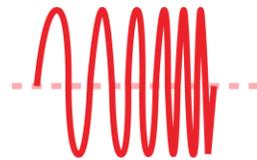
より高い帯域幅密度が
要求される

既存のフォームファクター、
電力、マテリアルによる制限

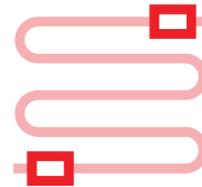
限られた
フロアスペース

消費電力に最適化された帯域幅密度を実現

拡張可能な
トランシーバー



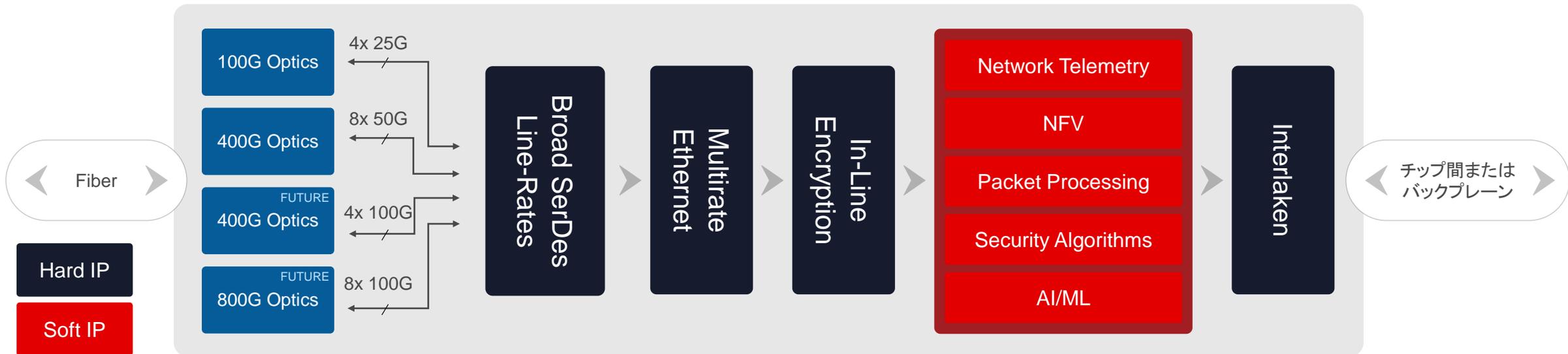
専用コネクティビティ



適応可能な
ハードウェア



より高い帯域幅密度
(ラインカードあたり)

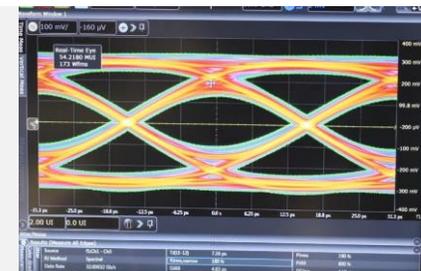


拡張性と適応性のある 9Tb/s のシリアル帯域幅

16nm/7nm シリコンで
実証済み

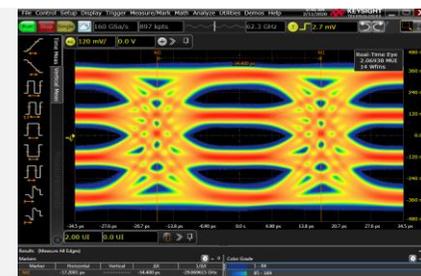
32Gb/s
NRZ

主流となる、電力に最適化された 100G インターフェイス
比較的 low コストな 10/25/40/50/100G イーサネット (下位互換)



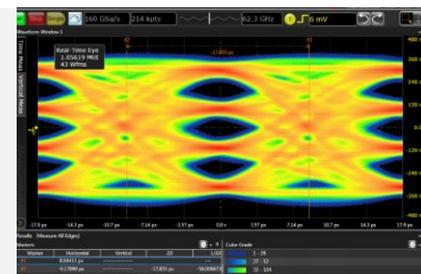
58Gb/s
PAM4

現在、400G での立ち上げと配備
最大システム帯域幅に対応する最新世代のオプティクス



112Gb/s
PAM4

将来的には、既存のインフラで 800G ネットワークに対応
今後はシングルレーンの 100G オプティクスと
800G インフラストラクチャへと進化



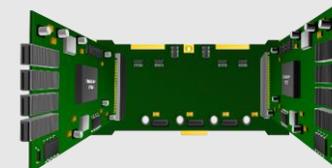
銅線ケーブル



オプティクス



バックプレーン



セキュア ネットワーキング向けの専用コネクティビティ IP

単一プラットフォーム

Access から Core まで

5Tb/s のスケーラブルなイーサネット スループット

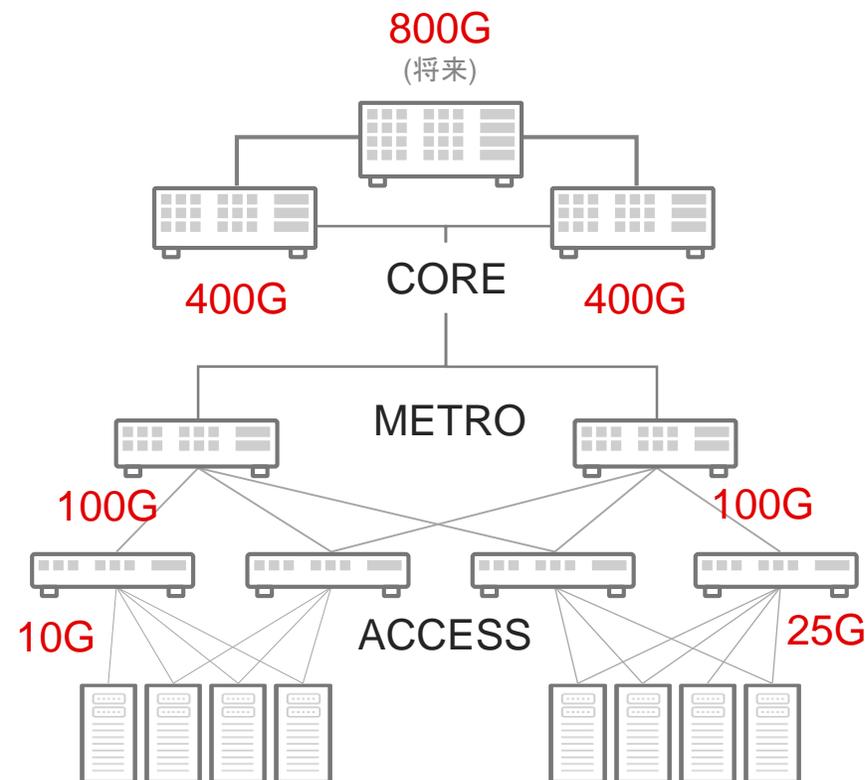
- ▶ コア ネットワークで次世代 400G および 800G インフラ
- ▶ マルチレート: 400/200/100/50/40/25/10G (FEC 付き)
- ▶ マルチスタンダード: FlexE、Flex-O、CPRI、FCoE、OTN

1.8Tb/s の構築済み Interlaken コネクティビティ

- ▶ スケーラブルなチップ間インターコネクト (10Gb/s ~ 600Gb/s)
- ▶ 統合された RS-FEC 機能で、電力に最適化されたエラー訂正が実現

1.6Tb/s の暗号化されたラインレート スループット

- ▶ 適応型プラットフォームに統合された業界唯一のハードウェア 400G 暗号エンジン
- ▶ AES-GCM-256/128、MACsec、IPsec



構築済みコネクティビティを利用して、迅速な製品化と ASIC クラスの性能対消費電力を実現

プログラム可能なロジックでハードウェアの差別化、進化する規格、AI/ML に対応

差別化を可能にし、今後進化する新しい規格に対応

- ▶ 世界最高ロジック密度の 7nm プラットフォーム
- ▶ 差別化 (インバンド ネットワーク テレメトリ、vRAN など)
- ▶ 進化する規格やプロトコルに適応

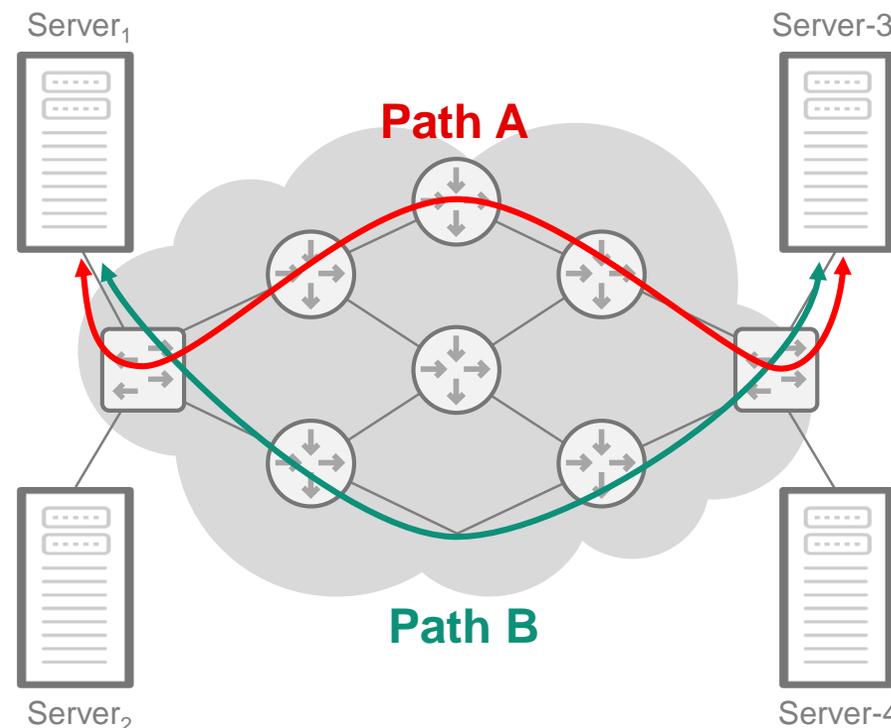
ネットワークの異常を検出する AI

- ▶ 侵入検知とマルウェア識別
- ▶ 新たな脅威に対応する適応可能な AI アルゴリズム
- ▶ ザイリンクスのランダム フォレスト IP を利用可能

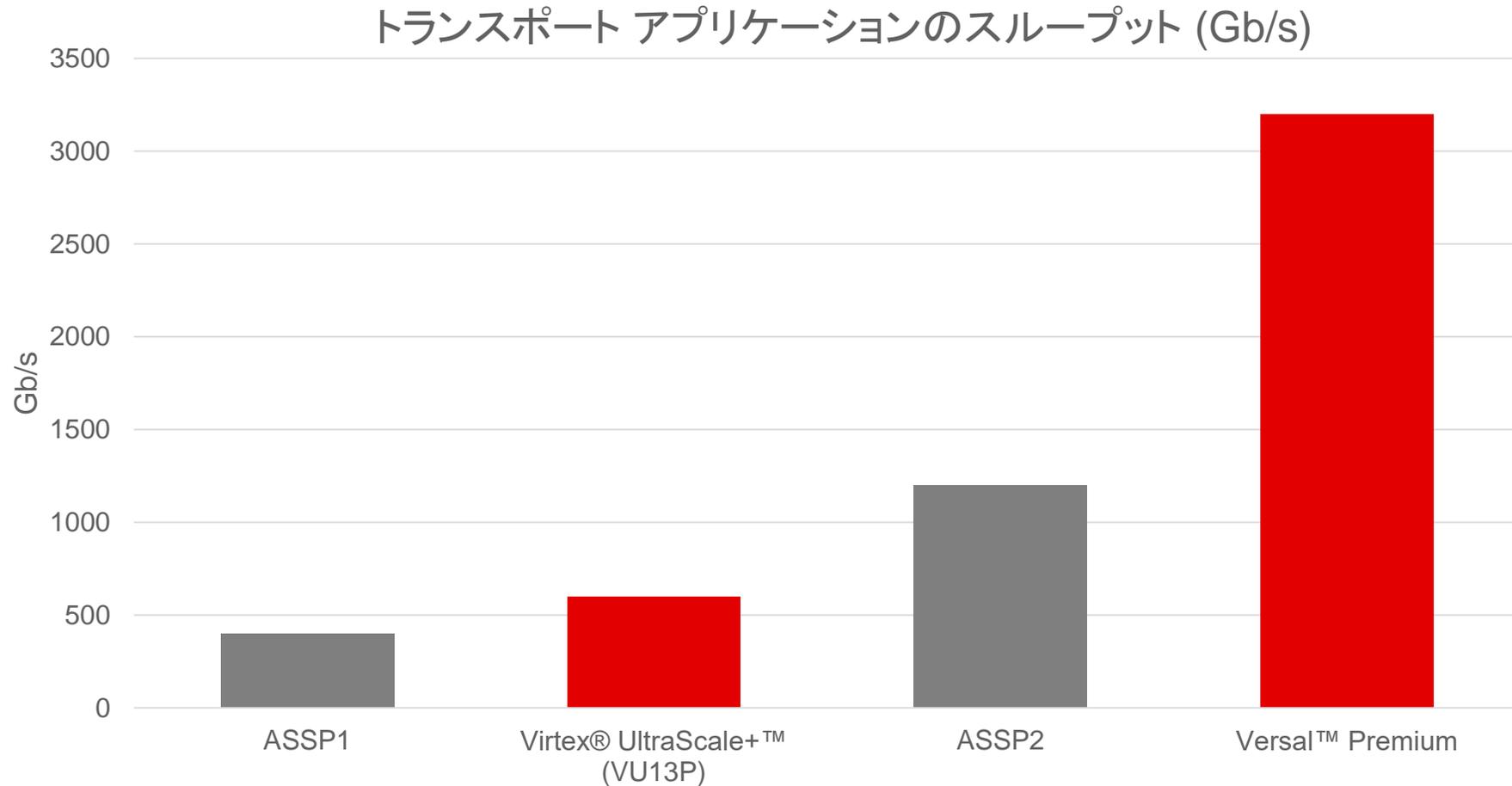
プロビジョニングとネットワーク性能向けの AI

- ▶ 性能ボトルネックを自動で検出して修正
- ▶ セルフプロビジョニングで連続稼働時間を最大化 (MLP)

ネットワーク インテリジェンス & オートメーション (多数のパラメータを分析して稼働時間を最大化)



業界をリードするマルチテラビット スループット (ASSP と比較)



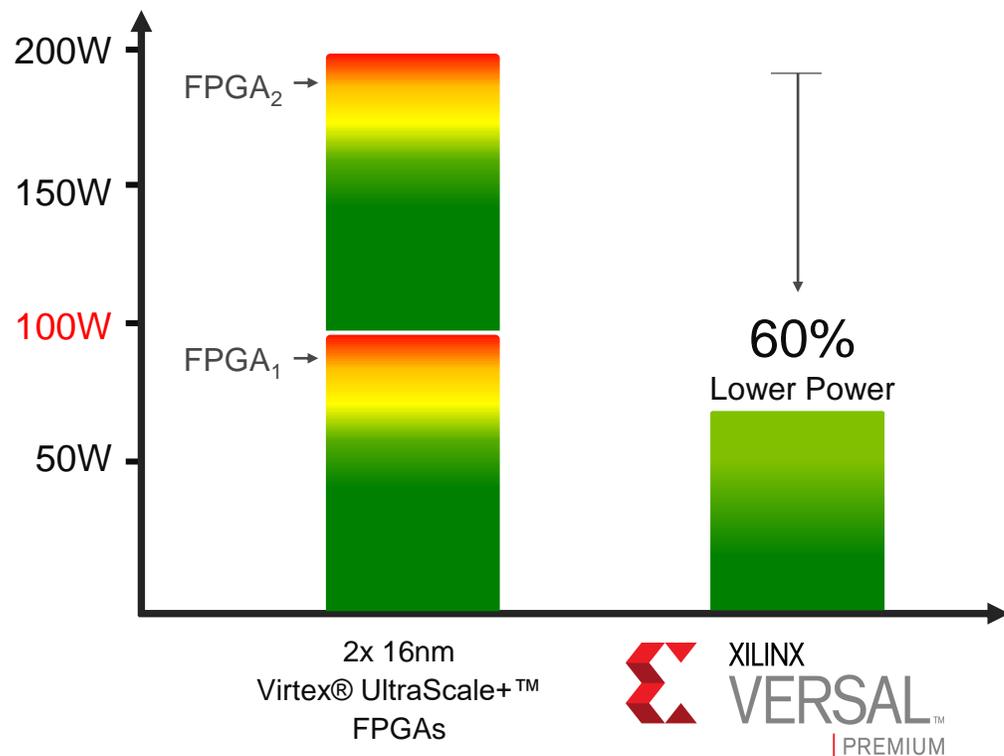
ASSP₁: <https://www.microsemi.com/product-directory/multi-service-otn-processors/4227-pm5990-digi-g4>.

ASSP₂: <https://www.microsemi.com/product-directory/multi-service-otn-processors/5056-pm6010-digi-g5-otn-processor>

シングルチップ、100 ワット以下で 800G DCI スループット

半分以下の消費電力
半分以下のフットプリント

2 倍の帯域幅密度



旧世代 FPGA



Versal プレミアム



半分のラックスペースで
同じ帯域幅を達成

Vivado が Versal プレミアムの統合をサポート

Vivado および NoC を利用してモジュール式 IP を統合

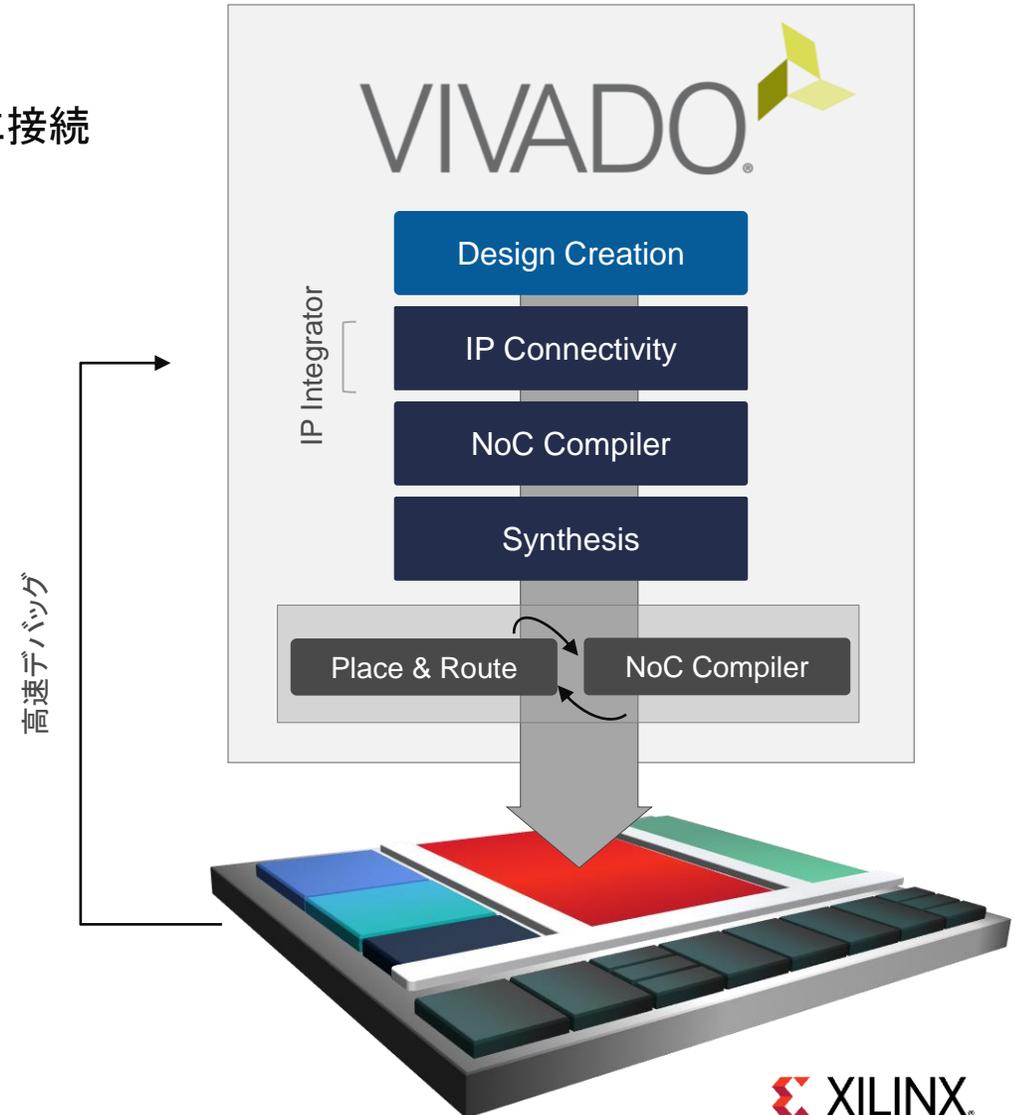
- ▶ Vivado® IP インテグレーターを使用してハード / ソフト IP をグラフィカルに接続
- ▶ NoC コンパイラによる合理化されたプッシュボタン フロー
- ▶ NoC はクリティカルな相互接続パスのタイミングを保証

数日間でシステム統合可能 (以前は数か月)

- ▶ 100G、400G、600G のコア数を簡単に調整
- ▶ 400G およびそれ以上にデザインを拡張

統合型の高速デバッグ環境

- ▶ 高帯域幅で SerDes ベースのデバッグとトレース
- ▶ 従来の FPGA と比較してリードバックが 1000 倍高速
- ▶ ヘテロジニアス エンジン間の統合デバッグ環境





最高の演算密度を
適応性のあるアクセラレーション機能で

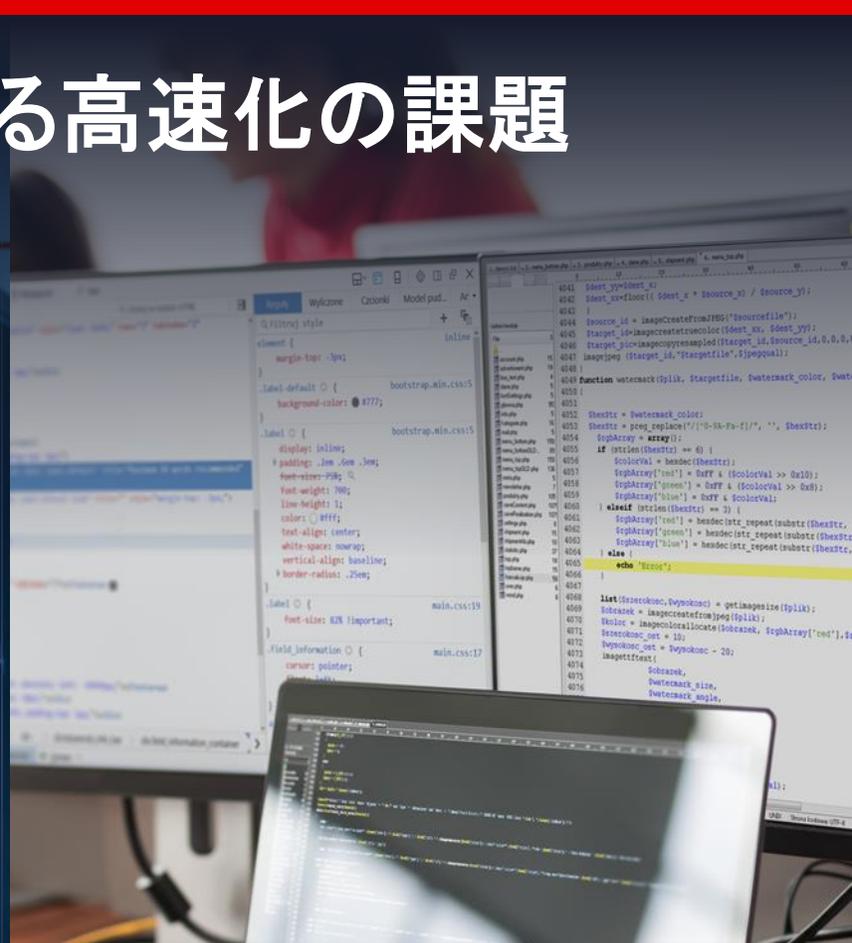
ハイパースケール クラウド事業者が直面する高速化の課題



アクセラレータの
性能とスループット



クラウド インフラへの
統合と接続性

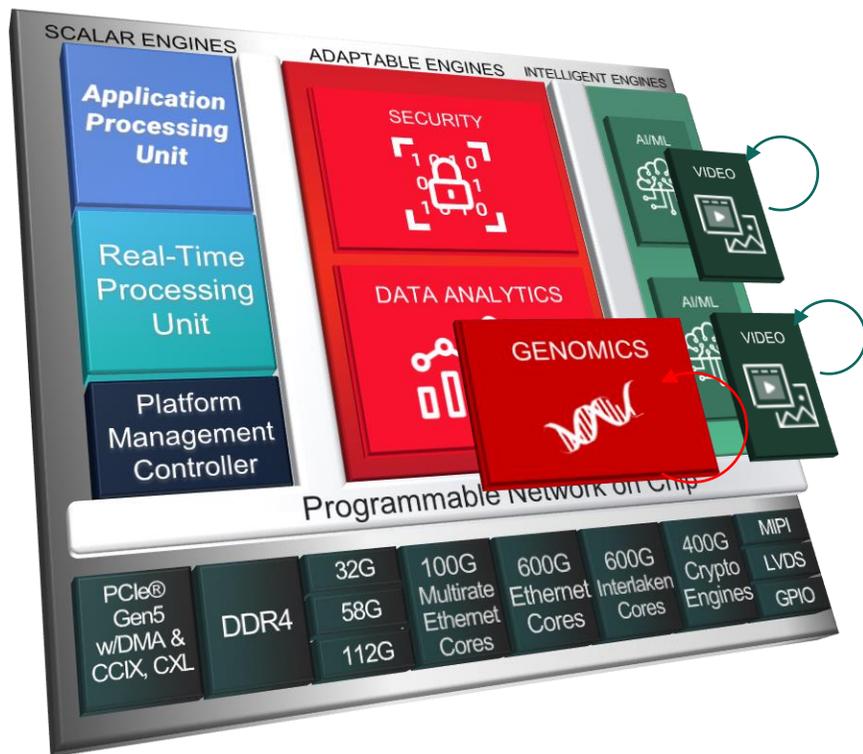


ソフトウェア
ソリューション スタック

クラウド事業者はアクセラレータソリューション全体の TCO を考える

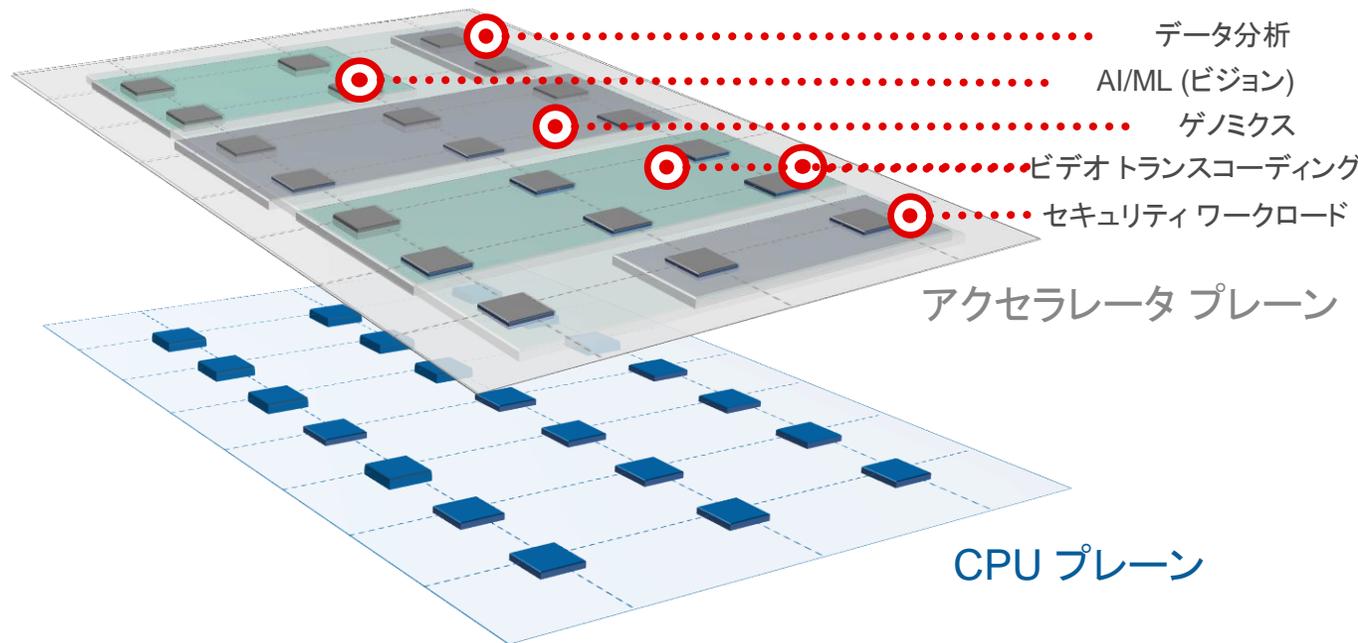
Dynamic Function eXchange を使用するワークロード プロビジョニング

Dynamic Function eXchange (DFX) を使用して
数ミリ秒でカーネルを入れ替える
16nm FPGA より 8 倍高速



アクセラレータを動的に再構成して
インフラを最も効率的に使用

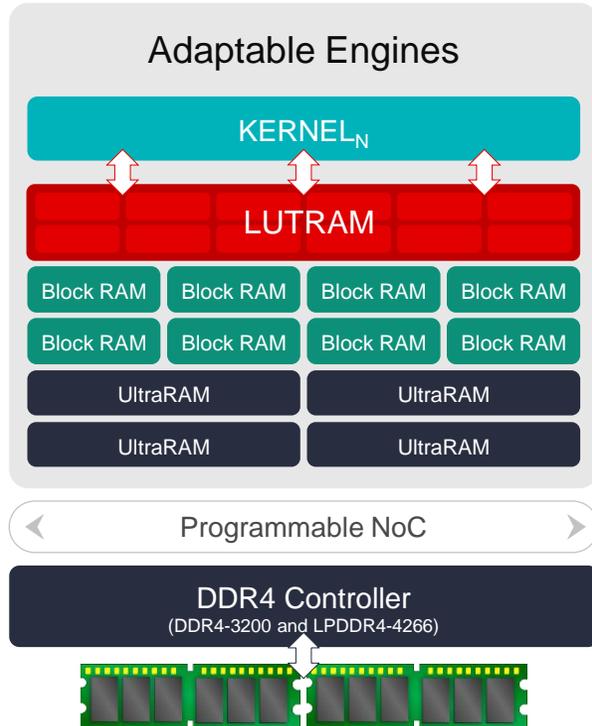
■ サーバー CPU ■ Versal™ アクセラレータ



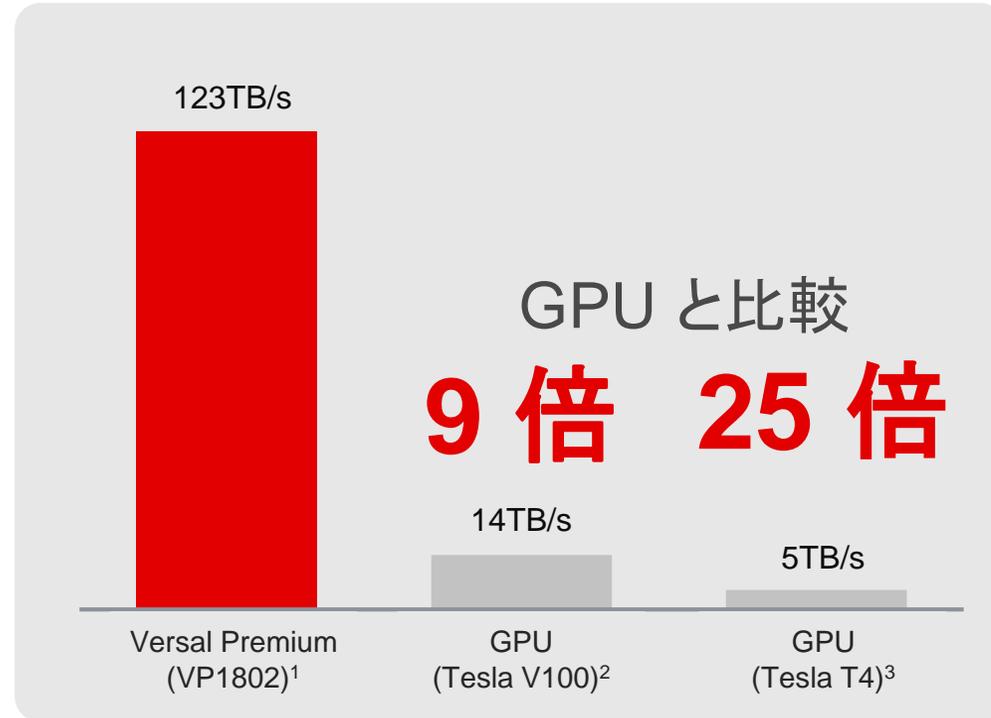
TCO とレイテンシが削減されて、優れた統合とユーザー エクスペリエンスを実現

高速化の鍵: オンチップメモリの帯域幅と容量

性能、消費電力、レイテンシには
最大 1Gb の密結合メモリ



オンチップメモリ帯域幅
(TB/s)



Versal™ プレミアム ACAP は、GPU では不可能な性能を達成できる

1: Memory bandwidth assumes largest Versal Premium device, all available block RAM and UltraRAM at their maximum rates, 72-bit dual-port configuration

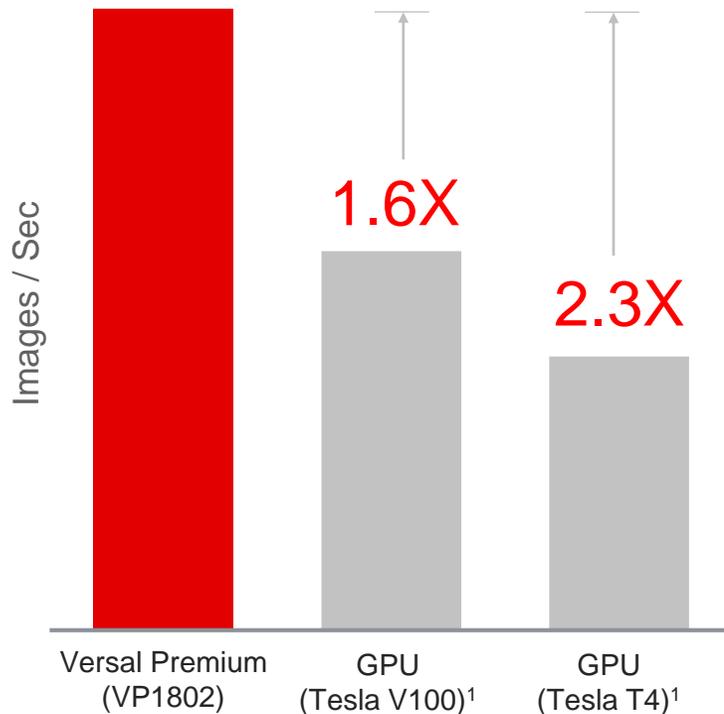
2: "Dissecting the NVidia Volta GPU Architecture via Microbenchmarking" - <https://arxiv.org/pdf/1804.06826.pdf>

3: "Dissecting the NVidia Turing T4 GPU via Microbenchmarking" - <https://arxiv.org/pdf/1903.07486.pdf>

ヘテロジニアス エンジンとメモリ帯域幅が多様なワークロードに対応し、性能を大幅に向上させる

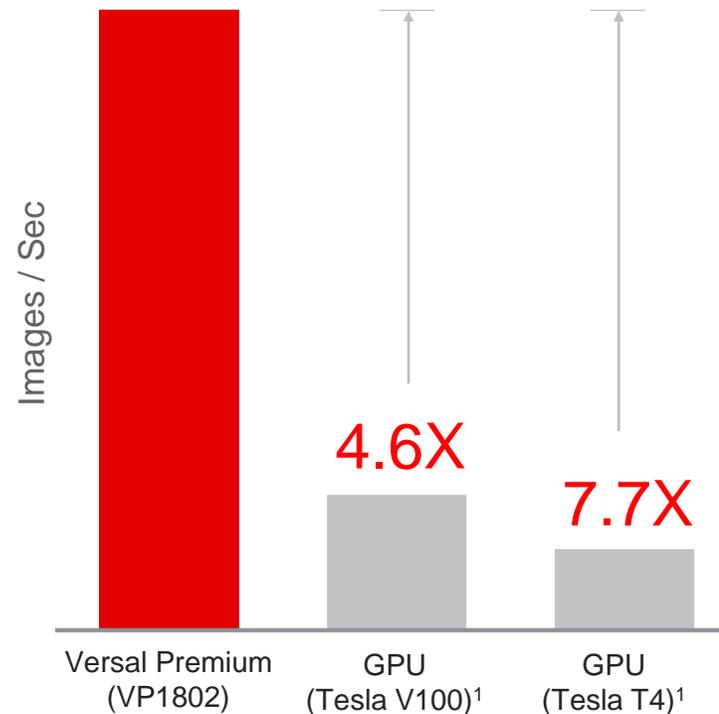
画像分類

ResNet50 (224x224)



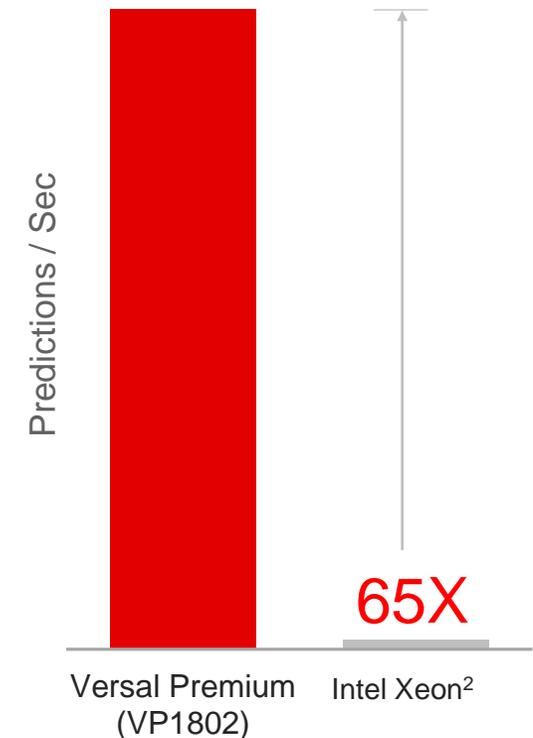
物体検知

Yolov2 (608x608)



異常検知 (AI)

Random Forest



1: NVidia Data Center Deep Learning Product Performance, <https://developer.nvidia.com/deep-learning-performance-training-inference>

2: Xilinx Estimates, 2nd Generation Intel Xeon Scalable Processors ("Cascade Lake")

専用接続とクラウド運用のための統合シェル

「シェル」: クラウド接続のためにあらかじめ構築されたインフラ

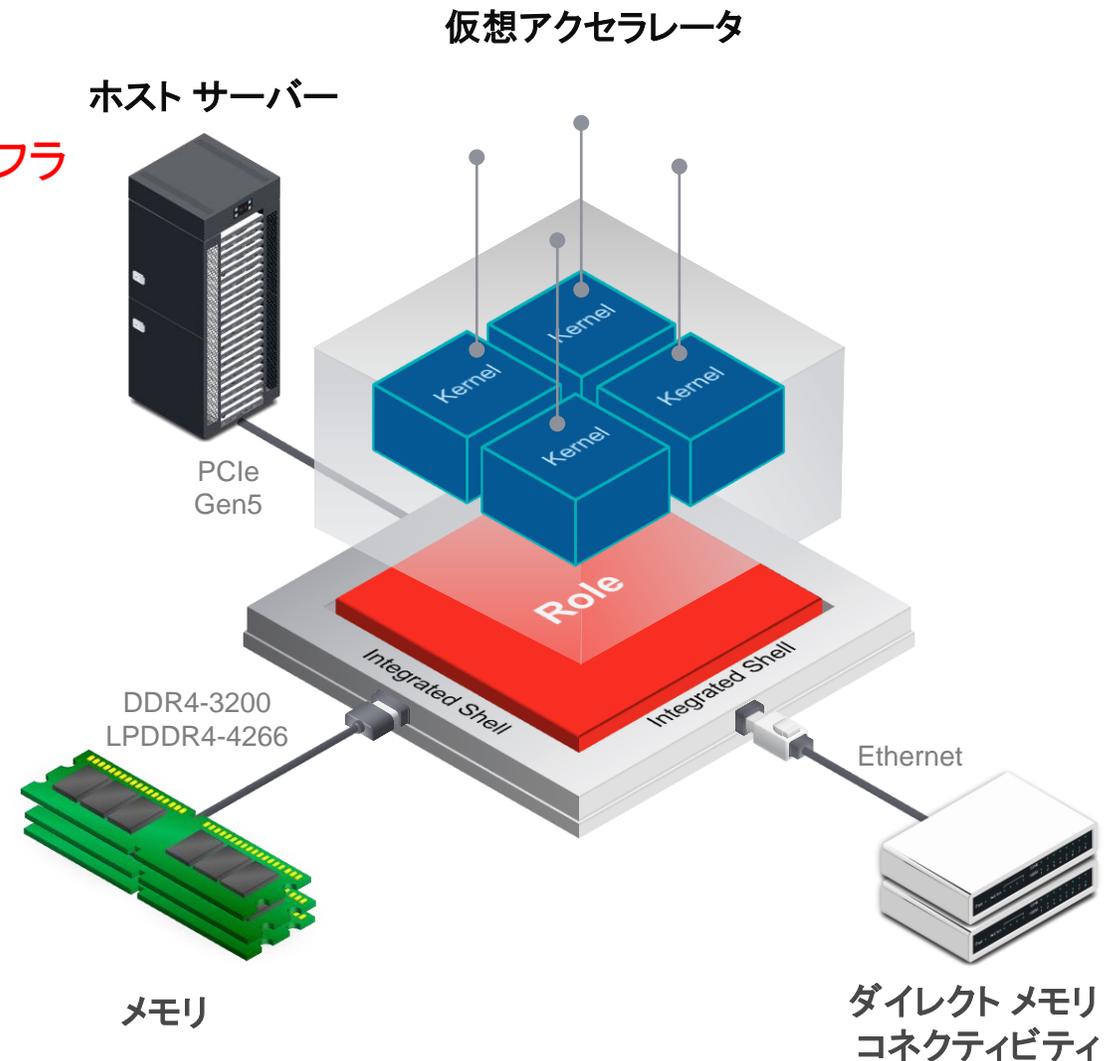
- ▶ データセンター インフラストラクチャへのすべての接続がハード化
- ▶ 起動時に CPU ホストとシステム メモリの通信が可能
- ▶ 次世代ホスト通信対応の PCIe® Gen5

「Role」: HW カーネルと演算アクセラレーション用

- ▶ カーネル配置とタイミング クロージャを簡素化
- ▶ 「仮想アクセラレータ」のカーネルを簡単に交換

合理化されたハードウェアの開発と運用

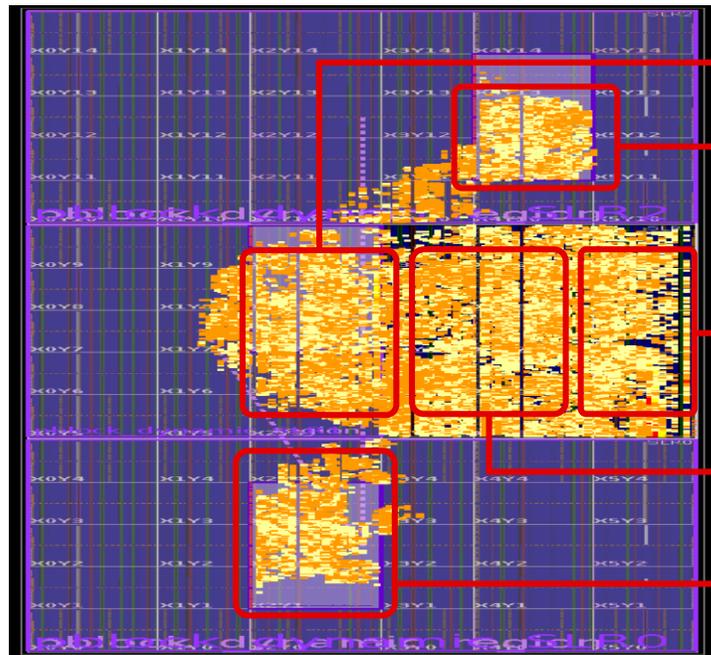
- ▶ アクセラレータ開発を簡素化するためにゼロから構築された Versal™
- ▶ HW 設計者はクラウドへの接続インフラに費やす時間を短縮できる



統合シェルにより、カスタマイズに使用できるロジックが増える

Virtex® UltraScale+™ VU9P

インフラストラクチャに 200K 個の LUT を使用



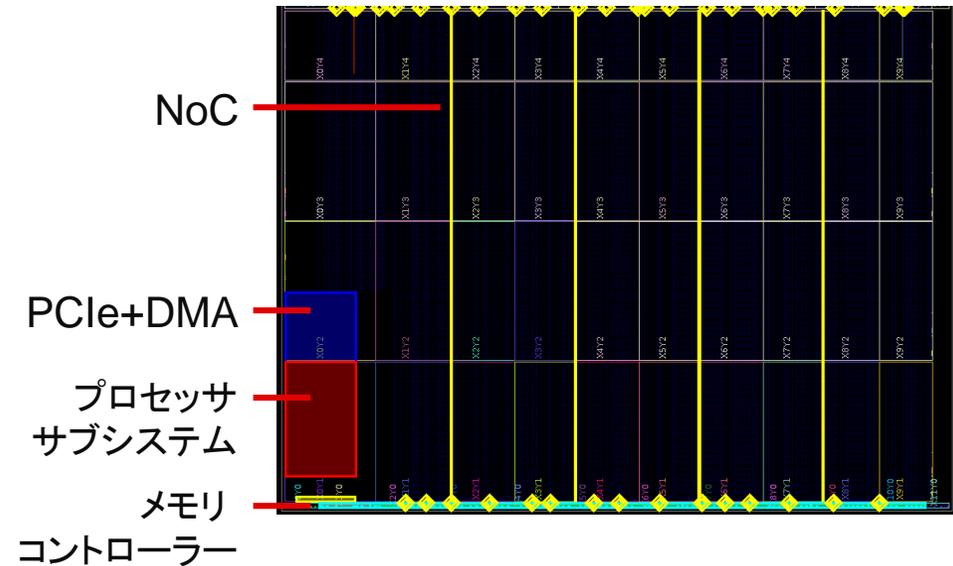
メモリ
コントローラー
メモリ
コントローラー

PCIe®+DMA

メモリ
コントローラー
メモリ
コントローラー

Versal™ デバイス

インフラストラクチャに 0 個の LUT を使用



NoC

PCIe+DMA

プロセッサ
サブシステム

メモリ
コントローラー

ヘテロジニアスな統合により TCO が削減され、より大きな差別化が可能

Vitis 統合ソフトウェア プラットフォーム

ドメイン特化型
開発環境

AI

Caffe

TensorFlow

PyTorch

パートナー
開発環境



AI Models



Video
Transcoding



Data
Analytics



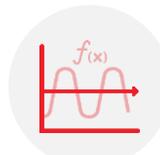
Finance



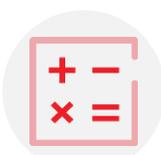
Data Security



パートナー
ライブラリ



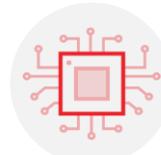
Math



Linear Algebra



Statistics



DSP



Data Management

Vitis™
オープンソース
アクセラレーション
ライブラリ

Vitis
コア開発キット

Compilers

Analyzers

Debuggers

Xilinx Runtime Library (XRT)

Versal™ ACAP

製品ポートフォリオ/設計開始

Versal™ プレミアムのポートフォリオ: ネットワーク/クラウドに応じて拡張可能

ネットワーク 

Access/Metro

Regional/Core

クラウド 

Scalable Cloud Acceleration

	VP1102	VP1202	VP1402	VP1502	VP1552	VP1702	VP1802	
エンジン	システム ロジック セル	1.6M	2.0M	2.2M	3.8M	3.8M	5.6M	7.4M
	適応型エンジン (LUT)	720K	900K	1M	1.7M	1.8M	2.5M	3.4M
	インテリジェント エンジン (DSP スライス)	1.9K	4K	2.7K	7.4K	7.4K	11K	14K
	スカラー エンジン	デュアルコア Arm® Cortex®-A72 アプリケーション プロセッシング ユニット / デュアルコア Arm Cortex-R5F リアルタイム プロセッシング ユニット						
IP コア	PCIe® Gen5x8 w/DMA & CCIX	-	2	-	2	2	2	2
	PCIe Gen5x4 w/CXL ¹	2	2	2	2	8	2	2
	100G マルチレート イーサネット MAC	6	2	8	4	4	6	8
	600G イーサネット MAC	4	1	6	3	1	5	7
	600G Interlaken	2	0	3	1	0	2	3
	400G 高速暗号化エンジン	3	1	4	2	2	3	4

31 1: CXL はハード IP とソフト IP の組み合わせで実装

今すぐ設計に使用できます

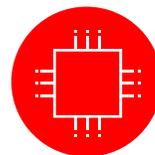
Versal プレミアム

資料を**提供中**

2020 年後半にツールを提供

2021 年前半にシリコンを出荷

Versal プライム評価キットで
今すぐプロトタイプ製品を設計
Versal プレミアムとピン互換



主な構築
ブロックを評価



システム テスト用の
主要インターフェイス



システム設計手法
ガイド

消費電力が最適化されたネットワーク コアを 単一の適応型プラットフォームに統合

3 倍の帯域幅で最も速くセキュアなネットワーク

- ▶ 112G PAM4 トランシーバーによる 9Tb/s のシリアル帯域幅
- ▶ 5Tb/s の統合イーサネット スループット
- ▶ 1.6Tb/s でのラインレートの暗号化

2 倍の演算密度で適応性のあるアクセラレーション

- ▶ 最も大きなロジック容量と DSP 密度でハードウェア アクセラレーションが可能
- ▶ 広帯域かつ大容量なメモリがアクセラレーションの課題を解消

高度に統合された HW/SW プラットフォームで生産性向上

- ▶ 統合シェルによる専用のクラウド接続
- ▶ Vitis™ 統合ソフトウェア プラットフォームと Vivado® Design Suite の利用で、さらなる生産性向上
- ▶ HW/SW 開発者向けの完全なソリューション スタック

帯域幅/演算密度の比較は 14nm/16nm FPGA に基づく



シリコン サンプルング (2021 年前半)
今すぐ設計を開始



Thank You

