

概要

業界初の ACAP (Adaptive Compute Acceleration Platform) である Versal™ デバイスは、適応性のあるプロセッシングおよびアクセラレータエンジンとプログラマブルロジック、コンフィギュレーション可能なコネクティビティを兼ね備え、データセンター、オートモティブ、5G 無線通信、有線通信、防衛分野の幅広いアプリケーション向けにカスタマイズされたヘテロジニアスハードソリューションを可能にします。Versal ACAP は、1 つの統合されたシリコンホストインターコネクティブシェルと、AI および DSP インテリジェントエンジン、適応型エンジン、そしてスカラーエンジンといった大きく様変わりした機能を特長とし、従来の FPGA、CPU および GPU を上回るワットあたり性能を提供します。

AI エッジシリーズ: 高い安全性の確保を念頭に設計されており、エッジアプリケーション向けに優れた AI 推論性能、低レイテンシ、電力効率を提供する適応型テクノロジープラットフォームです。

AI コアシリーズ: 演算性能の高いシリーズで、集積度としては中程度のプログラマブルロジックおよびコネクティビティ性能と、AI および DSP アクセラレーションエンジンを備えます。

プライムシリーズ: ミッドレンジにあたるシリーズで、集積度としては中程度のプログラマブルロジック、シリアル処理およびコネクティビティ性能を備えます。

プレミアムシリーズ: 高帯域幅を特徴とするハイエンドシリーズです。豊富なネットワークインターフェイス、セキュリティエンジン、および高い演算密度を提供します。

HBM シリーズ: メモリバウンドであると同時に、高い演算能力が求められるアプリケーション向けのシリーズで、3D IC メモリ、セキュアコネクティビティ、適応型演算機能をヘテロジニアスに統合することでパフォーマンスのボトルネックを解消します。

シリーズ比較

表 1: デバイスリソース

Versal ACAP リソースと性能	AI エッジシリーズ	AI コアシリーズ	プライムシリーズ	プレミアムシリーズ	HBM シリーズ
プログラマブルネットワークオンチップ (NoC)	✓	✓	✓	✓	✓
合計 INT8 TOP/s	7 ~ 228	57 ~ 228	8 ~ 57	36 ~ 206	107 ~ 157
システムロジックセル (K)	44 ~ 1,139	540 ~ 1,968	329 ~ 2,233	1,575 ~ 7,352	3,837 ~ 5,631
階層メモリ (Mb)	40 ~ 177	90 ~ 191	54 ~ 282	198 ~ 994	509 ~ 752
DSP エンジン	90 ~ 1,312	928 ~ 1,968	464 ~ 3,984	1,904 ~ 14,352	7,392 ~ 10,848
AI エンジン	8 ~ 304	128 ~ 400	-	-	-
プロセッシングシステム	✓	✓	✓	✓	✓
シリアルトランシーバー	0 ~ 44	8 ~ 44	8 ~ 48	48 ~ 168	88 ~ 128
最大シリアル帯域幅 (全二重) (Tb/s)	2.9	2.9	5.2	18.1	11.4
I/O	114 ~ 530	478 ~ 770	316 ~ 770	586 ~ 780	780
メモリコントローラー	1 ~ 3	2 ~ 4	1 ~ 4	3 ~ 4	4
HBM (GB)	-	-	-	-	8 ~ 32

ザイリンクスは、従業員、顧客、パートナーそれぞれが認められ、受け入れられていると実感できる環境作りに取り組んでいます。その一環として、ザイリンクス製品資料およびその他関連資料に含まれる非包括的な用語 / 表現を排除していきます。ザイリンクスソフトウェアおよび IP に組み込まれている用語を含め、人を差別、疎外したり、歴史的な偏見を増長する可能性のある表現をなくすための社内的取り組みがはじまっています。該当表現を改め、進化する業界標準に則った取り組みを進めていますが、旧製品資料には配慮に欠ける表現が残っている可能性があります。詳細は、[こちら](#)からご確認ください。

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

機能概要

アーキテクチャ

Versal ACAP は統合されたシェルを中心に構築されています。シェルはプログラム可能なネットワーク オン チップ (NoC) から成り、デバイス全体におけるシームレスなメモリ マップ アクセスを可能にしています。具体的には、マルチコアのスカラールプロセッシングシステム (PS)、DMA および CCI (Cache Coherent Interconnect) を備えた PCIe® 用統合ブロック (CPM)、AI および複雑な信号処理用の SIMD VLIW AI エンジン アクセラレータ、およびプログラマブル ロジック (PL) にある適応型エンジンで構成されています。これらが 1 つとなってシェル、つまりはクラウド、エッジ、およびネットワーク アプリケーション向けに、短期間での市場投入を可能にする演算アクセラレーションプラットフォームを構成しています。PS の隣りに位置するプラットフォーム管理コントローラー (PMC) は、デバイスをブートおよびコンフィギュレーションする際に使用されます。Versal デバイスは通常、上辺と下辺に I/O およびメモリ コントローラーを備え、左右の両辺にトランシーバーを備えています。NoC は上下、左右両方向でデバイス全体に渡ります。

演算およびアクセラレーション

Versal AI コア シリーズには、機械学習、たたみ込みニューラル ネットワーク、無線通信、バックホール、ケーブル、あるいはレーザー アプリケーションの機能向けに高度に最適化された信号処理コアのアレイがあります。このアレイには、それぞれが 32 ビット スカラール RISC プロセッサ、固定小数点および浮動小数点ベクトルユニット、データ メモリ、およびインターコネクで構成される AI エンジンが多数あります。AI エンジンは 1 つのタイルとする場合からアレイ全体とする場合まで、任意の細かさで使用できます。また、AI エンジン アレイでのアクセラレーションや演算のカスタム エンジンの作成は、C および C++ を用いてハイレベルで実行されます。

すべての Versal ACAP は、PS にデュアル コア Arm® Cortex®-A72 (APU) およびデュアル コア Arm Cortex-R5F (RPU) で構成されるスカラール エンジンを持っています。PS には、ギガビット イーサネットおよび USB 2.0、さらに SPI、I2C、UART、CAN-FD 用のコントローラーをサポートする、多数のペリフェラルが含まれます。PS は、NoC を介して、デバイス上辺および下辺にある DDR メモリ コントローラーにアクセスします。外部メモリへの接続に加え、APU にはレベル 2 (L2) キャッシュが、RPU には密結合メモリ (TCM) が含まれ、APU と RPU は共にオンチップ メモリ (OCM) へアクセス可能です。

PL は、6 入力のルックアップ テーブル (LUT) とフリップフロップを含むコンフィギュラブル ロジック ブロック、36Kb ブロック RAM と 288Kb UltraRAM というサイズの異なるメモリ ブロック、デジタル信号処理 (DSP) ブロック、およびブロックどうしを接続するための豊富なインターコネク、スイッチ、マルチプレクサーを持っています。すべてのリソースはカラム状に配列されています。PL は高さが固定された複数の領域に分割されています。この各領域には、クロッキング機能と NoC アクセス ポイントがあります。

プラットフォーム管理

PMC は PS に隣接していますが、PS からは独立して機能します。PMC はプライマリ ブート ソースからデバイスをブートし、コンフィギュレーションする際に使用されます。また、PS コンフィギュレーションの前または後に PL のコンフィギュレーションも実行します。プラットフォームにおける暗号化、認証、システム監視、デバイス デバイスなどの機能もこの PMC が制御します。

コネクティビティ

Versal ACAP の下辺には通常、DDR4 および LPDDR4 との読み書きに使用される多数の XPIO バンクと関連するメモリ コントローラーが位置しています。XPIO は、PL で作成されたソフト メモリ コントローラーを含め、専用のメモリ コントローラーから独立して、さまざまな機能用に使用できます。デバイスの左右の辺には通常、最大 112Gb/s をサポートするシリアル トランシーバーがあります。PL には、Compute Express Link (CXL) をサポートする PCIe 用統合ブロック (PL PCIE)、マルチレート イーサネット MAC、600G イーサネット MAC、600G Interlaken、400G 高速暗号化 (HSC) エンジンなど、付加価値の高い機能を含めることができます。

機能一覧

表 2: Versal AI エッジ シリーズ

	VE2002	VE2102	VE2202	VE2302	VE2602	VE1752	VE2802
AI エンジン-ML	8	12	24	34	152	0	304
AI エンジン	0	0	0	0	0	304	0
AIE/AIE-ML データ メモリ (Mb)	4	6	12	17	76	76	152
AIE-ML 共有メモリ (Mb)	48	48	68	68	304	0	304
DSP エンジン	90	176	324	464	984	1,312	1,312
システム ロジック セル	43,750	80,080	229,688	328,720	820,313	981,120	1,139,040
CLB フリップフロップ	40,000	73,216	210,000	300,544	750,000	897,024	1,041,408
LUT	20,000	36,608	105,000	150,272	375,000	448,512	520,704
分散 RAM (Mb)	0.6	1.1	3.2	4.6	11.4	13.7	15.9
ブロック RAM ブロック	24	47	108	155	476	954	600
ブロック RAM (Mb)	0.8	1.7	3.8	5.4	16.7	33.5	21.1
UltraRAM ブロック	24	47	108	155	224	462	264
UltraRAM (Mb)	6.8	13.2	30.4	43.6	63.0	129.9	74.3
アクセラレータ RAM (Mb)	32	32	32	32	0	0	0
APU	デュアル コア Arm® Cortex-A72、48KB/32KB L1 キャッシュ (パリティおよび ECC あり)、1MB L2 キャッシュ (ECC あり)						
RPU	デュアル コア Arm Cortex-R5F、32KB/32KB L1 キャッシュ、256KB TCM (ECC あり)						
メモリ	256KB オンチップ メモリ (ECC あり)						
コネクティビティ	Ethernet (x2)、UART (x2)、CAN-FD (x2)、USB 2.0 (x1)、SPI (x2)、I2C (x2)						
NoC マスター/スレーブ ポート	2	2	5	5	21	21	21
DDR バス幅	64	64	64	64	192	192	192
DDR メモリ コントローラー	1	1	1	1	3	3	3
DMA および CCIX を備えた PCIe (CPM4)	-	-	-	-	-	1 x Gen4x16、CCIX	-
DMA および CCIX を備えた PCIe (CPM5)	-	-	-	-	1 x Gen4x16、CCIX	-	1 x Gen4x16、CCIX
PCIe (PLPCIE4)	-	-	1 x Gen4x8	1 x Gen4x8	-	4 x Gen4x8	-
PCIe (PLPCIE5)	-	-	-	-	4 x Gen4x8	-	4 x Gen4x8
40G マルチレート イーサネット MAC	0	0	1	1	2	2	2
XPIO	216	216	216	216	486	486	486
HDIO	0	0	22	22	44	44	44
GTY トランシーバー (32.75Gb/s)	0	0	0	0	0	44	0
GTYP トランシーバー (32.75Gb/s)	0	0	8	8	32 ⁽¹⁾	0	32 ⁽¹⁾
ビデオ デコーダー エンジン (VDE)	-	-	-	-	2	-	4

注記:

1. 16 GTYP トランシーバーは、PCI Express を使用する場合の CPM5 専用です。

表 3: Versal AI エッジ シリーズ: デバイスとパッケージの各組み合わせにおける最大 I/O 数

	VE2002	VE2102	VE2202	VE2302	VE2602	VE1752	VE2802
	XPIO DDR のみ、XPIO DDR+PL HDIO、MIO GTY、GTYP						
SBVA484	84、30 0、78 0、0	84、30 0、78 0、0					
SBVA625	132、84 0、78 0、0	132、84 0、78 0、0					
SFVA784	132、84 0、78 0、0	132、84 0、78 0、0	132、84 22、78 0、8	132、84 22、78 0、8			
NSVG1369						132、246 44、78 24、0	
NSVH1369					132、192 44、78 0、32		132、192 44、78 0、32
VSVA1596 ⁽¹⁾						132、246 44、78 32、0	
VFVH1760					186、300 44、78 0、32		186、300 44、78 0、32
VSVA2197						192、294 44、78 44、0	

注記:

1. VSVA1596 パッケージの VE1752 は、324 I/O でのみ LPDDR4 のピーク データ レートをサポートします。残り 54 の I/O でサポートされるデータ レートには制限があります。詳細は、関連するデータシートを参照してください。

表 4: Versal AI コア シリーズ

	VC1352	VC1502	VC1702	VC1802	VC1902	VC2602	VC2802
AI エンジン	128	198	304	300	400	0	0
AI エンジン-ML	0	0	0	0	0	152	304
AIE/AIE-ML データ メモリ (Mb)	32	50	76	75	100	76	152
AIE-ML 共有メモリ (Mb)	0	0	0	0	0	304	304
DSP エンジン	928	1,032	1,312	1,600	1,968	984	1,312
システム ロジック セル	539,840	814,520	981,120	1,585,938	1,968,400	820,313	1,139,040
CLB フリップフロップ	493,568	744,704	897,024	1,450,000	1,799,680	750,000	1,041,408
LUT	246,784	372,352	448,512	725,000	899,840	375,000	520,704
分散 RAM (Mb)	7.5	11.3	13.7	22.1	27.5	11.4	15.9
ブロック RAM ブロック	441	848	954	800	967	476	600
ブロック RAM (Mb)	15.5	29.8	33.5	28.1	34.0	16.7	21.1
UltraRAM ブロック	209	390	462	325	463	224	264
UltraRAM (Mb)	58.8	109.7	129.9	91.4	130.2	63.0	74.3
アクセラレータ RAM (Mb)	32	0	0	0	0	0	0
APU	デュアルコア Arm Cortex-A72、48KB/32KB L1 キャッシュ (パリティおよび ECC 付き)、1MB L2 キャッシュ (ECC 付き)						
RPU	デュアルコア Arm Cortex-R5F、32KB/32KB L1 キャッシュおよび TCM (ECC 付き)						
メモリ	256KB オンチップ メモリ (ECC あり)						
コネクティビティ	Ethernet (x2)、UART (x2)、CAN-FD (x2)、USB 2.0 (x1)、SPI (x2)、I2C (x2)						
NoC マスター/スレーブ ポート	10	21	21	28	28	21	21
DDR バス幅	128	192	192	256	256	192	192
DDR メモリ コントローラー	2	3	3	4	4	3	3
DMA および CCIX を備えた PCIe (CPM4)	-	1 x Gen4x16、CCIX	1 x Gen4x16、CCIX	1 x Gen4x16、CCIX	1 x Gen4x16、CCIX	-	-
DMA および CCIX を備えた PCIe (CPM5)	-	-	-	-	-	2 x Gen5x8、CCIX	2 x Gen5x8、CCIX
PCIe (PLPCIE4)	1 x Gen4x8	4 x Gen4x8	4 x Gen4x8	4 x Gen4x8	4 x Gen4x8	-	-
PCIe (PLPCIE5)	-	-	-	-	-	4 x Gen5x4	4 x Gen5x4
100G マルチレート イーサネット MAC	1	3	4	4	4	2	2
XPIO	378	486	486	648	648	486	486
HDIO	44	22	44	44	44	44	44
GTY トランシーバー (32.75Gb/s)	0	32	44	44	44	0	0
GTYP トランシーバー (32.75Gb/s)	8	0	0	0	0	32 ⁽¹⁾	32 ⁽¹⁾
ビデオ デコーダー エンジン (VDE)	-	-	-	-	-	2	4

注記:

1. 16 GTYP トランシーバーは、PCI Express を使用する場合の CPM5 専用です。

表 5: Versal AI コア シリーズ: デバイスとパッケージの各組み合わせにおける最大 I/O 数

	VC1352	VC1502	VC1702	VC1802	VC1902	VC2602	VC2802
	XPIO DDR のみ、XPIO DDR+PL HDIO、MIO GTY、GTYP						
NBVA1024	168、210 22、78 0、8						
NSVE1369	168、210 44、78 0、8						
NSVG1369		132、246 22、78 24、0	132、246 44、78 24、0				
NSVH1369						132、192 44、78 0、32	132、192 44、78 0、32
VIVA1596 ⁽¹⁾				132、246 44、78 32、0	132、246 44、78 32、0		
VSVA1596 ⁽¹⁾		132、246 22、78 32、0	132、246 44、78 32、0				
VSVD1760				186、462 0、78 24、0	186、462 0、78 24、0		
VFVH1760						186、300 44、78 0、32	186、300 44、78 0、32
VSVA2197		192、294 22、78 32、0	192、294 44、78 44、0	186、462 44、78 44、0	186、462 44、78 44、0		

注記:

- VIVA1596 および VSVA1596 のデバイスは、324 I/O でのみ LPDDR4 のピーク データ レートをサポートします。残り 54 の I/O でサポートされるデータ レートには制限があります。詳細は、関連するデータシートを参照してください。

表 6: Versal プライム シリーズ

	VM1102	VM1302	VM1402	VM1502	VM1802	VM2202	VM2302	VM2502	VM2902
システム ロジック セル	328,720	693,280	1,237,600	981,120	1,968,400	1,139,040	1,574,720	1,969,240	2,233,280
CLB フリップフロップ	300,544	633,856	1,131,520	897,024	1,799,680	1,041,408	1,439,744	1,800,448	2,041,856
LUT	150,272	316,928	565,760	448,512	899,840	520,704	719,872	900,224	1,020,928
分散 RAM (Mb)	4.6	9.7	17.3	13.7	27.5	15.9	22.0	27.5	31.2
ブロック RAM ブロック	155	502	1,150	954	967	600	1,405	1,341	1,981
ブロック RAM (Mb)	5.4	17.6	40.4	33.5	34.0	21.1	49.4	47.1	69.6
UltraRAM ブロック	155	178	286	462	463	264	453	677	645
UltraRAM (Mb)	43.6	50.1	80.4	129.9	130.2	74.3	127.4	190.4	181.4
アクセラレータ RAM (Mb)	32	0	0	0	0	0	0	0	0
DSP エンジン	464	832	1,696	1,312	1,968	1,312	1,904	3,984	2,672
APU	デュアル コア Arm Cortex-A72、48KB/32KB L1 キャッシュ (パリティおよび ECC 付き)、1MB L2 キャッシュ (ECC 付き)								
RPU	デュアル コア Arm Cortex-R5F、32KB/32KB L1 キャッシュおよび TCM (ECC 付き)								
メモリ	256KB オンチップ メモリ (ECC あり)								
コネクティビティ	Ethernet (x2)、UART (x2)、CAN-FD (x2)、USB 2.0 (x1)、SPI (x2)、I2C (x2)								
NoC マスター/スレーブ ポート	5	9	18	21	28	21	30	28	42
DDR バス幅	64	128	256	192	256	192	192	256	192
DDR メモリ コントローラー	1	2	4	3	4	3	3	4	3
DMA および CCIX を備えた PCIe (CPM4)	–	1 x Gen4x16、 CCIX	1 x Gen4x16、 CCIX	1 x Gen4x16、 CCIX	1 x Gen4x16、 CCIX	–	–	–	–
DMA および CCIX を備えた PCIe (CPM5)	–	–	–	–	–	2 x Gen5x8、 CCIX	–	2 x Gen5x8、 CCIX	–
PCIe (PLPCIE4)	–	2 x Gen4x8	2 x Gen4x8	4 x Gen4x8	4 x Gen4x8	–	–	–	–
PCIe (PLPCIE5)	1 x Gen4x8	–	–	–	–	4 x Gen5x4	2 x Gen5x4	2 x Gen5x4	2 x Gen5x4
100G マルチレート イーサネット MAC	1	2	2	4	4	2	6	2	6
XPIO	216	432	648	486	648	486	486	648	378
HDIO	22	22	22	44	44	44	44	0	44
GTY トランシーバー (32.75Gb/s)	0	24	24	44	44	0	0	0	0
GTYP トランシーバー (32.75Gb/s)	8	0	0	0	0	32 ⁽¹⁾	8	28 ⁽¹⁾	8
GTM トランシーバー (58Gb/s)	0	0	0	0	0	0	40	20	40

注記:

1. 16 GTYP トランシーバーは、PCI Express を使用する場合の CPM5 専用です。

表 7: Versal プライム シリーズ: デバイスとパッケージの各組み合わせにおける最大 I/O 数

	VM1102	VM1302	VM1402	VM1502	VM1802	VM2202	VM2302	VM2502	VM2902
	XPIO DDR のみ、XPIO DDR+PL HDIO、MIO GTY、GTYP、GTM								
SFVA784	132、84 22、78 0、8、0								
NBVB1024		132、84 22、78 16、0、0	132、192 22、78 16、0、0						
NFVB1369		132、84 22、78 24、0、0	132、192 22、78 24、0、0	132、246 22、78 16、0、0					
NSVF1369		168、156 22、78 8、0、0	168、480 22、78 8、0、0						
VFVC1596		168、264 22、78 24、0、0	168、480 22、78 24、0、0						
VFVC1760 ⁽²⁾				132、246 44、78 44、0、0	132、246 44、78 44、0、0				
VSVD1760 ⁽³⁾⁽⁴⁾		168、156 0、78 16、0、0	168、480 0、78 16、0、0		186、462 0、78 24、0、0				
VFVF1760 ⁽¹⁾							180、306 22.78 0、8、40		180、306 22.78 0、8、40
VSVA2197				192、294 44、78 44、0、0	186、462 44、78 44、0、0				
VSVC2197 ⁽¹⁾						186、300 44、78 0、32、0		132、516 0、78 0、28、20	

注記:

- 一部のパッケージは、Versal プレミアム シリーズのデバイスと互換性があります。
- VFVC1760 のデバイスは、162 I/O のみ LPDDR4 のピーク データ レートをサポートします。残り 216 の I/O でサポートされるデータ レートには制限があります。詳細は、関連するデータシートを参照してください。
- VSVD1760 の VM1302 は、162 I/O のみ LPDDR4 のピーク データ レートをサポートします。残り 162 の I/O でサポートされるデータ レートには制限があります。詳細は、関連するデータシートを参照してください。
- VSVD1760 の VM1402 は、324 I/O のみ LPDDR4 のピーク データ レートをサポートします。残り 324 の I/O でサポートされるデータ レートには制限があります。詳細は、関連するデータシートを参照してください。

表 8: Versal プレミアム シリーズ

	VP1102	VP1202	VP1402	VP1502	VP1552	VP1702	VP1802
システム ロジック セル	1,574,720	1,969,240	2,233,280	3,763,480	3,836,840	5,557,720	7,351,960
CLB フリップフロップ	1,439,744	1,800,448	2,041,856	3,440,896	3,507,968	5,081,344	6,721,792
LUT	719,872	900,224	1,020,928	1,720,448	1,753,984	2,540,672	3,360,896
分散 RAM (Mb)	22	27	31	53	54	78	103
ブロック RAM ブロック	1,405	1,341	1,981	2,541	2,541	3,741	4,941
ブロック RAM (Mb)	49	47	70	89	89	132	174
UltraRAM ブロック	453	677	645	1,301	1,301	1,925	2,549
UltraRAM (Mb)	127	190	181	366	366	541	717
DSP エンジン	1,904	3,984	2,672	7,440	7,392	10,896	14,352
APU	デュアル コア Arm Cortex-A72、48KB/32KB L1 キャッシュ (パリティおよび ECC 付き)、1MB L2 キャッシュ (ECC 付き)						
RPU	デュアル コア Arm Cortex-R5F、32KB/32KB L1 キャッシュおよび TCM (ECC 付き)						
メモリ	256KB オンチップ メモリ (ECC あり)						
コネクティビティ	Ethernet (x2)、UART (x2)、CAN-FD (x2)、USB 2.0 (x1)、SPI (x2)、I2C (x2)						
NoC マスター/スレーブ ポート	30	28	42	52	52	76	100
DDR バス幅	192	256	192	256	256	256	256
DDR メモリ コントローラー	3	4	3	4	4	4	4
DMA および CCIX を備えた PCIe (CPM5)	–	2 x Gen5x8、CCIX	–	2 x Gen5x8、CCIX	2 x Gen5x8、CCIX	2 x Gen5x8、CCIX	2 x Gen5x8、CCIX
CXL を備えた PCIe ⁽²⁾ (PLPCIE5)	2 x Gen5x4	2 x Gen5x4	2 x Gen5x4	2 x Gen5x4	8 x Gen5x4	2 x Gen5x4	2 x Gen5x4
マルチレート イーサネット MAC	6	2	6	4	4	6	8
600G イーサネット MAC	4	1	8	3	1	5	7
600G Interlaken	2	–	2	1	–	2	3
400G HSC エンジン	3	1	5	2	2	3	4
XPIO	486	702	486	702	702	702	648
HDIO	44	–	44	–	–	–	–
GTYP トランシーバー 32.75Gb/s	8	28 ⁽³⁾	8	28 ⁽³⁾	68 ⁽³⁾	28 ⁽³⁾	28 ⁽³⁾
GTM トランシーバー ⁽¹⁾ 58Gb/s (112Gb/s)	64 (32)	20 (10)	96 (48)	60 (30)	20 (10)	100 (50)	140 (70)

注記:

- 2つの GTM トランシーバーを組み合わせることで、最大 112Gb/s のデータレートでの動作が可能です。
- CXL は、ハードおよびソフト IP の組み合わせで実装されています。
- 16 GTYP トランシーバーは、PCI Express を使用する場合の CPM5 専用です。

表 9: Versal プレミアム シリーズ: デバイスとパッケージの各組み合わせにおける最大 I/O 数

	VP1102	VP1202	VP1402	VP1502	VP1552	VP1702	VP1802
	XPIO DDR のみ、XPIO DDR+PL HDIO、MIO GTYP、GTM						
VFVF1760 ⁽¹⁾	180、306 22、78 8、40		180、306 22、78 8、40				
VSVC2197 ⁽¹⁾		132、516 0、78 28、20					
VSVA2785 ⁽²⁾	180、306 44、78 8、64	132、570 0、78 28、20	180、306 44、78 8、80	132、570 0、78 28、56	132、570 0、78 68、16		
VSVA3112				132、570 0、78 28、60			
VSVA3340			180、306 44、78 8、96	132、354 0、78 28、60	132、354 0、78 68、20	132、354 0、78 28、88	
LSVC4072						132、570 0、78 28、100	132、570 0、78 28、140

注記:

- 一部のパッケージは、Versal プライム シリーズのデバイスと互換性があります。
- VSVA2785 の VP1202、VP1502、および VP1552 は、486 I/O でのみ LPDDR4 のピーク データ レートをサポートします。残り 216 の I/O でサポートされるデータ レートには制限があります。詳細は、関連するデータシートを参照してください。

表 10: Versal HBM シリーズ

	VH1522	VH1542	VH1582	VH1742	VH1782
システム ロジック セル	3,836,840	3,836,840	3,836,840	5,631,080	5,631,080
CLB フリップフロップ	3,507,968	3,507,968	3,507,968	5,148,416	5,148,416
LUT	1,753,984	1,753,984	1,753,984	2,574,208	2,574,208
分散 RAM (Mb)	54	54	54	79	79
ブロック RAM ブロック	2,541	2,541	2,541	3,741	3,741
ブロック RAM (Mb)	89	89	89	132	132
UltraRAM ブロック	1,301	1,301	1,301	1,925	1,925
UltraRAM (Mb)	366	366	366	541	541
HBM (GB)	8	16	32	16	32
DSP エンジン	7,392	7,392	7,392	10,848	10,848
APU	デュアル コア Arm Cortex-A72、48KB/32KB L1 キャッシュ (パリティおよび ECC 付き)、1MB L2 キャッシュ (ECC 付き)				
RPU	デュアル コア Arm Cortex-R5F、32KB/32KB L1 キャッシュおよび TCM (ECC 付き)				
メモリ	256KB オンチップ メモリ (ECC あり)				
コネクティビティ	Ethernet (x2)、UART (x2)、CAN-FD (x2)、USB 2.0 (x1)、SPI (x2)、I2C (x2)				
NoC マスター/スレーブ ポート	52	52	52	76	76
DDR バス幅	256	256	256	256	256
DDR メモリ コントローラー	4	4	4	4	4
DMA および CCIX を備えた PCIe (CPM5)	2 x Gen5x8、CCIX	2 x Gen5x8、CCIX	2 x Gen5x8、CCIX	2 x Gen5x8、CCIX	2 x Gen5x8、CCIX
CXL を備えた PCIe ⁽²⁾ (PLPCIE5)	8 x Gen5x4	8 x Gen5x4	8 x Gen5x4	8 x Gen5x4	8 x Gen5x4
マルチレート イーサネット MAC	4	4	4	6	6
600G イーサネット MAC	1	1	1	3	3
600G Interlaken	–	–	–	1	1
400G HSC エンジン	2	2	2	3	3
XPIO	702	702	702	702	702
HDIO	–	–	–	–	–
GTYP トランシーバー 32.75Gb/s	68 ⁽³⁾	68 ⁽³⁾	68 ⁽³⁾	68 ⁽³⁾	68 ⁽³⁾
GTM トランシーバー ⁽¹⁾ 58Gb/s (112Gb/s)	20 (10)	20 (10)	20 (10)	60 (30)	60 (30)

注記:

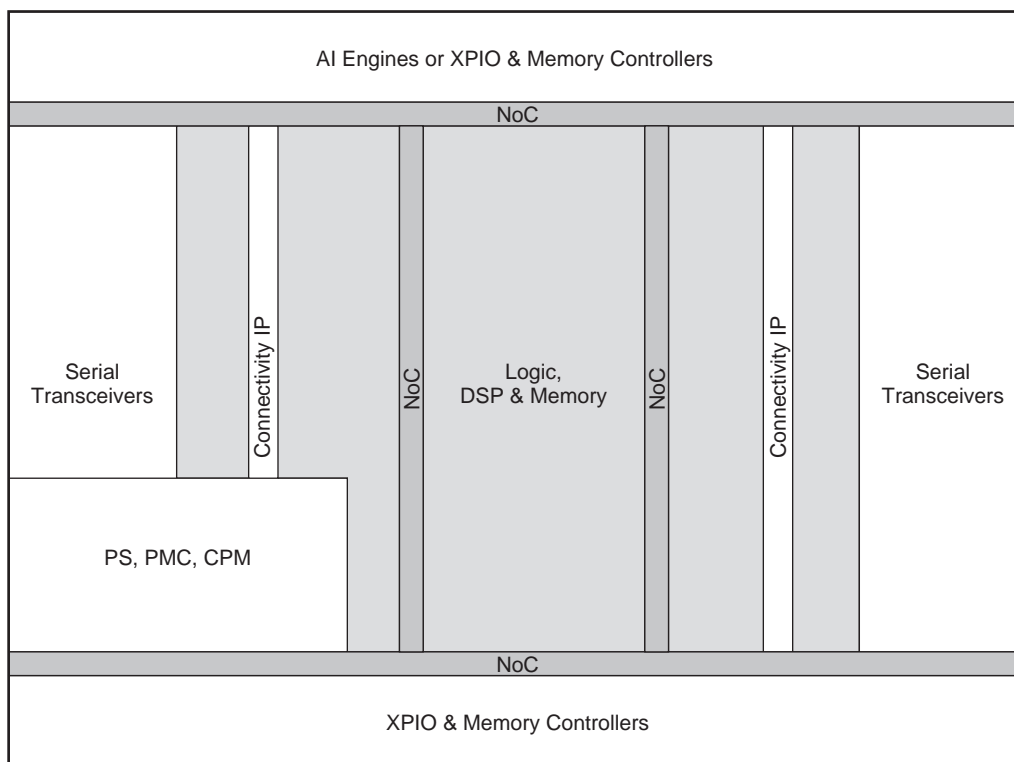
- 2つの GTM トランシーバーを組み合わせることで、最大 112Gb/s のデータレートでの動作が可能です。
- ハード IP とソフト IP の組み合わせによって実装される CXL です。
- 16 GTYP トランシーバーは、PCI Express を使用する場合の CPM5 専用です。

表 11: Versal HBM シリーズ: デバイスとパッケージの各組み合わせにおける最大 I/O 数

	VH1522	VH1542	VH1582	VH1742	VH1782
	XPIO DDR のみ、XPIO DDR+PL HDIO、MIO GTYP、GTM				
VSVA3697	132、570 0、78 68、20	132、570 0、78 68、20	132、570 0、78 68、20		
LSVA4737		132、570 0、78 68、20	132、570 0、78 68、20	132、570 0、78 68、60	132、570 0、78 68、60

デバイス レイアウト (アーキテクチャおよびインターコネクト)

Versal デバイスは、プロセッシング、演算、アクセラレーション、そしてコネクティビティそれぞれに特化した構築ブロックのレイアウトから構築されています。図 1 に ACAP のレイアウトを示します。NoC が CPM を介した外部ホスト プロセッサとの接続や、PL、ベクトルベースのアクセラレータ (AI エンジン)、スカラープロセッシング アクセラレータなど各種ヘテロジニアスプロセッシングエレメントとの接続を担っています。



DS950_01_102618

図 1: Versal ACAP デバイス レイアウト

デバイスの左右の辺にはシリアルトランシーバーが、上下の辺には XPIO およびメモリ コントローラーが位置しています。Versal AI コアシリーズの場合、デバイスの上辺に XPIO およびメモリ コントローラーの代わりに一列のアクセラレーション アレイがあります。コネクティビティ関連の IP はシリアルトランシーバーに近接して、カラム状に配置されます。リソースは、ローカルおよび領域の信号を接続するためのプログラマブル インターコネクト配線のマトリクスと、デバイスに渡る高帯域かつ長距離の伝達用の NoC によって接続されます。

NoC

プログラマブル NoC は、Versal ACAP アーキテクチャの AXI-4 ベースのインターコネクト ネットワークで、デバイス内における高帯域接続の配線を容易に可能にします。これはデバイスの上下および左右方向に広がってます。NoC の目的は、ローカルおよび領域のデバイス インターコネクトに対する負荷を軽減しながら、大量のデータを必要とし使用するデバイスの各エリアを接続することにあります。NoC は、メモリ コントローラー、プログラマブル ロジック、プロセッシング システム、AI エンジン、およびプラットフォーム管理コントローラーの間にある完全なブロッキング クロスバーです。NoC による接続の例として次が挙げられます。

- DRAM (DDR メモリ) へのデバイス アクセスを共有
- PL と PL を接続
- AI エンジン アレイへのメモリ マップ アクセス
- PS と PL 間を接続
- PS と DDR メモリ間を接続

スタックド シリコン インターコネクト (SSI) テクノロジーを採用したデバイスの場合、垂直方向の NoC カラムが隣接する SLR (Super Logic Region) 間を接続し、これによってデバイスのコンフィギュレーション データがプライマリ SLR とセカンダリ SLR 間を行き来できるようになります。

プラットフォーム管理コントローラー

PMC は、プラットフォームのセキュアなブートとコンフィギュレーション、およびデバイスのインテグリティやデバックなどライフサイクル管理とシステム監視に関連した処理を実行することで Versal ACAP を管理します。

ブートおよびコンフィギュレーション

PMC によって Versal ACAP は、セキュア ブートおよび非セキュア ブートの両方をサポートする、マルチステージ ブート プロセスでプライマリ ブート ソースからブートします。セキュア ブートの場合、ES-GCM、SHA3-384 復号/認証、および ECDSA/RSA ブロックによってイメージが復号および認証されます。リセット時にはモード ピンが読み出され、プライマリ ブート デバイス (クアッド SPI、オクタール SPI、SD、または eMMC) が判断されます。PMC がオンチップ bootROM からのコードを実行し、ブート デバイスからオンチップ メモリへ PLM (プラットフォーム ローダーおよびマネージャー) をコピーしつつ、認証および復号化を受けます。また、PL のコンフィギュレーションも PLM によって実行されます。格納媒体からロードされたデバイス イメージは、認証および復号化を経て、PL コンフィギュレーション インターフェイスへ送信されます。

PL は、Dynamic Function eXchange (DFX) を用いて部分的にコンフィギュレーションすることも可能です。PL を部分的にコンフィギュレーションするための新しいデバイス イメージは、プライマリまたは PCIe やイーサネットなどのセカンダリ ブート インターフェイスを介して PS からロードできます。リコンフィギュレーションにより、PL の一部は新しいデバイス イメージによって決定された新しい機能を提供するようになるため、ユーザーは自身のデザインの機能を変化するシステム要件に対応させることができます。

システム モニター

PMC には、PS および PL の電圧および温度を監視するためのシステム モニター機能があります。これにより、システム全体の安全性、セキュリティ、信頼性が高められます。システム モニターの中心は 10 ビット 200kSPS の ADC で、JTAG、PMBus、または I2C インターフェイスからアクセスしたり、PS から直接、および NoC を通って PL からアクセス可能です。

デバイスのインテグリティおよびデバッグ

JTAG は Versal ACAP のデバッグ機能用のプライマリ インターフェイスです。JTAG アーキテクチャには、IEEE Std 1149.1 に準拠した 2 つの TAP コントローラー、Arm DAP コントローラーおよび PMC タップ コントローラーがあり、これらは直列に接続されています。Arm DAP コントローラーがデバッグ機能のメイン コントローラーで、PS CoreSight のデバッグ アーキテクチャ、PL のデバッグ、サポートされている外部フラッシュ メモリのプログラミング、および eFUSE/BBRAM のプログラミングをサポートします。PMC TAP コントローラーは、デバイス IDCODE の読み出し、PL のプログラム、およびバウンダリスキャンをサポートします。

PMC には、プライマリの JTAG インターフェイスよりも高速なデバッグに使用可能な高速デバッグ ポート (HSDP) もあります。HSDP インターフェイスは、PS 上部に位置するトランシーバーを利用する、送信と受信が分離した単一方向の Aurora 64B/66B チャネルから成る高スループットのインターフェイスです。HSDP によって、複数のデバイスからのチャネルをデジタイズチェーン接続できます。また、このポートには PL にある Aurora ブリッジを介することで PL にあるシリアルトランシーバーからもアクセス可能です。

外部フラッシュ メモリ インターフェイス

SD/eMMC コントローラーは、Low Speed (デフォルト)、High Speed、Ultra High Speed (UHS) クロック レートで 1 および 4 ビット データ インターフェイスをサポートします。このコントローラーは、eMMC 4.51 規格に準拠した 1、4、8 ビット幅の eMMC インターフェイスもサポートしています。eMMC は、プライマリ ブート モードの 1 つで、マネージド NAND デバイスからのブートをサポートしています。このコントローラーは内蔵 DMA によって高いパフォーマンスを実現しています。

クワッド SPI コントローラーは、プライマリ ブート デバイスの 1 つです。このコントローラーは 4 バイトおよび 3 バイトのアドレッシング モードをサポートしています。どちらのアドレッシング モードでも、シングル、デュアル スタック、デュアル パラレルのコンフィギュレーションがサポートされます。シングル モードでは 1 個のクワッド シリアル NOR フラッシュ メモリがサポートされ、デュアル スタックおよびデュアル パラレル モードでは 2 個のクワッド シリアル NOR フラッシュ メモリがサポートされます。

オクタル SPI コントローラーは、ブートおよびコンフィギュレーションに最もよく使用されるデバイスです。8 ピンのインターフェイスがあり、ダブルデータレート モードで最大 400MB/s の帯域幅を、シングルデータレート モードで最大 166MB/s の帯域幅を提供します。2 つのチップ セレクトによってより深い階層のメモリをサポートすると共に、内蔵 DMA によって高いパフォーマンスを実現しています。

スレーブ ブート モード

JTAG に加えて、SelectMAP も利用可能なスレーブ ブート モードです。SelectMAP は、高バンド幅、ストリーム ベースの平行 インターフェイスで、8 ビット、16 ビット、または 32 ビット幅に構成可能です。このインターフェイスは最大 200MHz で動作します。

演算およびアクセラレーション エンジン

AI エンジン アレイ

Versal AI コア デバイスおよび AI エッジ デバイスは、その上辺に AI エンジン タイル、または AI エンジン-ML (AIE-ML) タイルのアレイを備えています。AI エンジン アレイは AI エンジン タイルの 2 次元アレイで、それぞれに AI エンジン、高性能 VLIW ベクトル (SIMD) プロセッサ、統合データ メモリ、およびストリーミング、コンフィギュレーション、そしてデバッグ用のインターコネクタがあります。AI エンジン タイルの横には AI エンジン アレイ インターフェイスがあり、AI エンジン アレイと PL、PS、および NoC にあるその他リソースをするために必要なロジックを提供します。AI エンジン-ML アレイを持つデバイスは、512KB のメモリ タイルを追加で備えています。

AI エンジン

AI エンジンは、スカラー ユニット、ベクトル ユニット、ロード ユニット、およびメモリ インターフェイスを備えています。スカラー ユニットには、汎用、ポインター、コンフィギュレーション、およびバックアップ レジスタ用のレジスタ ファイルを持つ 32 ビット スカラー RISC プロセッサと 32x32 ビット スカラー乗算器が含まれます。AI エンジンではまた、サイン/コサイン、平方根、および逆平方根を含む非線形関数がサポートされます。

3 つのアドレス生成ユニット (AGU) があり、うち 2 つはロード専用ユニットとして、1 つはストア専用ユニットとして利用可能です。ベクトル ユニットには、512 ビット ベクトル固定小数点/整数ユニットが含まれます。AI エンジン を備えるデバイスには単精度浮動小数点ベクトル ユニットがあり、AIE-ML を備えるデバイスには浮動小数点ベクトル ユニットがあり、これは Bfloat16 および FP32 のサポートにも使用されます。AI エンジンと AIE-ML どちらのベクトル ユニットも複数のベクトル レーンにおける並行演算をサポートします。

各 AI エンジン内部は、専用、シングルポート、16KB のプログラム メモリで、その幅は 128 ビット、深さは 1k です。プログラム メモリは命令圧縮をサポートし、ECC 保護およびレポート機能があります。

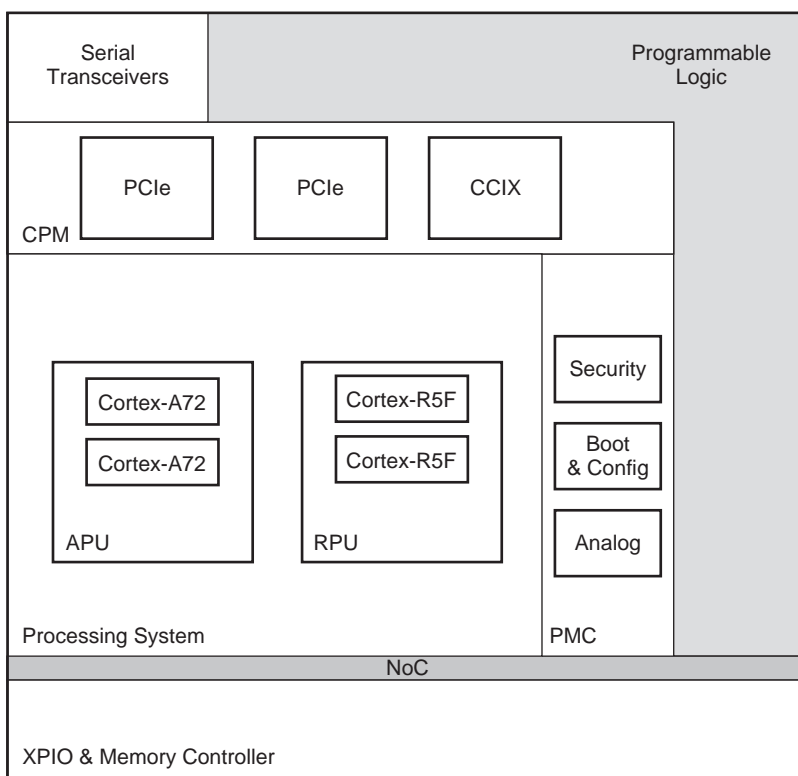
AI エンジン データ メモリ

AI エンジンとは別に、各 AI エンジン タイルには 8 つのシングルポート バンクに分割された 32KB (AI エンジンの場合) および 64KB (AIE-ML の場合) のデータ メモリが含まれます。この構造により、最大 8 つの並行したメモリ アクセストランザクションが、1 クロック サイクル、5 サイクルアクセス レイテンシで可能になります。ストール信号がメモリ アクセスの競合を識別し、その間未処理のメモリ動作はバッファされます。データ メモリ モジュールそれぞれが、メモリ エラーの検出 (パリティ) およびレポートをサポートします。

また、データ メモリには、ローカル メモリへの入力ストリーム、ローカル メモリからの出力ストリーム、およびローカル メモリでバッファされたストリームをサポートする DMA ロジックが含まれます。2次元のストライド アクセスをサポートすることで、どの AI エンジンも上下左右にある AI エンジン タイルに隣接するデータ メモリにアクセスできます。つまり、1 つの AI エンジンは最大 128KB のデータ メモリに、1 つの AIE-ML は最大 256KB のデータ メモリにアクセス可能です。

プロセッシング システム

すべての Versal デバイスに、スカラー エンジン (APU と RPU) とペリフェラルで構成されるプロセッシング システム (PS) があります。PS はアーキテクチャ要素の集まりの一部で、プラットフォーム管理コントローラー (PMC)、CPM ブロック、NoC、および密結合されながら互い独立して動作可能な統合メモリ コントローラーを含みます。図 2 に、レイアウトの簡略図を示します。



DS950_02_082720

図 2: PS および周辺ブロック

PMC は、プライマリ ブート ソースから PS をブートする役割を担います。PS では、デバイス上辺に位置するシリアル トランシーバーと直接やり取りする CPM 内部の機能に直接アクセスすることもでき、PCI-SIG テクノロジに基づく高性能なインターコネクトの実装が可能です。プログラマブル ロジックのコンフィギュレーションはプロセスのどの段階でも可能で、PS ブートの前後いずれでも実行できます。

アプリケーション プロセッシング ユニット (APU)

APUは多機能なデュアルコア Arm Cortex-A72 プロセッサを採用しています。Cortex-A72 コアは、ハードウェア仮想化をサポートする Arm-v8A アーキテクチャに基づく 64 ビット幅のアプリケーションプロセッサです。各 Cortex-A72 コアには、48KB の命令 L1 キャッシュおよび 32KB のデータ L1 キャッシュ (それぞれパリティと ECC 保護付き)、NEON SIMD エンジン、および単精度/倍精度浮動小数点演算ユニットがあります。これらブロックに加え、APU はスヌープ制御ユニットと 1MB の L2 キャッシュ (ECC 保護付き) も備え、システム レベル性能を向上させています。スヌープ制御ユニットによって L1 キャッシュのコヒーレンシが維持されるため、コヒーレンシ確保のためにソフトウェア帯域幅を消費する必要がありません。APU は仮想割り込みをサポートした割り込みコントローラーも内蔵しています。

APU は、システム メモリ管理装置 (SMMU) を使用して CCI (Cache Coherent Interconnect) ブロック経由で 128 ビット ACE (AXI Coherency Extension) ポートにより PS 内のほかのコンポーネントと通信します。APU は 128 ビットのアクセラレータ コヒーレンシポート (ACP) を介して PL にも接続されており、PL 内のアクセラレータに低レイテンシのコヒーレントポートを提供します。リアルタイム デバッグおよびトレースをサポートするため、各コアには Arm CoreSight™ デバッグシステムと通信する Embedded Trace Macrocell (ETM) もあります。

リアルタイム プロセッシング ユニット (RPU)

PS 内の RPU にはデュアルコア Arm Cortex-R5F プロセッサが含まれます。Cortex-R5F コアは Arm-v7R アーキテクチャに基づく 32 ビットリアルタイムプロセッサコアです。各 Cortex-R5F コアには ECC 保護に対応した 32KB のレベル 1 (L1) 命令およびデータ キャッシュがあります。これらの L1 キャッシュに加え、各 Cortex-R5F コアにはシングルサイクルでのリアルタイム アクセスが可能な 128KB の TCM (密結合メモリ) インターフェイスもあります。RPU には専用の割り込みコントローラーおよび浮動小数点ユニットもあります。RPU はスプリット モードとロックステップ モードでの動作が可能です。スプリット モードでは両方のプロセッサがそれぞれ独立して動作します。ロックステップ モードでは、2 つのプロセッサが内蔵のコンパレータ ロジックを使用して並列に動作し、TCM は 256KB のユニファイド メモリとして使用されます。

RPU は、低電力ドメイン スイッチに接続された 128 ビット AXI-4 ポートを介して PS 内のほかのコンポーネントと通信します。また、PL とは 128 ビットの低レイテンシ AXI-4 ポートを介して直接通信します。リアルタイム デバッグおよびトレースをサポートするため、各コアには Arm CoreSight デバッグシステムと通信する Embedded Trace Macrocell (ETM) もあります。

コネクティビティ ペリフェラル

PS では多数のペリフェラルが、CAN-FD、SPI、USB、イーサネット、I2C、および UART など業界標準のプロトコルを介した外部デバイスとの接続に使用されます。これらペリフェラルの多くがクロック ゲーティングおよびパワー ゲーティング モードをサポートしており、ダイナミックおよびスタティック消費電力をさらに削減しています。ペリフェラルは MIO (Multiplexed I/O) を使用して外部コンポーネントに接続するか、必要に応じて EMIO (Extended Multiplexed I/O) を使用して PL 経由で接続することもできます。

それぞれが高速インターフェイスとブート コンフィギュレーション インターフェイスを提供する、隣接した CPM および PMC を含め、I/O ユニットで直接必要とされるペリフェラルは次が含まれ、比較的少数です。

- ギガビット イーサネット コントローラー (x 2)
- SPI コントローラー (x 2)
- I2C コントローラー (x 2)
- CAN/CAN-FD コントローラー (x 2)
- UART (x 2)
- GPIO
- USB 2.0 (デバイスおよびホスト) コントローラー (x 1)

I/O ユニットには次の機能が含まれるため、MIO を共有できます。

- トリプル タイマー カウンター (x 4)
- ウォッチドッグ タイマー (x 1)

I/O ユニットにあるペリフェラルはすべて、システム制御レジスタを介して Trustzone をサポートします。また、I/O ユニットには LPD インターコネクタへのマスターおよびスレーブ AXI インターフェイスポートがあります。最上位の APB バスが 1 つ、I/O ユニット内の AXI ブリッジの制御に使用されます。

USB 2.0

USB コントローラーは、ホストまたはデバイスのいずれかとしてコンフィギュレーションできます。このコントローラーは USB 2.0 規格に準拠しており、上記すべての構成でハイ/フル/ロー スピード モードをサポートしています。ホスト モードでは、USB コントローラーは Intel XHCI 規格に準拠します。デバイス モードでは、最大 12 のエンドポイントをサポートします。コントローラーと最大 480Mb/s で動作する外部 PHY への接続には、ULPI (Universal Low Peripheral Interface) を使用します。

イーサネット MAC

10Mb/s、100Mb/s、1Gb/s の動作をサポートするトリスピード イーサネット MAC が 1 組あります。これらはジャンボ フレームをサポートし、IEEE Std 1588 v2 に基づくインターフェイスによるタイムスタンプにも対応しています。また、IEEE Std 1588 または 802.1AS-REV を用いる Time Sensitive Network (TSN) をサポートします。イーサネット MAC は MIO (RGMII)、または EMIO (GMII) 経由で接続できます。GMII インターフェイスは、PL 内で別のインターフェイスに変換できます。

コンフィギュラブル ロジック ブロック (CLB)

コンフィギュラブル ロジック ブロック (CLB) はすべて、32 個のルックアップ テーブル (LUT) と 64 個のフリップフロップを含みます。LUT は、出力が 1 つの 6 入力 LUT として、または出力は別々でアドレスまたはロジック入力が共通の 2 つの 5 入力 LUT として構成可能です。各 LUT はオプションとしてフリップフロップでラッチできます。CLB には LUT およびフリップフロップ以外にも、演算キャリア ロジックおよびマルチプレクサーが含まれ、これらを使用することでよりビット数の大きなロジック ファンクションが作成できます。各 CLB 内部では、16 の LUT が 64 ビット RAM、32 ビット シフトレジスタ (SRL32)、または 2 つの 16 ビット シフトレジスタ (SRL16) として構成可能です。64 のフリップフロップから成るグループすべてに、4 つのクロック信号、4 つのセット/リセット信号、および 16 のクロック イネーブル信号があります。すべての CLB 内部には LUT を接続するための専用のインターコネクト バスがあり、CLB から出て再び入り、マルチプレクサーをカスケード接続する必要はありません。これにより、チェーンのどのビットからでも開始できるキャリア チェーンを実現する、柔軟なキャリア ロジック構造が可能になります。

内部メモリ

各 Versal ACAP はプログラマブルな内部ストレージをいくつか備えています。CLB にある分散 RAM だけでなく、さまざまなサイズのストレージ エLEMENT を構築するための専用ブロックがあります。

オンチップ メモリ (OCM)

RPU には、32KB の L1 データ キャッシュに加えて、ECC 付きの 256KB OCM が含まれます。OCM には 2 つの 128 ビット AXI インターフェイスからアクセスします。一方は 2 つの Cortex-R5F プロセッサ専用で、もう一方は APU やその他のマスターに利用可能です。RPU からのメモリ アクセスには、汎用の 128 ビット AXI インターフェイスからのメモリ アクセスよりも高い優先度が与えられます。

一部の Versal ACAP は、追加の 4MB、ECC 付きオンチップ メモリであるアクセラレータ RAM を PS 外部に備えています。このメモリは、128 ビット AXI インターフェイスを介して RPU から直接アクセスを提供し、2 つの 256 ビット AXI インターフェイスを経由する場合は PL からアクセス可能です。メモリは 3 つのバンクに分割され、PL および RPU から異なるバンクへの読み出しまたは書き込みの同時アクセスをサポートします。

ブロック RAM

それぞれが 36Kb のストレージ容量を持つ完全なデュアルポート RAM は、1 つの 36Kb RAM または完全に独立した 2 つの 18Kb RAM として構成可能です。各ポートは、シンプルデュアルポート モードで 4K × 9、2K × 18、1K × 36、または 512 × 72 として構成できます。また、2 つのポートには別々の比率を指定できます。さらに、1 つのポートの読み出しポートと書き込みポートには別々の幅を設定可能です。

同期動作: 読み出しおよび書き込みのメモリ アクセスは、クロックによって制御されます。すべての入力、データ、アドレス、クロック イネーブル、書き込みイネーブルにはレジスタが付き、データ出力は常にラッチされ、次の動作までデータを保持します。オプションとしての出力データのパイプライン レジスタは、1 サイクル分のレイテンシが増加する代わりに、より高いクロック レートでの動作を可能にします。書き込み動作中、データ出力は前に保存されたデータまたは新たに書き込まれたデータを反映させるか、変更なしでそのまま維持できます。出力ラッチおよびレジスタの個別リセット制御があります。

非同期動作: データ出力は非同期のセット/リセットも可能です。アレイを低消費電力ステートにするスリープ入力は、オプションで非同期にできます。

完全なデュアルポート動作: ブロック RAM には、格納されたデータを共有する以外は完全に独立した 2 つのポートがあります。

シンプルデュアルポート動作: 1つは書き込み専用ポート、もう1つは読み出しポートとなります。つまり、データ幅は、36KbのフルブロックRAMでは72ビットに拡張でき、分割された18KbブロックRAMの場合は36ビットになります。

カスケードモードは、36Kb RAM または 18Kb RAM で可能な構成すべてをサポートします。カスケード接続とは、複数のブロックRAMを組み合わせて、追加のロジックリソースを使用することなく、より大きなブロックRAMを構築することです。

64ビット幅のブロックRAMは、追加で8ビットを生成、格納、そして使用でき、読み出し中にシングルビットエラーの訂正、ダブルビットエラーの検出(ECC)を実行します。ECCロジックはメモリアレイで使用するほかに、ユーザー設計の内部データパスまたはメモリコントローラーに実装することもできます。メモリ内容は、コンフィギュレーションデバイスイメージで初期化またはクリアできます。

UltraRAM

それぞれが288Kビットのストレージ容量を持つデュアルポートUltraRAMは、1つの288Kb RAMとして構成可能です。各ポートは32K x 9、16K x 18、8K x 36、または4K x 72として構成できます。また、2つのポートには別々の比率を指定できます。

同期動作のみ: 読み出しおよび書き込みのメモリアクセスは、クロックによって制御されます。すべての入力、データ、アドレス、クロックイネーブル、書き込みイネーブルにはレジスタが付きます。データ出力は常にラッチされ、次の動作までデータを保持します。オプションとしての出力データのパイプラインレジスタは、1サイクル分のレイテンシが増加する代わりに、より高いクロックレートでの動作を可能にします。

非同期制御: データ出力は非同期のセット/リセットも可能です。アレイを低消費電力ステートにするスリープ入力は、オプションで非同期にできます。

疑似デュアルポート動作: メモリには2つのポートがあり、それぞれがシングルクロックサイクルで読み出しまたは書き込み可能です。これらのポートは決まった順に順序付けられ、各サイクルで最大2つのトランザクションを可能にします(両ポートが書き込み、両ポートが読み出し、または読み出しと書き込みに1ポートずつ)。このためには、2つのポートが1つのクロックを共有している必要があります。書き込み動作中、出力データはポート上で変わらず維持されます。出力ラッチおよびレジスタの個別リセット制御があります。

UltraRAMのECCロジックは、エラーチェックおよび訂正をサポートします。両ポートには、読み出しまたは書き込み用の専用ECCがあります。ECCロジックは64ビット幅のデータ用に用意されており、追加で8ビットを生成、格納、そして使用でき、読み出し中にシングルビットエラーの訂正、ダブルビットエラーの検出(ECC)を実行します。

隣接するブロックのアドレスおよびデータをカスケード接続し、より深いメモリを構築可能です。またオプションとして、UltraRAMのカスケードに渡ってクロックレートを維持するためにパイプラインを利用できます。

デジタル信号処理 (DSP)

DSPアプリケーションは、専用のDSPエンジンに最適に実装された多数のバイナリ乗算器およびアキュムレータを使用します。Versalデバイスはいずれも専用の低消費電力DSPエンジンを数多く装備し、システム設計の柔軟性を維持しながら、高速処理と小型化を同時に実現しています。

各DSPエンジンは基本的に、専用の27×24ビット2の補数乗算器および58ビットアキュムレータで構成されます。乗算器は動作中にバイパスでき、2つの58ビット入力はSIMD(単一命令複数データ)演算ユニット(デュアルの24ビット加算/減算/累算、またはクワッドの12ビット加算/減算/累算)、またはオペランドが2つの10個の異なるロジックファンクションから任意の1つを作成可能なロジックユニットに入力できます。

DSPエンジンには、通常対称フィルタに使用される前置加算器が追加されています。この加算器により、高密度に実装されたデザインの性能が向上し、DSPエンジン数が最大50%削減されます。116ビット幅の専用XORファンクション(ビット幅は12、22、24、34、58、または116にプログラム可能)により、前方エラー訂正やCRCアルゴリズムを実装する際の性能が向上します。

また、収束丸め(偶数丸めとも呼ばれる)あるいは対称丸めに使用できる58ビット幅のパターン検出回路も備えています。パターン検出回路をロジックユニットと併用する場合には、116ビット幅のロジックファンクションが実装可能です。

DSPエンジンは多数のパイプラインおよび拡張性能を提供し、デジタル信号処理だけでなくその他多くのアプリケーションで速度と効率性を向上させます。このようなアプリケーションには、バス幅の広いダイナミックシフター、メモリアドレスジェネレーター、多入力マルチプレクサー、メモリマップされたI/Oレジスタファイルが含まれます。また、アキュムレータは同期のアップ/ダウンカウンタとしても使用可能です。

DSPエンジンの配列は、従来の固定小数点演算に加えて新しい演算モードを可能にします。

3要素ベクトル/INT8ドット積: DSP エンジンには、27 x 24 ビット乗算器が3次元のベクトルドット積ユニットに置き換えられる、ベクトル固定小数点 ALU モードで使用できます。ドット積ユニットは、NEGATE ピンで要素ごとの積の否定 (ネゲーション) をサポートします。

複素数 18b x 18b: Versal アーキテクチャでは、2つの連続した DSP エンジンを使用することで、2つの複素数入力をオプションで共役できる、18 x 18 + 58 の2の補数複素数積和を作成できます。

単精度浮動小数点: DSP エンジンには、それぞれ出力が binary32 形式の浮動小数点乗算器および浮動小数点加算器が含まれます。各浮動小数点乗算器の入力は、binary32 (単精度または FP32) あるいは binary16 (半精度または FP16) 形式のいずれかが可能です。

SD-FEC (Soft Decision Forward Error Correction)

SD-FEC (Soft-Decision Forward Error Correction) 統合 IP ブロックにより、スループットの高い LDPC および極符号が実装できます。LDPC デコードおよびエンコード機能は、広範なカスタマー独自の準巡回 (QC) 符号に対応します。プログラマブル ロジックでの実装と比較すると、SD-FEC は消費電力およびエリアを大幅に削減します。

SD-FEC ブロックは、コネクティビティ IP カラムの一部として Versal ACAP 内部に含まれ、インターコネクトおよびグローバルクロックリソースを利用してほかのブロックと接続します。ブロックのメモリ要件にはそのブロック内で対応し、ブロック RAM または UltraRAM リソースを使用することはありません。

コネクティビティ

トランシーバー

GTY/GTYP トランシーバーは、最大 32.75Gb/s のデータレートをサポートします。GTM トランシーバーは、Versal ACAP シリーズに応じて最大 112Gb/s のデータレートをサポートします。最も低いデータレートはすべてのトランシーバーで 1.2Gb/s ですが、プログラマブルロジックにおけるオーバーサンプリングを利用することで、さらに低いレートが達成可能です。

GTY/GTYP トランシーバー

シリアルトランスミッターおよびレシーバーは高度な位相ロックループ (PLL) アーキテクチャを使用する独立した回路で、基準周波数入力をプログラム可能な 4 ~ 25 の値で通倍することでビットシリアルデータクロックを生成します。トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてデバイスコンフィギュレーション中に定義でき、その多くは動作中にも変更できます。

トランスミッター (GTY/GTYP)

トランスミッターは基本的に、変換比率が 16、20、32、40、64、80、128、または 160 のパラレル/シリアルコンバーターです。これにより、データパス幅とタイミングマージンのバランスの取れた高性能が求められるデザインにも対応できます。トランスミッターの出力は、シングルチャネルの差動出力信号で PC ボードを駆動します。TXOUTCLK は適切に分周されたシリアルデータクロックで、内部ロジックからのパラレルデータを直接ラッチするために使用できます。入力されるパラレルデータはオプションの FIFO を通り、十分なデータ遷移が生じるようハードウェアでの 8B/10B、64B/66B、または 64B/67B エンコードがサポートされています。ビットシリアル出力信号は、差動信号によって 2つのパッケージジピンを駆動します。この出力信号ペアは、信号振幅幅とプリおよびポストエンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクト特性を補います。より短いチャンネルでは、振幅幅を小さくすることで低消費電力化が可能です。

レシーバー (GTY/GTYP)

レシーバーは基本的に、入力ビットシリアル差動信号をそれぞれ 16、20、32、40、64、80、128、または 160 ビット幅のパラレルストリームワードに変換するシリアル/パラレルコンバーターです。これにより、内部データ幅とさまざまなロジックのタイミングマージンのバランスの取れた設計が可能になります。レシーバーは基準クロック入力を使用してクロックの認識を開始し、入力差動データストリームを受け取ってそれを DC 自動ゲイン制御、リニアイコライザー、DFE (Decision Feedback Equalizer) を介することで、PC ボード、ケーブル、光インターコネクトやほかのインターコネクト特性を補います。別のクロックラインは不要です。データパターンは NRZ (Non-Return-to-Zero) エンコードを使用し、オプションとして選択したエンコード方式を用いることで十分なデータ遷移が生じるようにします。パラレルデータは RXUSRCLK クロックを使用してデバイスロジックに転送されます。短いチャンネルの場合、トランシーバーを特別な低電力モード (LPM) で使用することで、消費電力が約 30% 削減されます。

レシーバーの DC 自動ゲイン制御、リニア イコライザー、DFE はオプションで自動適合に設定でき、さまざまなインターコネクットの特性を自動的に判断して補正できます。これによって、10G+ や 25G+ のバックプレーンにもより多くのマージンを確保できるようになります。

Out-of-Band 信号

トランシーバーは、高速シリアル データ転送がアクティブでないときに、トランスミッターからレシーバーへ低速の信号を転送するためによく使用される Out-of-Band (OOB) 信号を提供します。通常、リンクがパワー ダウン ステートにあるか初期化されていない場合がこれに該当し、この機能は PCIe および SATA/SAS のアプリケーションで有用です。

GTM トランシーバー

シリアル トランスミッターおよびレシーバーは高度な位相ロック ループ (PLL) アーキテクチャを使用する独立した回路で、基準周波数入力をプログラム可能な 16 ~ 160 の値で通倍することでビット シリアル データ クロックを生成します。トランシーバーそれぞれに、ユーザー定義可能な多数の機能およびパラメーターがあります。これらはすべてデバイス コンフィギュレーション中に定義でき、その多くは動作中にも変更できます。Versal プライム シリーズの GTM トランシーバーは、最大 58Gb/s のデータ レートの PAM4 をサポートします。Versal プレミアム シリーズでは、2つの GTM トランシーバーを組み合わせることで、最大 112Gb/s のデータ レートを達成できます。

トランスミッター (GTM)

トランスミッターは基本的にパラレル/シリアル コンバーターで、4 値 (PAM4) または 2 値 (NRZ) のパルス振幅変調信号を出力し、シングル チャネルの差動出力信号で PC ボードを駆動します。TXOUTCLK は適切に分周されたシリアル データ クロックで、内部ロジックからのパラレル データを直接ラッチするために使用できます。入力されるパラレル データは、オプションで RS (544、514) FEC (リード ソロモン前方エラー訂正) エンコーダーおよび/または 64b66b データ エンコーダーを通ります。ビット シリアル出力信号は、PAM4 差動信号によって 2つのパッケージピンを駆動します。この出力信号ペアは、信号振幅幅とプリおよびポストエンファシスがプログラム可能で、PC ボードでの信号ロスやほかのインターコネクット特性を補います。より短いチャネルでは、振幅幅を小さくすることで低消費電力化が可能です。

レシーバー (GTM)

レシーバーは基本的に、入力される PAM4 差動信号をパラレル ストリーム ワードに変換するシリアル/パラレル コンバーターです。レシーバーは入力される差動データ ストリームを受け取り、AGC (自動ゲイン制御) および CTLE (Continuous Time Linear Equalizer) を介して送出します。その後、データは高速アナログ/デジタル コンバーターでサンプリングされます。復元されたビットの並列化および PCS への供給の前に、DSP ロジックに実装された DFE (判定帰還型イコライザー) および FFE (フィード フォワード イコライザー) を介してさらにデジタル イコライゼーションが適用されます。このイコライゼーションにより、サポートされるすべてのレートで、短距離転送のチップ間アプリケーションから高損失のバックプレーン アプリケーションまで柔軟にデータを受信できるようになります。クロック リカバリ回路は、高速 PLL からの派生クロックを生成してシリアル データを駆動し、適切に分周されて位相の揃ったクロック、RXOUTCLK を内部ロジックに供給します。

パラレル データは、RS-FEC および/または 64b/66b デコーダーへオプションで転送された後、プログラマブル ロジック インターフェイスへ送信されます。

PCI Express 用統合ブロック

Versal アーキテクチャは、PCIe デザインに使用可能な 2つのタイプの統合ブロックを備えています。1つめとして、Versal デバイスでは、PCIe デザイン用プログラマブル ロジック統合ブロック (PL PCIE) のインスタンスを 1つまたは複数含めることができます。これらは、図 1-1 に示すように PL 内にあります。2つめとして、図 1-1 に示すように PS の隣りに CPM を 1つ含めることもできます。Versal アーキテクチャでは、これらの統合ブロックがさまざまな組み合わせで搭載されています (詳細は、表 12 参照)。

PL PCIE

PL PCIE は、隣接するシリアル トランシーバーとやり取りし、表 12 に示すプロトコル、データ レート、およびリンク幅をサポートします。各 PL PCIE はエンドポイントまたはルート ポートとして構成可能です。ルート ポート コンフィギュレーションは、ルート コンプレックス相当の機能を提供し、PCI Express プロトコルを用いたチップ間のカスタム通信を可能にするだけでなく、イーサネット コントローラーやファイバー チャネル HBA などのエンドポイント デバイスを ACAP に接続します。高性能アプリケーション向けには、PL PCIE を高度にバッファーすることで、柔軟性に優れた最大ペイロード サイズを提供します。また、PL PCIE はシリアルコネクティブティ用に統合された高速トランシーバーと、データ バッファー用には PL メモリ リソースとインターフェイスします。全体として、これらのエレメントは PCI Express プロトコルの物理層、データ リンク層、そしてトランザクション層をインプリメントします。

CPM

CPMには隣接する16のトランシーバーへの専用接続があり、表12に示すプロトコル、データレート、リンク幅をサポートします。さらに、2つのPCIe機能用サブブロック、1つまたは2つのDMAコントローラー(オプション)、およびキャッシュコヒーレント機能(オプション)が含まれます。2つのサブブロックはエンドポイントとして構成可能です。また、CPMバージョンによっては、いずれかまたは両方から利用可能なDMAコントローラーにアクセスし、ルートポートとして構成することもできます。DMAコントローラーは、NoCへの専用接続を提供します。

CPMにはキャッシュコヒーレントインターコネクト機能も組み込まれているため、CCIXインターフェイスを用いたアクセラレータデザインの構築が可能です。CPMはPLから独立してコンフィギュレーションされるため、Versal ACAPブートシーケンスの早い段階で動作可能になります。

表 12: サポートされるプロトコル、データレート、およびリンク幅

	PLPCIE4	CPM4	PLPCIE5	CPM5
規定仕様	PCI Express Base仕様 Rev 4.0	PCI Express Base仕様 Rev 4.0 CCIX Base仕様 Rev 1.0	PCI Express Base仕様 Rev 5.0 CCIX Base仕様 Rev 1.1	PCI Express Base仕様 Rev 5.0 CCIX Base仕様 Rev 1.1
最大のPCIeリンクコンフィギュレーション	Gen4x8 Gen3x16	Gen4x16 2 x Gen4x8	Gen5x4 Gen4x8 Gen3x16	2 x Gen5x8 Gen4x16 2 x Gen4x8
主なPCIe機能	SRIOV 4PF/252VF	SRIOV 4PF/252VF	SRIOV 8PF/2KVf	SRIOV 16PF/4KVf
オプションの統合DMA	-	次のうち1つを選択: QDMA (2Kキュー) または XDMA	-	2 x QDMA (4Kキュー)
CCIXデータレートおよび機能	-	16GT/s、20GT/s、25GT/s 統合キャッシュ	16GT/s、20GT/s、 25GT/s、32GT/s	16GT/s、20GT/s、 25GT/s、32GT/s 統合キャッシュ
CXLサポート	-	-	あり	-

イーサネット

Versal アーキテクチャにはイーサネット機能用の統合ブロックが含まれ、複数のデータレートをサポートします。

600G チャネルライズド マルチレート イーサネット サブシステム (DCMAC)

600G チャネルライズド マルチレート イーサネット サブシステムは、最大 600G のイーサネット帯域幅を提供し、1x400GE、3x200GE、および 6x100GE などのさまざまなレートに構成できます。DCMAC は、ハンドシェイク、同期、エラーチェックなど、イーサネット MAC、PCS、および FEC のプロトコル関連機能すべてを処理します。また、パケットデータ用にセグメント化された AXI4-Stream インターフェイスを、統計および管理用には AXI4-Lite インターフェイスを提供します。

DCMAC は前方エラー訂正 (FEC) 機能を含むように構成可能で、Clause 91 RS(528、514) KR4 FEC、Clause 91 RS(544、514) KP4 FEC、Clause 119 RS(544、514) KP4 FEC および Clause 134 RS(544、514) FEC に準拠します。

DCMAC フレキシブル インターフェイス (FLEXIF) は、OTN、FlexE、PCS などの複数の動作モードをサポートしています。

マルチレート イーサネット MAC (MRMAC)

マルチレート イーサネット MAC (MRMAC) は、幅広いカスタマイズと統計収集をサポートする高性能で低レイテンシなポートを提供します。サポートされる構成は、1 x 100GE、2 x 50GE、1 x 40GE、4 x 25Ge、および 4 x 10GE です。

MRMAC は、各 IEEE 規格で定義および要求されている次の FEC をサポートします。25/50/100GE NRZ サポート用の Clause 91 RS(528、514) KR4 FEC、50/100GE PAM4 サポート用の Clause 91 RS(544、514) KP4 FEC、および 10/25/40/50GE 低レイテンシ サポート用の Clause 74 FEC。MRMAC には豊富なバイパスモードがあり、FEC 専用モード (カスタムプロトコル用) および FEC + PCS (プロトコルテスター用) へのアクセスが可能です。

また、MRMAC は新しい高精度タイムスタンプ機能をサポートするため、IEEE Std 1588 タイムスタンプでナノ秒以下の精度を実現します。これにより、IEEE Std 1588 ベースの TSN (Time-Sensitive Networking) および次世代のイーサネット ベースのワイヤレス フロント ホール プロトコル (eCPRI) に対するハード サポートを提供します。

FEC を備えた 600G Interlaken

FEC を備えた 600G Interlaken 統合ブロックは、ビルトインフロー制御により最大 600Gb/s で動作するチャネライズド インターフェイスをサポートします。各 600G Interlaken ブロックは、12x56.42G、24x28.21G、または 24x12.5G として構成できます。柔軟性に優れた AXI-Stream ユーザー インターフェイスは、2048b ~ 512b の幅に設定可能です。ペアとなったレーンは、100G RS (544、514) FEC を共有し、FEC 専用モードをサポートできます。

400G 高速暗号化 (HSC) エンジン

400G 高速暗号化 (HSC) エンジンは、DCMAC に接続可能な最大 40 チャンネルで最大 400Gb/s のバルク暗号化機能を提供する AES-GCM-256/128 エンジンを実装します。各 HSC エンジンは、100G あたり最大 128 のソース アドレス (SA) を使用し、最大 400Gb/s (1x400G、2x200G、または 4x100G チャンネルとして構成可能) で MACSec と IPSec の両方をサポートします。

I/O

プログラマブル ロジックには 3 種類のプログラマブル I/O があり、PS には追加の I/O があります。表 13 を参照してください。

表 13: プログラマブル I/O

I/O タイプ	XPIO	HDIO	MIO
電圧	1.0V ~ 1.5V	1.8V ~ 3.3V	1.8V ~ 3.3V
用途	最高性能、DDR メモリ インターフェイス	性能は下がるが、より広い電圧範囲	PS ペリフェラルをサポート

XPIO

XPIO は常にデバイス下部に位置し、Versal デバイスおよびパッケージによっては上部にも位置しています。XPIO は、統合メモリ コントローラー ブロックを介する DDR4 メモリへのインターフェイスを含みますが、これに限定されない高性能通信向けに最適化されています。そして、54 I/O のバンクに配列され、9つの 6 ビット ニブルとして構成されます。XPIO は最大電源電圧が 1.5V の規格をサポートします。すべての XPIO バンクに、4:1 モード (統合メモリ コントローラーと使用する場合) または 8:1 モード (カスタム回路と使用する場合) で動作可能な物理層インターフェイス (PHY) が含まれます。

HDIO

HDIO (High-Density I/O) バンクは、より低速で、電圧範囲の高い I/O 規格向けにコスト効率の高いサポートを提供するように設計されています。22 のバンクに配列された HDIO の数は、Versal デバイスおよびパッケージに依存します。HDIO は、3.3V と 2.5V の LVTTTL および LVCMOS を含むシングルエンド I/O を提供します。HDIO はまた、低速クロック入力用の差動レシーバー、および疑似差動トランスミッターを提供します。内部 V_{REF} のサポートがあります。システム設計者はスルー レートおよび駆動能力を指定できます。入力は常にアクティブですが、出力がアクティブの間は通常無視されます。各ピンにはオプションで、弱いプルアップ抵抗、弱いプルダウン抵抗、または弱いキープ回路が付きます。

MIO

PS および PMC 内部には汎用 I/O の複数のバンクが実装され、それぞれに専用の電源があります。I/O の主要カテゴリは 3 つのバンクから成る MIO (Multiplexed I/O) で、PS、PMC、および PL からアクセス可能です。制御およびコンフィギュレーション機能用には、固定機能 I/O も利用可能です。

クロッキング

複数のクロック生成ブロックが、クロック周波数の同期に使用されます。クロックバッファおよび配線が、信号をその destinations まで接続します。

PS クロッキング

PS にあるすべてのクロックは、メイン PLL クロック、内部リンク オシレーター、内部クロックのいずれかに属します。

メイン PLL クロック

PS にあるロジックの大部分は、PS 内の 3 つの PLL、および PMC 内の 1 つの PLL からユーザー設定可能なクロック分周回路を経由してクロックが供給されます。これらの分周回路は、全 CPU、主要インターコネクト、PMC、および全ペリフェラルへのクロックを生成します。クロックとそれに関連する PLL は、3 つの電源ドメインに広がります。3 つのドメインとは、PMC を含む PMC ドメイン、RPU およびすべてのペリフェラルのクロックを含む低電力ドメイン、その他すべてのクロックとその PLL を含むフル電力ドメインです。

内部リンク オシレーター

PMC は、デバイスのセキュリティ管理者として動作し、内部リング オシレーターで供給されるクロックを使用します。

インターフェイス クロック

このカテゴリには、PS 外部から直接供給されるクロック、およびイーサネット、USB、SWDT、および CAN-FD などの外部インターフェイス用のクロックが含まれます。

PL クロッキング

クロック信号は、多数の独立したクロック ネットワークをサポートする、双方向、水平方向、および垂直方向の配線トラックで Versal ACAP 上に配線されます。垂直方向のトラックは NoC カラムの隣接しています。プログラマブル ロジックはクロック領域に分割され、各クロック領域には中央を通り 24 のクロック信号を伝搬可能な水平方向のクロック スパインがあります。クロック信号はこれらの水平クロック スパインを通り、PL にある個別の要素 (フリップフロップ、DSP エンジン、ブロック RAM、UltraRAMU など) にクロックを駆動します。クロック バッファおよびクロック管理コンポーネントは、下辺 (および場合によっては上辺) にある XPIO の隣に位置します。

クロック管理

1 つの入力クロック ソースから複数のクロック周波数および位相を生成するため、Versal デバイスにはミックスド モード クロック マネージャー (MMCM) および位相ロック ループ (PLL) が備わっています。MMCM は XPIO の隣にある水平方向の NoC に隣接し、PLL は XPIO バンクにあります。MMCM と PLL には共通の特長が多数あります。これらは共に、入力クロックの広範な周波数の合成回路およびジッター フィルターとしての機能を提供します。これらのコンポーネントの中心は、PFD (位相周波数検出回路) からの入力電圧に従って、それを高速化または低速化する VCO (電圧制御オシレーター) です。

さらに、これらにはプログラム可能な 3 つの周波数分周回路 (D、M、O) があります。前置分周器 D (コンフィギュレーションおよびダイナミック リコンフィギュレーション ポート (DRP) を介してプログラム可能) は入力周波数を低減させ、従来の PLL 位相/周波数コンバータの入力 1 つを供給します。フィードバック分周器 M (コンフィギュレーションおよび DRP を介してプログラム可能) は、位相コンバータのその他の入力供給する前に VCO 出力を分周するため、乗算器として機能します。D および M は、VCO が指定された周波数範囲内となるように適切に選択する必要があります。VCO には等分された 8 つの出力位相 (0°、45°、90°、135°、180°、225°、270°、315°) があり、それぞれが出力分周器の 1 つ (PLL の場合は O0 ~ O5 の 6 つ、MMCM の場合は O0 ~ O6 の 7 つ) を駆動するように選択できます。これらの各分周器は、1 ~ 128 の任意の整数で分周するようにコンフィギュレーションでプログラム可能です。

MMCM のその他のプログラマブル機能: MMCM は、フィードバック パス (乗算器として機能) または出力パスの 1 つに分数カウンターがあります。これらのカウンターは 1/8 という整数以外の増分をサポートするため、周波数を 8 の倍数で合成できます。MMCM は、小さな単位で増分させる固定位相シフトまたは動作中に変更可能な位相シフトもサポートします。

メモリコントローラー

DDR4 または LPDDR4 をサポートする専用のコントローラーがデバイスの下辺および (場合によっては) 上辺にあります。各メモリコントローラーには、双方向 128 ビットのシステムポートが 4 つあり、メモリアクセス効率を向上させるためのトランザクション記録機能を備えたスケジューラを含みます。メモリコントローラーは、DRAM の 2 分の 1 のクロックレートで動作します。たとえば、DRAM のビットあたりデータレートが 3200Mb/s の場合、そのクロックレートは 1600MHz であり、メモリコントローラーのクロックレートは 800MHz となります。これらのコントローラーは、I/O ピンにインターフェイスする XPIO バンクにある専用メモリ PHY (XPHY) と通信します。

スタックド シリコン インターコネクト (SSI) テクノロジ

Versal アーキテクチャは、確立した SSI テクノロジを使用して、モノリシック デバイスをしのぐ性能が実現される 3D IC を構築します。SSI テクノロジと実績ある製造およびアセンブリ技術を用いることで、1つのパッシブ インターポーザー層上で複数の SLR (Super Logic Region) を組み合わせることが可能となります。信号は、数多くの分散された低レイテンシ接続を通じて、隣接する SLR 間を移動します。

表 14 に、SSI テクノロジを使用する SLR の数およびサイズを示します。

表 14: SLR の数とサイズ

デバイス	Versal プレミアム シリーズ				Versal HBM シリーズ ⁽¹⁾				
	XCVP1502	XCVP1552	XCVP1702	XCVP1802	XCVH1522	XCVH1542	XCVH1582	XCVH1742	XCVH1782
SLR の数	2	2	3	4	2	2	2	3	3
SLR の幅 (領域内)	10	10	10	10	10	10	10	10	10
高さ (領域内)	SLR3	–	–	–	6	–	–	–	–
	SLR2	–	–	6	6	–	–	6	6
	SLR1	6	6	6	6	6	6	6	6
	SLR0	7	7	7	7	7	7	7	7

注記:

1. Versal HBM シリーズの情報は、ロジック SLR のみを対象としています。

HBM (広帯域幅メモリ)

SSI テクノロジーを採用した Versal HBM シリーズのデバイスは、SLR と同じシリコン インターポーザー上に統合された広帯域メモリ (HBM) DRAM を搭載しています。1 または 2、4 層または 8 層のメモリ スタックで、最大 32GB のメモリ容量を提供します。SLR との HBM インターフェイスでは、各メモリ スタックで 64 の双方向データ信号からなる 16 チャンネルがシリコン インターポーザーを経由します。

ビデオ デコーダー ユニット (VDU)

ビデオ デコーダー ユニット (VDU) は、H.264 および H.265 規格をサポートするデコード (伸張) 機能を含む、2 つまたは 4 つのビデオ デコーダー エンジン (VDE) で構成されます。各 VDE は、スタンドアロンで使用できますが、より高いスループットを実現するために組み合わせて使用することも可能です。表 15 に、最大スループットを示します。

表 15: VDE がサポートするモード

VDE x 1	VDE x 2	VDE x 4
1 x 4Kp60	2 x 4Kp60	4 x 4Kp60
2 x 4Kp30	4 x 4Kp30	8 x 4Kp30
8 x 1080p30	16 x 1080p30	32 x 1080p30
16 x 720p30	32 x 720p30	64 x 720p30
32 x 720p15	64 x 720p15	128 x 720p15

VDU は 2 つの 128 ビット マスター AXI ポートを通じて PL に接続することで、デコーダがメモリへアクセスできるようにします。ポートの 1 つは MCU のメモリ アクセス用の 32 ビット AXI マスター ポートで、もう 1 つはレジスタ プログラミング用の 32 ビット APB または AXI-Lite スレーブ ポートです。

注文情報

表 16 に、各シリーズで提供されているスピード グレードおよび温度グレードを示します。V_{CCINT} 電源電圧はかっこ内に示しています。

表 16: スピード グレードと温度範囲

シリーズ	XC デバイス	スピード、電圧、スタティック消費電力の情報		
		拡張		インダストリアル
		0° ~ +100°C	0° ~ +110°C ⁽¹⁾	-40° ~ +110°C ⁽¹⁾
AI Edge	すべて	-3HSE (0.88V)	-2MSE (0.80V)	-2MSI (0.80V)
		-1MSE (0.80V)	-2MLE (0.80V)	-2MLI (0.80V)
		-1LSE (0.70V)	-2LSE (0.70V)	-1MSI (0.80V)
			-2LLE (0.70V)	-1MLI (0.80V)
				-1LSI (0.70V)
				-1LLI (0.70V)
AI コア	すべて	-3HSE (0.88V)	-2MSE (0.80V)	-2MSI (0.80V)
		-1MSE (0.80V)	-2MLE (0.80V)	-2MLI (0.80V)
		-1LSE (0.70V)	-2LSE (0.70V)	-1MSI (0.80V)
			-2LLE (0.70V)	-1MLI (0.80V)
				-1LSI (0.70V)
				-1LLI (0.70V)
プライム	すべて	-3HSE (0.88V)	-2MSE (0.80V)	-2MSI (0.80V)
		-1MSE (0.80V)	-2MLE (0.80V)	-2MLI (0.80V)
		-1LSE (0.70V)	-2LSE (0.70V)	-1MSI (0.80V)
			-2LLE (0.70V)	-1MLI (0.80V)
				-1LSI (0.70V)
				-1LLI (0.70V)
プレミアム	すべて	-3HSE (0.88V)	-2MSE (0.80V)	-2MSI (0.80V)
		-1MSE (0.80V)	-2MLE (0.80V)	-2MLI (0.80V)
		-1LSE (0.70V)	-2LSE (0.70V)	-1MSI (0.80V)
			-2LLE (0.70V)	-1MLI (0.80V)
				-1LSI (0.70V)
				-1LLI (0.70V)
HBM	すべて	-3HSE (0.88V)	-2MSE (0.80V)	
		-1MSE (0.80V)	-2MLE (0.80V)	
		-1LSE (0.70V)	-2LSE (0.70V)	
			-2LLE (0.70V)	

注記:

1. 拡張およびインダストリアル温度グレードの場合、注文の組み合わせによっては 110°C のジャンクション温度で限られた時間の動作が可能です。動作電圧に関係なく、タイミングパラメータは 110°C を下回る温度でのスピード ファイルと同じように 110°C のスピード ファイルに準拠します。110°C T_j での動作はデバイスの寿命期間の 3% に限定されます。この 3% を越えなければ連続または一定間隔でデバイスを動作させることができます。

図 3 に示す注文情報は、Versal デバイスに適用されます。

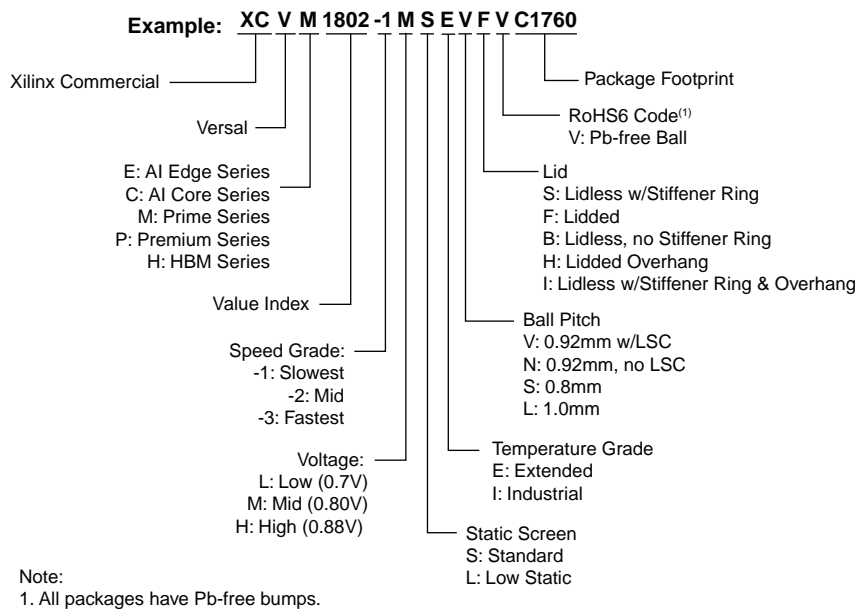


図 3: Versal ACAP の注文情報

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2021年10月19日	1.13	表 1、表 2、表 3、表 4、表 5、表 7、表 9、表 14、および表 16 を更新。
2021年7月14日	1.12	文書全体に HBM リリースの記述を追加。「ビデオデコーダーユニット (VDU)」を追加。表 1 を更新。表 3、表 5、表 7、および表 9 に I/O 情報を追加。表 7 のパッケージ情報を更新。表 16 を更新。
2021年6月29日	1.11	製品表に VDU の情報を追加。表 3 のパッケージ情報を更新。表 4 および表 5 の VC1502 の情報を更新。表 6 に注記を追加。表 7 の誤植を終始得。
2021年6月9日	1.10	文書全体に AI エッジシリーズを追加。表 4 に2つの AI コア デバイス (VC2602 および VC2802) を追加。「演算およびアクセラレーションエンジン」を更新。
2021年4月26日	1.9	VM2202 を追加。表 4、表 5、表 6、表 7 および表 16 を更新。
2021年2月26日	1.8	表 1、表 5、表 7、表 9 および図 1-1 を更新。Added 表 16 を追加。
2020年8月27日	1.7	表 1、表 6、表 7 を更新、「スタックドシリコンインターコネクト (SSI) テクノロジー」を追加。
2020年5月11日	1.6	表 6、表 7、表 8 更新。
2020年3月10日	1.5.1	誤字の修正。
2020年3月10日	1.5	表 1 を更新、文書全体に Versal プレミアムシリーズの情報を追加。
2020年1月16日	1.4	図 3 を更新。v1.3 の改訂履歴の日付を修正。
2019年12月16日	1.3	「注文情報」を追加。表 1、表 4、表 5、表 6、表 7、および「ブートおよびコンフィギュレーション」を更新。
2019年7月3日	1.2	「外部フラッシュメモリ インターフェイス」および「HDIO」を更新。
2019年5月16日	1.1	表 1、表 5、表 6、表 7、「NoC」、および「コネクティビティペリフェラル」を更新。
2018年10月2日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとし、また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

この文書は暫定的な情報を含むものであり、通知なしに内容が変更されることがあります。この文書に記述される情報は、販売前の製品・サービスに関するもので、情報目的としてのみ提供されており、この文書で参照されている製品・サービスの販売申込みまたは製品の商品化を試みたものとしては意図されておらず、また解釈されるものでもありません。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2018–2021 Xilinx, Inc. Xilinx, Xilinx のロゴ、Alveo、Artix、Kintex、Spartan、Versal、Vitis、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。AMBA、AMBA Designer、Arm、ARM1176JZ-S、CoreSight、Cortex、および PrimeCell は、EU およびその他の各国の Arm 社の登録商標です。PCI、PCIe、および PCI Express は PCI-SIG の商標であり、ライセンスに基づいて使用されています。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。