



WP483 (v1.3) 2016 年 9 月 27 日

Spartan-7 FPGA: コスト重視の市場要件を満たす

著者: Nick Mehta

ザイリンクスの Spartan®-7 は低コストで高効率な FPGA を提供するデバイスファミリです。これらのデバイスは、コスト重視の市場独特のニーズを満たすよう、目的に合わせて設計されています。

概要

高性能な 28nm プログラマブルアーキテクチャを採用した Spartan®-7 FPGA は、低コストで小型フォームファクターのパッケージで提供されており、小規模な PCB フットプリントで高い性能を発揮します。

Spartan-7 ファミリの主な特長は次のとおりです。

- ワットあたり性能が非常に高い 28HPL プロセス
- デザインを再利用できる 28nm アーキテクチャのスケーラビリティ
- シンプルで低コストのデザイン入力/検証が可能な Vivado® Design Suite

消費電力と総コストを低く抑えながら必要なリソースを利用でき、コスト重視のアプリケーションの要件を満たすことができます。

© Copyright 2016 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

はじめに

ザイリックス Spartan® FPGA ファミリーは、1998年の登場以来、コスト重視の主要 FPGA として定評があります。ブリッジ、スイッチ、制御、処理、インターフェイスなどの機能を目的としたコスト重視の小型フォームファクターデバイスとして複数世代にわたりリリースされています。ただし、インダストリアル IoT (I-IoT)、先進運転支援システム (ADAS)/運転認識システム、次世代通信システムなど今日のコスト重視アプリケーションに求められるパフォーマンスと機能性を満たすには、ロジックだけでは不十分です。小型フットプリントでの機能実装に対する需要のさらなる高まりを受け、Spartan-7 ファミリーは、小型フットプリントで提供される、高性能でコスト重視のプログラマブルロジックに対するニーズを満たすよう設計されています。

最適なプロセスの選択

ザイリックスは、7シリーズ (Artix®-7、Kintex®-7、Virtex®-7) デバイスの開発において TSMC 社と協力して 28nm HPL プロセスを開発しました。高性能ながら低消費電力を実現する High-K メタルゲート (HKMG) プロセスは、多様な市場ニーズに合わせたさまざまなファミリーの作成を可能にします。Spartan-7 FPGA は、定評ある7シリーズファミリーと同じ 28HPL プロセスを採用し、同じ基本アーキテクチャエレメントをいかしています。結果、消費電力を厳密に制御しながら高いロジック性能と I/O 性能を提供するコンパクトでコスト重視の FPGA となっているだけでなく、パッケージも非常に小型となっています。重要な点としてこれらすべてが低コストで実現されます。このプロセスの柔軟性によりデバイスを2種類のコア電圧で稼働させることができるため、ユーザーはパフォーマンスを最大限に高めるか消費電力を最小限に抑えるかを選択できます。他社の FPGA で用いられる 28LP プロセスとは違い、28HPL プロセスは動作範囲が広いいため、デバイスのパフォーマンス/消費電力メトリクスを高める (つまり、より少ない消費電力で、より高いパフォーマンスを得る) ことができます (図 1 参照)。

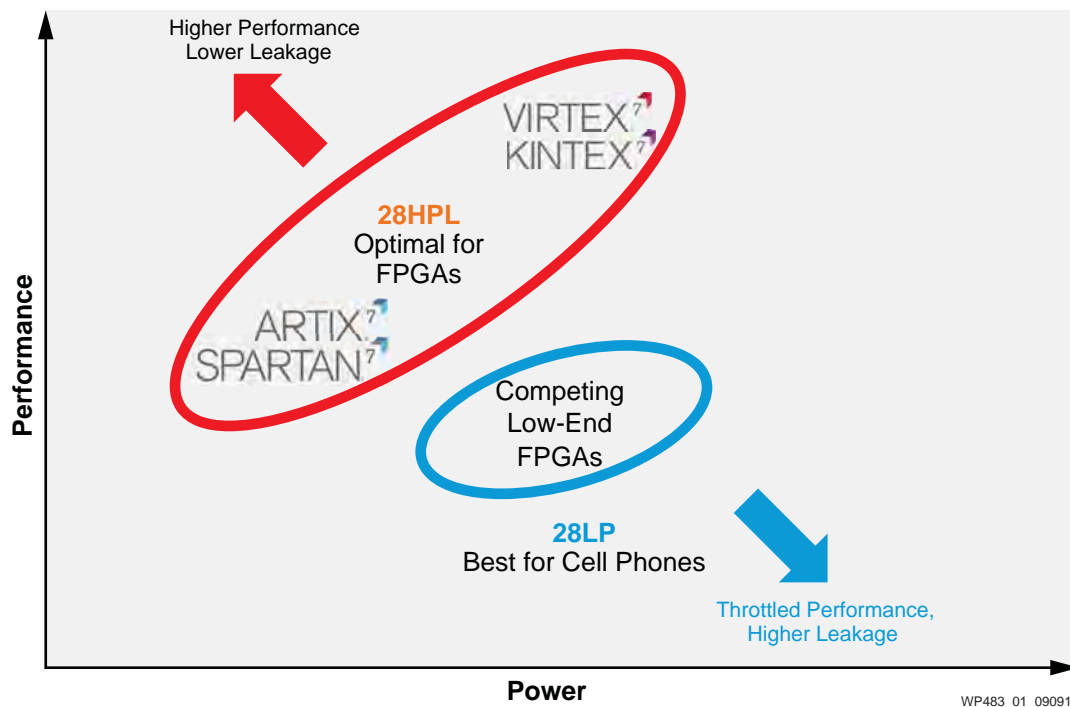


図 1: Spartan-7 FPGA 28HPL プロセスの利点

定評あるアーキテクチャ

ロジック構造は、すべての FPGA アーキテクチャの中心です。ロジックセルはデバイスの容量と性能を測る一様の基準とされていますが、デバイスで何ができるかを理解するには、構成要素である構築ブロックの詳細を把握することが時として必要になります。Spartan-7 FPGA はコンフィギュラブルロジックブロック (CLB) をベースし、この CLB に含まれるスライスはルックアップテーブル (LUT)、キャリーチェーン、レジスタで構成されています。スライスは、論理機能、演算機能、メモリ機能を実行するよう構成したり、シフトレジスタとして使用するよう構成できます。

Spartan-7 FPGA の世代を通して、CLB 内のリソース量は最適なコストで最善の機能を提供するよう改善されてきました。たとえば、第 1 世代 Spartan デバイス (1990 年代後半) の CLB には、3 入力 LUT が 1 つ、4 入力 LUT が 2 つ、レジスタが 2 つ含まれていました。6 入力 LUT が 8 つ、レジスタが 16 個含まれる Spartan-7 FPGA の CLB と比較すると、デバイス性能の進歩は明らかです (図 2 参照)。

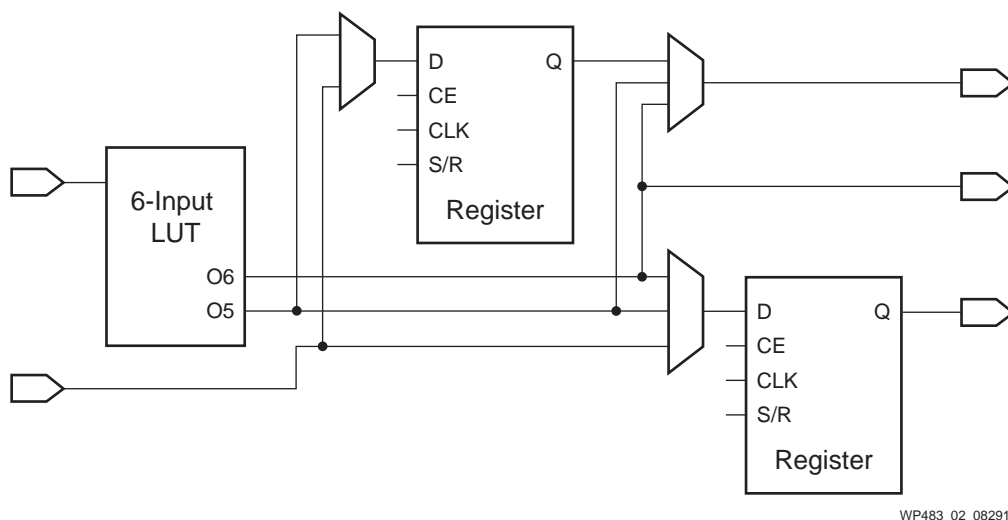


図 2: Spartan-7 FPGA の LUT およびレジスタの接続

Spartan-7 FPGA の LUT は、単一出力の 6 入力 LUT 1 つ、または出力は別々の 5 入力 LUT 2 つとして構成できます。各 LUT はオプションとしてフリップフロップでラッチできます。4 つの LUT と 8 つのフリップフロップで 1 つのスライスが構成され、2 つのスライスで 1 つの CLB が構成されます。一部のスライスでは、LUT を 64 ビットの分散 RAM または 32 ビットのシフトレジスタ (SRL32) として使用することもできます。

これらの高性能で柔軟な機能はすべて Vivado® Design Suite の合成段階で直接実装できるため、ユーザーは各種ブロックの個々のポート名や信号名をすべて覚えなくても、高度な機能を活用できます。Spartan-7 FPGA の設計効率の高さは、LUT とレジスタだけに留まりません。デジタル信号処理や格納に特化したブロックも使用できます。

DSP

昨今のシステムでは、オーディオ/ビデオコンテンツがますます普及しています。デジタルオーディオ/ビデオデータの操作には高速な演算性能が必要です。このような環境での設計をサポートするため、すべての Spartan-7 FPGA には多数の DSP タイルが含まれており、各タイルには2つの DSP スライスが含まれています。各スライスには、550MHz 以上の周波数で動作可能な 25x18 乗算器と 48 ビット アキュムレータが含まれています (図 3 参照)。

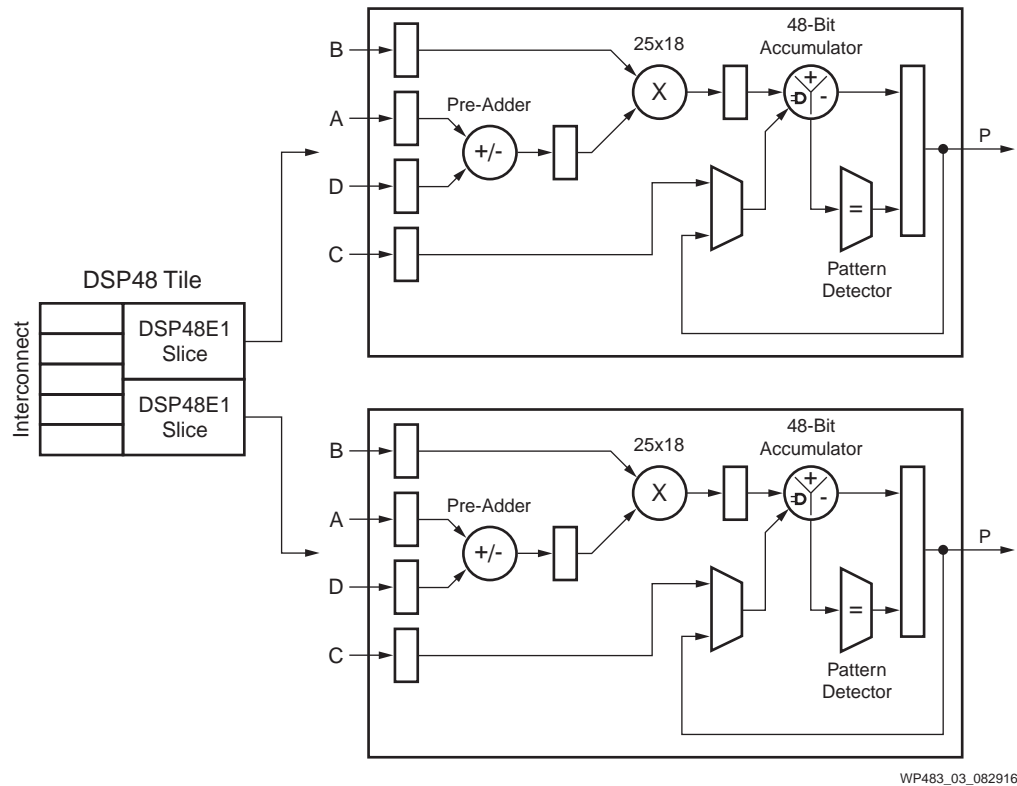


図 3: Spartan-7 FPGA の DSP48 タイル

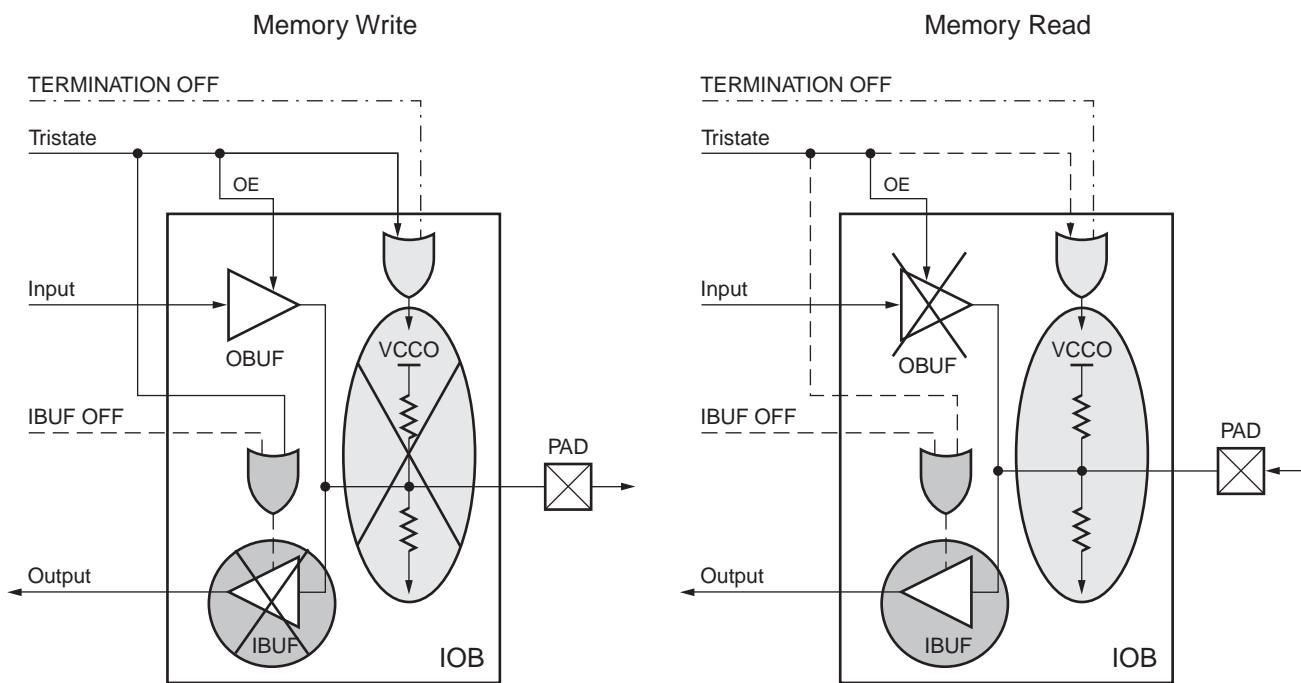
25 ビットの前置加算器を使用すると、FIR フィルターなどの対称フィルターを高いリソース効率で作成できます。集積度が中程度の Spartan-7 デバイス (XC7S50 など) には DSP スライスが 120 個あり、すべてを対称 FIR フィルターの実装に使用すると、132GMAC/s の処理性能が得られます。もちろん、この処理性能をすべて使用するデザインの場合、前処理および後処理のデータを格納するスペースも必要です。

メモリ

前述の分散 RAM に加え、すべての Spartan-7 FPGA には、ブロック RAM と呼ばれる 36Kb のコンフィギュラブルなメモリブロックが含まれています。各ブロック RAM は、異なる動作モード (シングルポート、シングルデュアルポート、完全なデュアルポート、FIFO など) をサポートできます。ブロック RAM は、1つの 36Kb ブロックとして使用することも、2つの独立した 18Kb ブロックに分割することも、連結して 64Kb 以上の RAM にすることも可能です。メモリの内容が正しいことを確認するため、各ブロック RAM には、シングルビット エラーの訂正とダブルビット エラーの検出が可能なオプションのエラーチェック/訂正 (ECC) 回路があります。Spartan-7 FPGA には最大 120 個のブロック RAM が含まれており、これは 4.2Mb のオンチップストレージに相当します。これに分散 RAM を追加すると、使用可能なストレージは 5.3Mb になります。

I/O およびメモリ インターフェイス

Spartan-7 FPGA は PCB 内の信号のやり取りに HR (High Range) I/O を使用します。HR I/O は、1.2V ~ 3.3V で動作する各種の規格 (HSTL、SSTL、LVDS、LVCMOS、RSDS など) をサポートします。プログラマブルな駆動能力により、HR I/O では必要最小限の消費電力で最大 1250Mb/s の Any-to-Any コネクティビティを実現できます。I/O ブロック内の個々のコンポーネントを不使用時に無効にすると、消費電力をさらに削減できます。たとえば、読み出しトランザクション中は出力バッファを無効にし、書き込み動作中は入力バッファを無効にします (図 4 参照)。



WP483_04_082916

図 4: I/O バッファの無効化

ほかの Spartan-7 FPGA 機能を有効化する方法と同様、Vivado Design Suite では I/O バッファを無効にするタイミングを簡単に決定できます。

Spartan-7 FPGA の HR I/O は、50 個の I/O ピンからなるバンク配置になっています。ビルトイン メモリ PHY の実装により、完全にボンディングされた各バンクがメモリ インターフェイスを実装可能です。Vivado Design Suite に含まれる Memory Interface Generator (MIG) ツールを使用すると、カスタム要件に合うソフト メモリ コントローラーを容易に作成できます。最大 800Mb/s の低コストなメインストリームの DDR3 をサポートする構成にすることも、DDR2 や LPDDR2 などの従来規格をサポートすることもできます。表 1 に、Spartan-7 FPGA の性能を示します。

表 1: Spartan-7 ファミリの性能

リソース	性能
ロジックセル	6K ~ 102K
オンチップメモリ	0.2Mb ~ 5.3Mb
DSPの最大処理速度	11 ~ 176GMAC/s
最大I/Oデータレート	1250Mb/s
最大メモリインターフェイスレート	800Mb/s

PCB 上

産業用制御システムなどのアプリケーションでは一般的に、広いエリアの所々で電子装置が用いられますが、各所で使用できるエリアはごく限られています。通常、センサーからの信号は照合および処理された後、中央制御装置に送られて組み合わせられます。最初の照合と処理の実行に使用できる物理エリアは、ごく限られている場合がほとんどです。

小型のフォームファクターで低コストのパッケージ

強力なプログラマブル機能を限られたスペースに収めるため、Spartan-7 ファミリーは 0.5mm のボールピッチで 8x8mm ほどの小型の低コストパッケージを多く採用しています。同一パッケージで提供されるデバイスは必ずフットプリントに互換性があるため、機能強化が必要になった場合は、1つのパッケージ内で上位への移行が可能です。

XADC

ほとんどの Spartan-7 FPGA には、XADC と呼ばれる柔軟なアナログインターフェイスが含まれています。プログラマブルロジックと組み合わせることにより、XADC は幅広いデータ取得とモニター機能に対応できます。このため、アクセスしやすい遠隔地からでもシステム動作のモニターが可能になります (図 5 参照)。

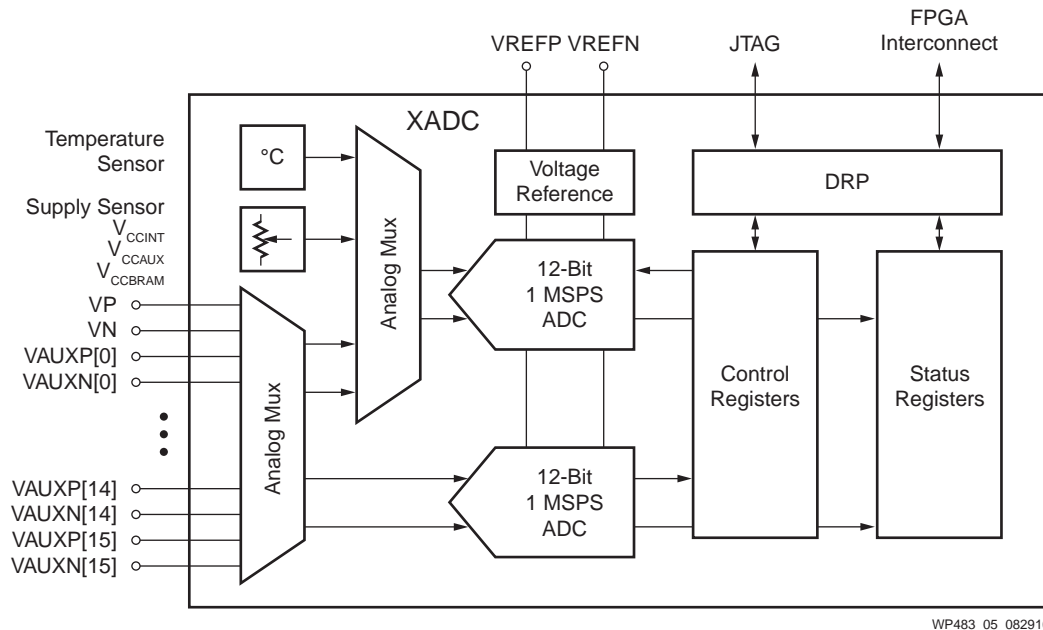


図 5: XADC のブロック図

XADC には、2つの 12 ビット 1MSPS ADC (それぞれ個別のトラック アンド ホールド増幅器を装備)、最大 17 個の外部アナログ入力からなるオンチップ マルチプレクサー、温度および電圧計測用のオンチップ センサーが含まれており、FIPS 140-2 セキュリティ レベル 4 に準拠する、システム全体の信頼性、可用性、安全性、セキュリティを実現します。

デザインのセキュリティ

XADC による動作上のセキュリティに加え、ほとんどの Spartan-7 FPGA は複数の手段でデザインおよび IP のセキュリティを実現しています。プログラミング ファイル、つまりビットストリームは、256 ビット AES 暗号化を使用して暗号化できるため、システムの電源切断時やパワーオン コンフィギュレーション中の機密性が確保されます。復号化キーはバッテリー バックアップ式の RAM または eFuse に格納でき、前者の場合は不正操作の検出時にキーの内容をクリアできます。

作業に便利な各種ツールを用意

Vivado IDE はシンプルなプッシュボタン設計手法を採用し豊富な先進機能を備えているため、FPGA および SoC をターゲットとするデザインを短時間で構築できます。各種のデザイン再利用機能を使用すると、あるデバイスやファミリ用に作成されたデザインまたは IP のセクションをパッケージ化して、後で同様のアーキテクチャを用いた別のデバイスやファミリに再利用できます。たとえば、Spartan-7 FPGA で使用する IP を作成した後、システム要件の変更に応じて、同じ IP を Artix-7 FPGA で再利用できます。

Vivado Design Suite では VHDL 2008、Verilog、System Verilog がサポートされており、選択した言語で RTL デザインを入力できます。デザインを作成したら、各種のデバッグ ツールと検証ツール (コード行制限のない、無償の混合言語シミュレーション ツールなど) を使用して、機能性に問題がないかどうかを確認できます。

すべての Spartan-7 プロダクション デバイスは、無償の Vivado HL WebPACK™ Edition でサポートされているため、非常に高速で低コストのツールが利用できます。

まとめ

高性能な 28nm プログラマブル アーキテクチャを採用した Spartan®-7 FPGA は、低コストで小型フォーム ファクターのパッケージで提供されており、小規模な PCB フットプリントで高い性能を発揮します。ロジック、メモリ、DSP、I/O、メモリ インターフェイス回路を兼ね備え、高性能で消費電力の少ない 28nm プロセスを使用した Spartan-7 デバイスは、センサー インターフェイス、モーター制御、プロトコルブリッジなどの要件の厳しい機能を実行できます。定評ある Vivado Design Suite には設計時間の短縮を可能にする機能が豊富に備わっているため、複雑でコスト重視のデザインを Spartan-7 FPGA で容易に構築できます。

詳細は、japan.xilinx.com/products/silicon-devices/fpga/spartan-7.html を参照してください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016年9月27日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある[フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。