

Xcell journal

THE AUTHORITATIVE JOURNAL FOR PROGRAMMABLE LOGIC USERS

量産向けの
民生機器市場に
適用範囲を拡大

HIGH VOLUME

Spartan-3E: 新時代
オートモーティブ向けマルチメディア
DSP アルゴリズム

DESIGN TOOL

最新の ISE 7.1i ソフトウェア
デザイン制御

SERIAL I/O

シリアル リンクの高性能化

 **XILINX**®

INDUSTRY EXPERT

高速シリアル リンクの高性能化 1

BUSINESS VIEWPOINTS

低コストFPGAにより変貌を遂げるシステム ランドスケープ ... 6

HIGH-VOLUME SOLUTIONS

量産プログラマブル革命をリード 8

低コスト プログラマブル ロジックの新時代を拓くSpartan-3E FPGA ... 9

Spartan-3Eファミリに追加されたコンフィギュレーション用
新オプション 11

リコンフィギャブルFPGAによる高解像度Ogg/Theoraビデオエンコード ... 14

Spartan-3 FPGAを利用したデジタル信号処理アルゴリズムの実装 ... 17

Spartan-3 FPGAのDDRメモリアンターフェイス設計 ... 21

新機能を搭載したCoolRunner-II CPLD 23

ザイリンクスのロジック コンソリデータで部材 (BOM)
コスト低減 26

CoolRunner-IIのシリコン機能を利用したコスト削減 28

Spartan-3/3Eの機能を利用したデザインのエリア最適化 ... 31

ASSPメーカーに展望を与える低コストEasyPath FPGA 34

Spartanファミリをフラットパネル ディスプレイに採用 ... 38

信号品質の制御 41

変遷するオートモーティブ向けECU設計の現状 44

低コストのPCI Expressソリューション 47

DESIGN TOOLS

ザイリンクスのデザインリーダーシップ 49

ISE7.1iソフトウェアによる設計パフォーマンスの飛躍的向上 ... 50

オシロスコープとロジックアナライザを組み合わせたデバッグ手法 ... 53

優位なリアルタイム デバッグ 56

PlanAhead階層設計・解析ツールでデザインを制御 59

GENERAL

Hydraプロジェクト 64

SUCCESS STORY FROM JAPAN

Virtex-4を採用したビデオプロセッサ開発ユニットの開発秘話 ... 68

ザイリンクスイベントカレンダー 71

BOARD ROOM 72

LETTER FROM THE EDITOR

低コストで高性能と柔軟性を実現し、幅広いアプリケーションで採用いただけます ... 76

広告索引

株式会社 コンピューテックス 5

株式会社 ソリトンシステムズ 63

有限会社 ヒューマンデータ 75

送付先住所等の変更は：

www.xilinx.co.jp/xcell/henko/

新規定期購読のお申込みは：

www.xilinx.co.jp/xcell/toroku/

INDUSTRY EXPERT

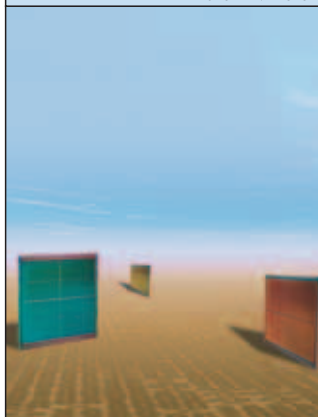


高速シリアル リンクの 高性能化

柔軟性の高いイコライゼーション回路を搭載し、高速シリアル リンクの帯域と性能を大幅に向上したVirtex-4 FPGAファミリ内蔵のRocketIOトランシーバ

1

BUSINESS VIEWPOINTS



低コストFPGAに より変貌を遂げる システム ランドスケープ

低コストFPGAの登場が
新時代の幕開けを予告

6

HIGH-VOLUME SOLUTIONS

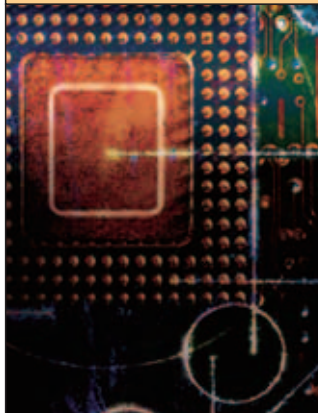


量産プログラマブル 革命をリード

PDLを他社に先駆けて低コストシステム
向けにリードするザイリンクス

8

DESIGN TOOLS



ザイリンクスのデザイン リーダーシップ

ザイリンクスの設計ツールISE™7.1iに
より、プロジェクト終了までを最短で実現

49



高速シリアル リンクの 高性能化

柔軟性の高いイコライゼーション回路を搭載し、高速シリアル リンクの帯域と性能を大幅に向上したVirtex-4 FPGAファミリ内蔵のRocketIOトランシーバ

Howard Johnson, Ph.D.

President
Signal Consulting, Inc.
howie03@sigcon.com

Mike Degerstrom

Senior Staff Signal Integrity Design Engineer
Xilinx, Inc.
mike.degerstrom@xilinx.com

マルチギガビットのバックプレーンや、配線、ケーブルを通る信号には歪みが発生します。この歪みの影響が軽度なものか甚大なものかは、導体の形状、素材、配線長、使用するコネクタのタイプに依存します。

通信エンジニアは、常に正弦波を扱っているため、この歪みを周波数ドメインで説明する必要があります。図1は、完全に終端処理された標準の50オームストリップライン(または100オーム差動ストリップライン)のチャネル ゲイン(周波数応答ともいう)を示したものです。このストリップラインはローパス フィルタに似た働きをするもので、低周波よりも高周波の正弦波を減衰させます。

図2は、20インチ(0.5m)のFR-4ストリップラインを通るデジタル信号に特有の劣化を示したものです。配線内での誘電損失と表皮効果損失により、入力パルスの振幅が減少し、立ち上がり立ち下りエッジが遅くなります。標準的なパルスよりもはるかに小さな受信パルスを、「ラント パルス」と呼びます。バイナリ通信システムでは、レシーバのしきい値を十分なマージンを持って超えることができないラント パルスは、ビットエラーの原因になります。

ここでは、高速シリアルリンクでラントパルスの振幅を低下させるものとして、配線やケーブルでの損失、コネクタや他の信号接続部による反射、そしてドライバとレシーバの制限帯域の3つを取り上げます。

図3は、古典的な劣化のテストを示したものです。この独特の波形（テスト信号の長い平坦な部分がワースト ケースになるように設定しており、この部分はデータ コードで使われる1または0の最大長にあたる）は、ラントパルスの振幅を表しています。レシーバ側で測定されたこの単一波形は、反射やクロストーク、その他ノイズがない場合におけるチャンネル劣化のワースト ケースのテスト波形です。配線が長くなると、さらに劣化が進み、この例では最終的に1.5mでレシーバにエラーが生じます。

レシーバにおける信号品質の基準の1つは、電圧マージンです。この数値は、サンプリングを行った時点の信号の振幅とレシーバのしきい値との差の最小値（単位はボルト）に相当します。反射やクロストーク、その他のノイズのないシステムでは、理論上、極めて小さな電圧マージンで動作が可能で、システムを完全に動作させることも可能となります。

しかし、実際のシステムでは、システムで発生する反射やクロストーク、他のノイズの振幅がすべて最大になっても吸収できるだけの十分なノイズマージンを確保する必要があります。また、限られた帯域とレシーバ固有のノイズを相殺して、受信信号がしきい値を十分に超えるように維持する必要があります。

図4の例では、ラントパルスの振幅は、低周波信号の振幅の公称値の85%に相当し、レシーバのしきい値は公称値の50%ではなく、35%のみ超過しています。ラントパルスがさらに小さくなり正常値の75%の値になると、電圧マージンが半分に減少してノイズの発生量が多くなり、大きな痛手にはなりますが、それでもなお動作は可能です。イコライゼーション機能を使用しない一般的なバイナリ通信では、到達するラントパルスの振幅は低周波のパルス振幅の70%以上であることが望まれます。

ラントパルスの劣化

図4の左側に、2ボーの周期の正弦波があります。ラントパルスのパターン（101）がこの正弦波に似かよっているため、ラントパルスの振幅をチャンネル減衰の周波数ドメイン曲線から推測することができます。では試してみましょう。

図4のデータ波形のボーレートは2.5 Gbpsです。この周波数の半分（等価の正弦波の周波数）は1.25 GHzに相当します。図5により、配線長0.5mの曲線から、4.5dB減衰する周波数が1.25 GHzであることが分かります。同じ曲線から、1.5dB減衰する周波数がこの周波数の1/10であることも分かります。これは、8B10Bコード データ伝送システムの対象となる最低周波数にほぼ相当します。これら2つの値の差（-3dB）は、レシーバにおけるラントパルスの振幅と低周波信号の振幅との比率にほぼ等しくなります。-3dBだけの劣化であれば、システムはソリッド リンク性能の周波数ドメインでの評価基準である70%を満たしており、配線長0.5mにおける時間ドメインでの波形が良好である理由がよく分かります。

図4をよく見ると、時間ドメインでのラントパルスの実際の振幅は85%であり、周波数ドメインから推測した-3dBほど悪い値ではありません。この矛盾の原因の一部は、矩形波に含まれる高調波にあります。これは基本波の振幅が基本波を取り出した矩形波信号の振幅を超えるためです。また、時間ドメインと周波数ドメインとのおおざっぱな変換をする際に当然生じるあいまいさが原因でもあります。簡単な周波数ドメインでの評価基準では、これらの要因を控えめに推定することになります。

図1 長いPC基板配線の実効チャンネル ゲインは、配線幅、誘電素材、配線長、コネクタのタイプに依存

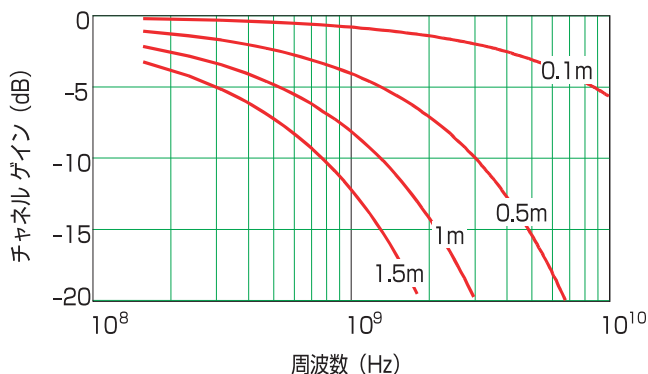


図2 配線が長いと、入力パルスの振幅が減少し立ち上がりとしち下りエッジが劣化

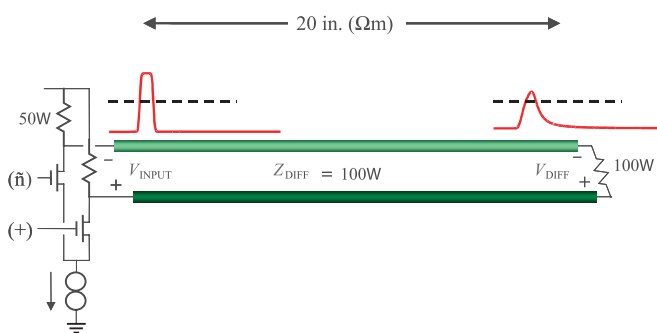


図3 ワーストケースのラントパルス波形の振幅を示すテスト波形

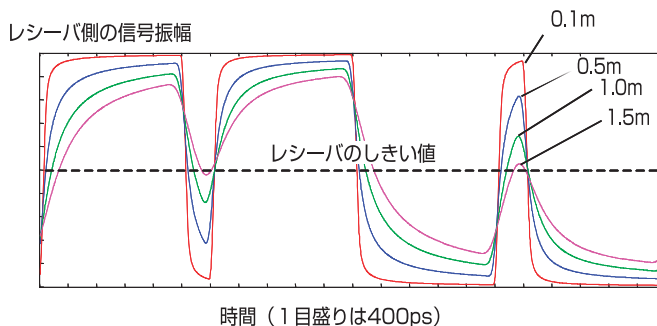


図4 ラントパルスの振幅は低周波信号の振幅の公称値の85%に相当し、しきい値を超える電圧マージンが公称値の50%ではなく35%に減少

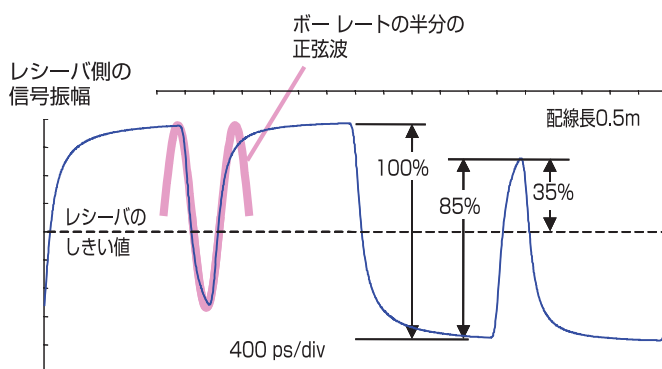
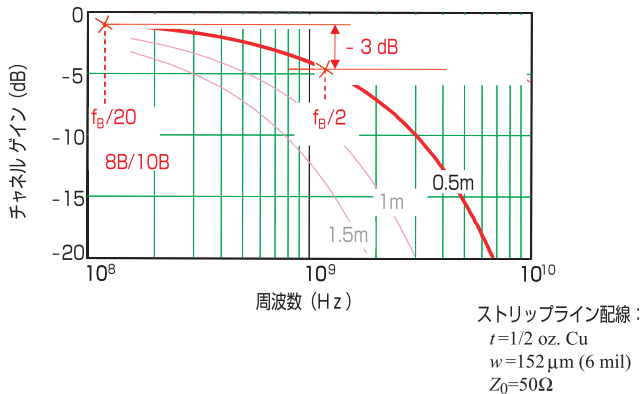


図5 2.5 Gbpsシステムの高周波チャネルと低周波チャネルのゲインの差は3dB



データ コードが8B10Bコードよりも0や1の列が長くできる場合は、「対象最低周波数」としてそれに相当するより低い周波数を使用する必要があります。時間ドメインでは、受信信号がラント パルス発生前に振幅の最大範囲の底（または天井）に近接してクリープする（這いつくばう）現象が見られますが、これは、ワースト ケースのラントパルスがしきい値を超えるのをさらに困難にしています。

経験的に、最大動作周波数(101010のパターン)で動作する場合と、最低動作周波数(コーディングしたデータのラン レングスで決まる)で動作する場合のチャネル減衰の違いから、レシーバでのラントパルスの振幅劣化の度合いが即座に推測できます。この方法では、リンク性能をおおざっぱにしか推測できません。時間ドメインでの厳密なシミュレーションにはなりませんが、リンクの動作の理解にはおおいに役に立ちます。

ラント パルスの劣化が1dB未満のチャンネルでは、通常のCMOSロジックの場合いずれも良好に動作します。ただし、低スキューのクロックを分配するか、あるいはレシーバ側にクロック リカバリユニットを使用することで、クロック スキューの問題が解消されていることが前提になります。チャンネルの劣化が3dB程度の場合、レシーバのしきい値を厳密に設定し適切に制御できる差動アーキテクチャ以外は必要ありません。チャンネルの劣化が6dBになると、イコライゼーション機能が必要になります。

伝送プリエンファシス

ザイリンクスのVirtex™-4 RocketIO™トランシーバには3種類のイコライゼーション機能が使用されており、より深刻なチャネル劣化への対応が可能です。1つ目の機能は、伝送プリエンファシスです。

図6は、単純なバイナリ波形 $x[n]$ と、その1次差分波形 $x[n]-x[n-1]$ を示したものです。微積分に詳しい読者であれば、この1次差分波形が一種の導関数演算であることがお分かりいただけます。すべてのエッジの部分で、差分波形は大きくキックします。伝送プリエンファシス回路では、主信号と1次差分波形を特定の比率で足し合わせて、すべての変化点の先頭に大きなキックを重ね合わせます。レシーバで観測されるように、各キックによって信号の低周波の部分の振幅が増大することなくラントパルスの振幅が増大します。低周波の部分はすでに十分な振幅があります。

この1次差分の考えは、プリエンファシスの動作の理解に役立ちますが、構成内容はこれとは異なります。実際の回路では、2つの信号ではなく、プリカーサー、カーサー、ポストカーサーという3つの遅延した項目の足し算になります。このアーキテクチャを用いることで、この3つの項目に関連した係数を調整することにより、1次差分と2次差分の両方を求めることが可能になります。プログラマブル5ビット乗算型DACでこれら3つの係数を制御します。1番目と3番

目の振幅は2番目のものに対して常に反転していますが、この方法は1番目と3番目のフリップフロップのNOT-Q出力を使用することにより実行されます。例として、図7に特定の係数のセット (-0.056、0.716、-0.228)に相当する周波数応答をプロットします。

DCから1.25 GHzまでのクリティカルな範囲では、プリエンファシスの応答曲線は図5に示す下降する曲線とは正反対に、滑らかに上昇しています。応答曲線のピークは1.25 GHzにあります。このプリエンファシス回路を高いデータレートのクロックで使用する場合、このピークはデータレートに対応した高い周波数に移行し、常に、必要なデータレートの半分に相当する周波数になります。

図8は、配線長1mでのチャネル応答曲線にプリエンファシスの応答曲線を重ね合わせて合成した結果（イコライズされたチャネル）を示しており、いずれの曲線よりもはるかにフラットな形をしています。単純に考えると、よりフラットな合成チャネル応答曲線が得られれば時間ドメインでの信号の形状が良くなるといえます。

図9ではプリエンファシスの時間ドメインでの効果を示します。配線長が短い場合にはイコライズ過多の信号形状になります。バイナリのシステムでは、信号の振幅が最大になったときにレシーバが飽和しないだけの十分な高さの余裕があれば、各変化点にオーバーシュートがあっても問題はありません。配線長1mでは、信号の形状はかなり良好で、ラントパルス劣化はほとんど見られず、ジッタもほとんどありません。配線長1.5mでの波形は、ラントパルスの評価基準である70%と一致しています。単純な差動アーキテクチャに比べ、プリエンファシス回路は正常に動作するチャンネルの配線長を少なくとも2倍にします。

リニア レシーバ イコライザ

プリエンファシス回路のほか、RocketIOトランシーバには高機能な6-ZERO 9-POLE レシーバ ベースのリニア イコライザも搭載されています。この回路はデータ スライサの前にあります。これは、アクティブ アナログ イコライザが3段接続された構造になっており、各イコライザは個々にイネーブルすることができ、すべてをオフにするか、1つ、2つ、または3つすべてを続けてオンにすることができます。

図6 伝送プリエンファシス回路はすべての変化点の先頭に大きなキックを生成

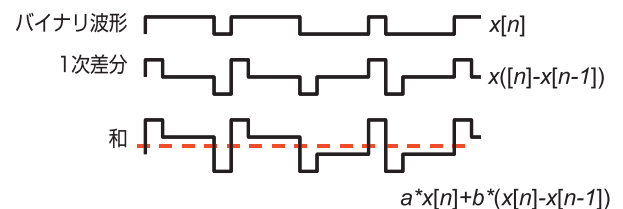


図7 DCから1.25 GHzまでのクリティカルな範囲では、プリエンファシスの応答曲線は滑らかに上昇

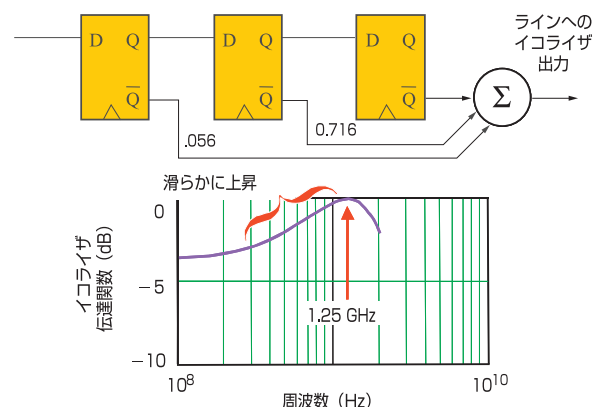


図10は、このレシーバ イコライゼーション アーキテクチャにより得られる4つの周波数応答曲線を示しています。イコライザの各セクションは、チャンネル応答が2.5 GHzで約3dB減衰する標準的なPC基板チャンネルの特性に調整してあります。すべてのステージをオンにすると、2.5 GHzでほぼ9dB増強できます。応答曲線は5 GHzまで上昇しているため、このイコライザは10 Gbpsを超えるデータ レートまで使用できます。

イコライザの設定を行う場合、最初に全体のチャンネル応答が最適になるようにRXリニア イコライザのセクション数を選択します。次に、伝送プリエンファシス回路の5ビット プログラマブル係数を使用して全体のパルス応答を微調整し、ISI(符号間干渉)やジッタまたはその両方を最小にします。回路の完成後は、レシーバ内部のクロック

図8 全体の応答がどちらの曲線の場合よりもよりフラットなチャンネルを備えるプリエンファシス回路の構成

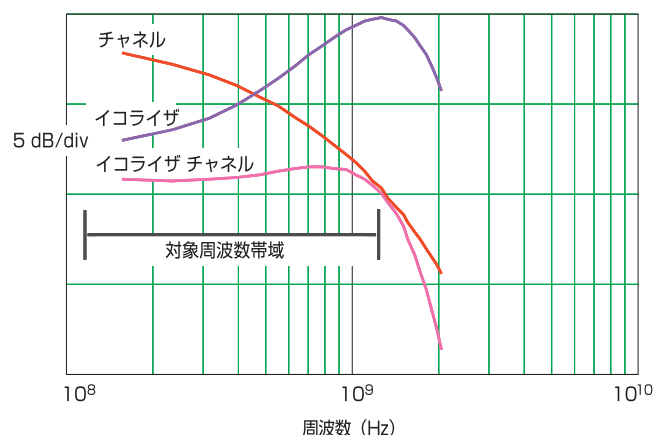


図9 プリエンファシス回路は正常に動作するチャンネルの配線長を少なくとも2倍にする

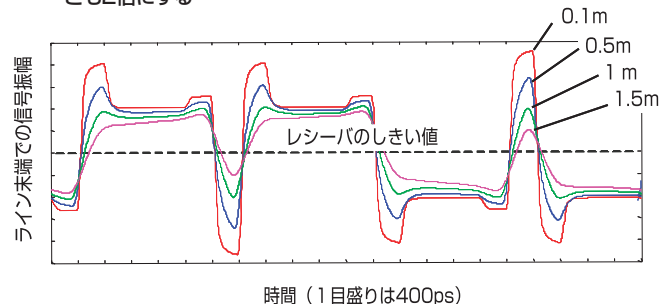
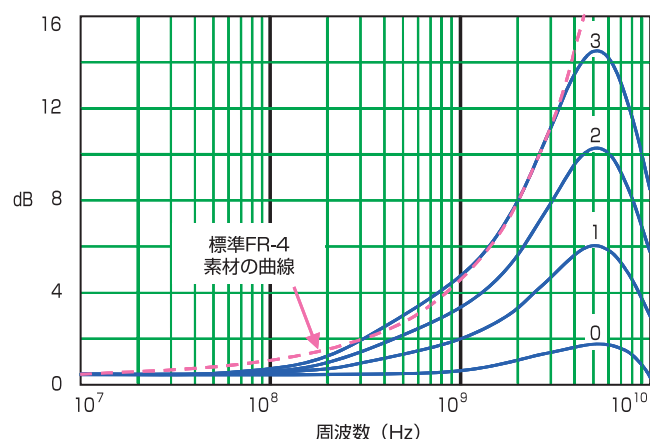


図10 レシーバのリニア イコライザは、各種長さのFR-4 PC基板配線の応答に合わせてプログラムされた、4種類の応答曲線から選択可能



位相調整機能を使って、ビット誤り率 (BER) のバスタブ曲線を描き出せば、イコライザの設定が正しいことが確認できます。

これら2種類のイコライゼーション機能には柔軟性があるため、非常に多くのシリアルリンク標準に対応し、伝送される信号の仕様に適合させることができます。その上、レシーバ ベースのイコライゼーション機能を追加することで、最高性能のシステム動作が維持できます。

デジジョンフィードバック イコライザ

予測できない劣悪なチャンネル性能に対処する最後の手段として、RocketIOトランシーバには手動で調整できる6ステップのデジジョンフィードバック イコライザ (DFE) が搭載されています。DFEはレシーバのスライサ回路に組み込まれています。このDFEは、もともと高いシリアル データ レートの処理用に設計されていない低品質の旧型チャンネルに特に有効です。DFEには、クロストークを悪化させることなく入力信号を強調するという優れた特性があります。

信号処理に詳しい読者であれば、DFEがイコライゼーション ネットワークにPOLEを挿入し、TXプリエンファシス回路がZEROを作り出していることがお分かりになると思います。(DFE回路などのデジタル イコライゼーションに関する非常に分かりやすい解説書として、「The Theory and Practice of Modern Design」(John A.C. Bingham著)をご参考ください。)

DFEや、TXプリエンファシス、RXリニア イコライザは一体となって、きわめて豊富な調整機能を提供します。

結 論

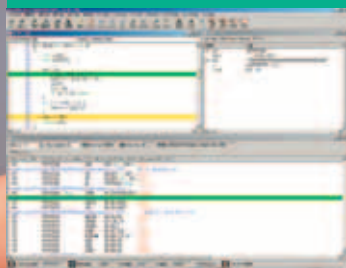
ラント パルス劣化が6dB程度のチャンネルであれば、簡単なプリエンファシス調整により、リンクが動作する配線長を容易に2倍にすることができます。

6dBを超えるラント パルス劣化が予想される場合は、最終的なイコライザ調整をする前にシステムを詳細にシミュレートすることを強く推奨します。チャンネルのモデリングに必要なRocketIOモデルや関連デザイン キットに関しては、ザイリンクス販売代理店にお問い合わせいただくか、ザイリンクスのWebサイトをご覧ください。モデリング作業を是非にお試しいただき、イコライゼーションにより回路の性能の大幅な向上が実現することを体感ください。

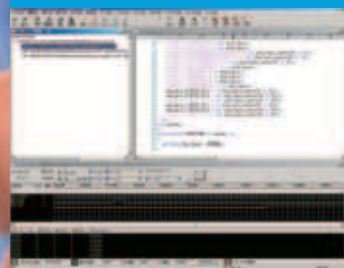
「High-Speed Digital Design and High-Speed Signal Propagation」の著者、Howard Johnson博士は、オックスフォード大学をはじめ、世界各地でデジタル設計者向けテクニカルワークショップを開催しています。詳細は、www.sigcon.comをご覧ください。どうか、howie03@sigcon.comまでお問い合わせください。

図1、3、4、9はJohnson氏およびGraham氏の承諾を得て「High-Speed Signal Propagation: Advanced Black Magic」Prentice-Hall、2003年より掲載したものです。

PowerPC405
CPUデバッグ



FPGA
ロジックデバッグ



1人3役の、スーパードクター。

CPUとロジックの
協調デバッグ



ソフト／ハードのデバッグ、実機での連動により、 真の協調デバッグをこれ1台で。Virtex-4FXと Virtex-II Pro (PowerPC405) 専用エミュレータ。

F-Sightの特長

- Virtex-4FXとVirtex-II Pro内蔵 PowerPC405のCPUデバッグに対応
- HDLソース・ウィンドウから、アナライザ観測信号の登録・自動配線が可能 (プロービング機能)
- HDLソース・ウィンドウ上でFPGA内部回路の任意信号値を表示 (クイック・インスペクト機能)
- リードバック機能により、HDLソース上で信号の確認、ブロックRAMの参照が可能
- CPU (ソフト) とFPGA (ハード) の協調デバッグが可能
- アナライザ機能 (標準8ch 拡張オプション32ch)
- FPGAのコンフィギュレーションも超高速
- CPU外部フラッシュメモリ対応
- 手のひらサイズ・軽量・コンパクト設計
- 操作性抜群のデバッガソフト「CSIDE」を標準装備。

F-Sight 2VP-PPCは、ザイリンクス社製Virtex-4FXとVirtex-II Pro専用のデバッグ・ツールです。これ一台で、コンフィギュレーションからFPGAハードウェアとPowerPCソフトウェアの協調デバッグをサポート。コンピューテックスだから実現できたFPGAのハードとCPUのソフトウェア協調デバッグ環境。自在でスムーズなデバッキングを体感してください。

ソフト／ハードの同時デバッグ機能

PowerPC405
CPUデバッグ

- 高級言語レベルデバッグ
- CPUブレイク機能

FPGA
ロジックデバッグ

- HDL対応
- プロービング機能

CPUとロジックの
協調デバッグ

- CPUトレース機能
- アナライザ機能

株式会社コンピューテックス

〒605-0846 京都市東山区五条橋東四丁目432-13 対岸坊ビル
お問い合わせ先→営業部・TEL: 03-3253-2901 FAX: 03-3253-2902

<http://www.computex.co.jp/>

上記URLより製品情報、最新情報、リリース予定、サポート情報、各種ダウンロードなどのホットな情報を御覧いただけます。

低コストFPGAにより変貌を遂げるシステム ランドスケープ

低コストFPGAの登場が新時代の幕開けを予告

Richard Wawrzyniak

Sr. Market Analyst: ASIC and SoC
Semico Research Corp.
richw@semico.com

今日我々は、魅力に満ちたまったく新しい民生機器アプリケーションが突然どこからともなく出現するような、非常に刺激的な時代に生活しています。プログラマブル ロジックが成長を続けその概念が市場全体に広く浸透するにつれて、FPGAがこのような時代のエネルギーを活かすことが可能となります。

FPGA業界は、ムーアの法則に従って進展を遂げてきました。このムーアの法則によると、半導体デバイスで利用できるトランジスタの数は1年半から2年ごとに倍増すると予測されています。設計者が使用できるトランジスタ数が増加し、プロセス技術の微細化がかつてないレベルへと進行すれば、それは直ちにデバイスの性能向上につながり、チップ面積も低減します。

その良い例が、最近導入された90 nmプロセス技術を採用したFPGAです。微細化に伴い、FPGAはこれまで以上のロジック素子とエンベデッド メモリの組み込みが可能となり、同時にソリューションに必要なチップ面積が低減されました。130 nmプロセス技術で製造したデバイスを90 nmプロセスで実現することにより、高性能化に加えチップサイズの縮小化が可能です。チップサイズと歩留まりはデバイスの価格に大きな影響を与えるため、この最新技術を導入した90 nmデバイスは、より低価格で提供できるようになります。

では、これによってシステムのランドスケープはどのように変化するのでしょうか。ある性能レベルをより低い価格で提供できれば、システム設計者は、最終製品の性能を向上させBOMを低減することができます。その結果、システム機器のメーカーに高収益をもたらし、システム機器全体のコスト削減を実現します。

デバイス コストの削減がシステム コストの削減につながるというのは非常に単純に聞こえるかもしれませんが、しかし、真の答えはコスト削減よりもはるかに深いところにあります。より正確な視点で理解するために、FPGA市場とASIC業界全体を促えて、その背景にあるものをみてみましょう。

厳しいデザイン環境

今日の市場環境には、ASIC設計に悪影響を及ぼす一連の傾向が見られます。中でもよく論議されるのが、ASICの開発コストの1つであるNRE（初期開発費）の上昇です。このNRE費用がプロセスの微細化によってどのように増加してきたかを図1に示します。

NRE費用は、主にデバイスの複雑化に伴い増加します。使用可能なゲート数がプロセス ノードごとに増加するにつれて、それらのゲートを市場ニーズに対応するようにデザインに組み込む作業も増大します。

設計者は、マーケット ウィンドウに対応するために最短期間でのデザイン設計が必要であることを認識しているにもかかわらず、新規にSoCデザインを行うためのエンジニアリング リソースや十分な開発費用を持たない場合、NRE費用がゼロないしはそれに近いプログラマブル ロジックは非常に有効な手法となります。

図2は、設計サイクル時間やゲート数、製品のライフサイクルの関係を示しています。設計者は、縮小するマーケット ウィンドウに対応しなければならないというプレッシャに直面しながら、ますます複雑化するデザインと格闘しなければなりません。同様に、短命化の傾向にある製品のライフサイクルに対応することは非常に困難なことです。

このような状況は、最終的にASIC設計者にとってより厳しいデザイン環境をもたらします。デザインの完成前にもかかわらずターゲットとしていた市場が変化してしまう可能性があり、その結果、デザインの変更を余儀なくされます。

さらに、複雑なASICソリューションの開発コストの増加に伴い、そのソリューションがターゲットにする市場規模も拡大する必要があります。仮に、ある複雑なASICの開発コストが3,000億ドル規模だとすると、そのシリコンの初期開発費用を回収するには、ターゲット市場が開発コストの何倍もの規模である必要があります。今日、その初期費用を確実に回収できるほど大きなユニットの生産量を見込めるアプリケーションは、そう多くはありません。

ASICを採用したデザインの減少を招いているこの他の要因として、開発コストの増加、製品ライフサイクルの短命化、マーケットウィンドウの縮小があります。

等式を変える低コストFPGA

ここまで、今日のASICの市場動向について検討してきましたが、次に、低コストFPGAがこの市場にどのように変化をもたらすかをみてみましょう。

設計者は、プログラマブル ロジックの伝統的な強味である低い市場参入コスト、標準部品としての入手の容易さ、短い設計サイクル、デバイス自体のリプログラマビリティ、実用的なアーキテクチャといった特長を、システム ソリューションに活かせるようになります。その上、FPGAはテストデバイスとして使用することが容易



で、さまざまな半導体知的資産（SIP: Semiconductor Intellectual Property）の調査や実証が可能になります。これは、スタンダードセルやSoCの市場では不可能です。ASIC設計者がFPGAを採用すると、従来のスタンダードセルやSoCを使用して1種類のSIPを検査する時間で、何種類ものSIPをテストすることができます。これは、ASIC設計者が最良のシリコンソリューションにたどり着くための大きな助けとなります。

これだけではありません。FPGAはさらなるメリットをASIC設計者に提供します。かつてFPGAデバイスが今よりも高価であった頃、ASIC設計者は、FPGAを使ってプロトタイピングを行い、生産台数が限られた分野にFPGAソリューションを導入してきました。しかし、約3万～10万台単位の生産数（最終アプリケーションの価格依存度による）になると、ASICソリューションへ移行するケースがほとんどでした。この時点で、プログラマブルロジックの採用によって得た多くの資産を放棄したことになります。設計者は、前述のような問題や欠陥があるにも関わらず、これまで伝統的に使用してきたASICのパスへ戻るわけです。

図3に示すように、FPGAの低コスト化により、スタンダードセルやSoCソリューションへの移行の生産ポイントがさらに広がりました。この図では、NREやマスクセットのコスト等の費用を含めたASICソリューションの開発コストと、プログラマブルロジックを使用したシリコンソリューションの開発総コストを比較しています。マーケットウインドウに適合するシリコンソリューションを妥当なプライスポイントで使用できることは低コストFPGAの大きなメリットです。

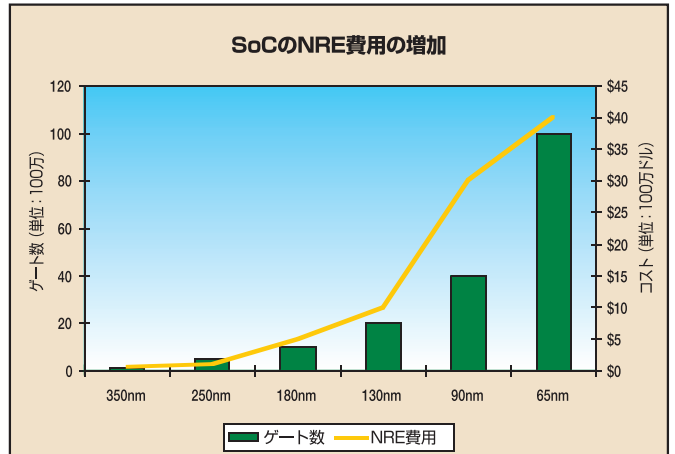
結 論

より進んだ微細加工の実用化に伴い、FPGAベンダは微細化プロセス技術の採用を引き続き促進することにより、ASIC業界でのFPGAは、必要なプライスポイントでの堅固なソリューション提供を実現し、従来ASICが占めた市場へとその用途を一層拡大していきます。

設計サイクルが極めて長いために生産まで漕ぎ着けなかったデザインやエンドシステムソリューションは、FPGAにより、以前に増して多くの成功のチャンスを手に入れます。これまで、重要性の高いマーケットウインドウに対応できなかったという理由でキャンセルになった機会を捉えることができるのです。

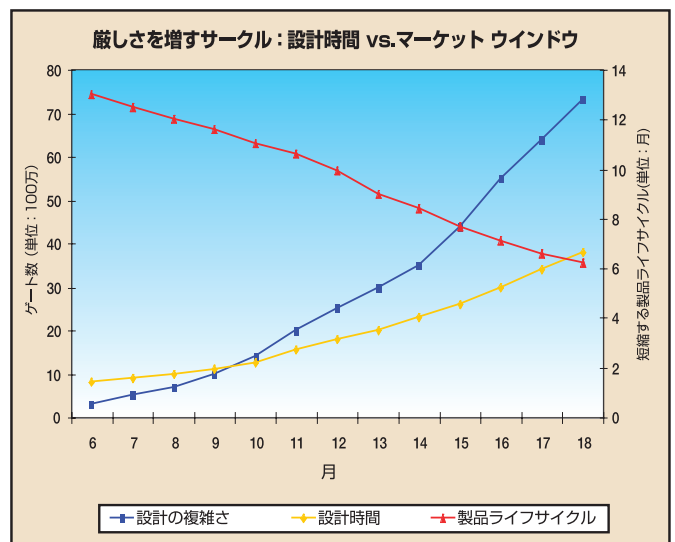
低コストでしかもフル機能搭載のFPGAの導入により、システムのランドスケープは良い方向へ変化しました。今日、ASIC設計者やシステムアーキテクトは、以前よりもはるかに容易にFPGAを生産工程に組み入れ可能になったことを十分認識した上で、プログラマブルロジックソリューションを利用することができます。

図1 プロセス技術の進歩に伴うNRE費用



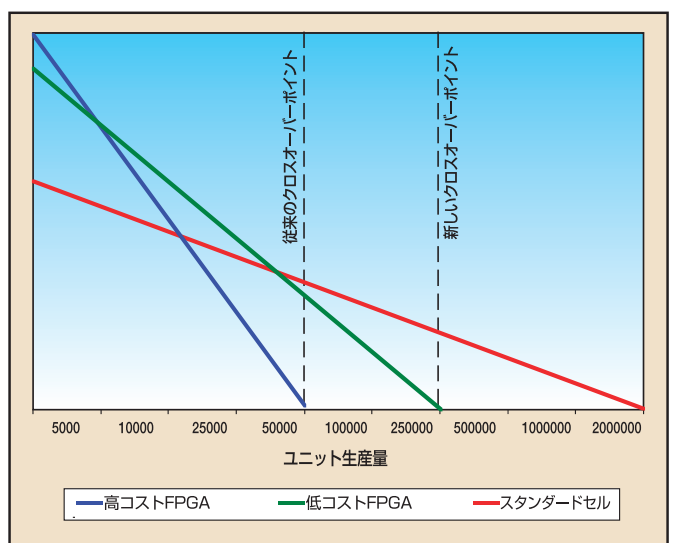
出典: Semico Research Corp.

図2 デザインと市場動向の比較



出典: Semico Research Corp.

図3 生産数から見たFPGA別の採用可能性



出典: Semico Research Corp.

量産プログラマブル革命を リード

PLDを他社に先駆け低コスト システム向けにリードするザイリンクス

Sandeep Vij

Vice President, Worldwide Marketing
Xilinx, Inc.
sandeep.vij@xilinx.com

ザイリンクスは、低コスト/量産アプリケーションの分野にFPGAのマーケット ポテンシャルを見いだした最初のFPGAメーカーです。ザイリンクスは、1998年、この市場向けに設計した最初のFPGA、Spartan™デバイス ファミリを発表しました。今日、SpartanシリーズFPGAは量産向け民生用アプリケーションに広く採用されており、出荷数は1億個を超え、10億ドル以上の累積売上を記録しています。

ザイリンクスは最新製品のSpartan-3Eファミリにより、Spartanデバイスの発表以来、そのデバイスコストを30分の1までに低減すると同時に、プラットフォーム機能の拡充を実現しよりハイレベルのインテグレーションを可能にしました。

ザイリンクスはまた、量産向けPLDには、不揮発性のCPLDソリューションが重要であることも認識しています。ザイリンクスのCPLD製品は、最小コストのXC9500/XLデバイスから超低消費電力のCoolRunner™-IIデバイス ファミリまで、業界で最も包括的なソリューションを提供します。これにより、ザイリンクスはCPLDの市場シェアを16四半期連続で伸ばし、現在では同市場で2位の座に就くことができました。

ザイリンクスは、量産向けプログラマブル ロジック デバイスの市場を開拓し、製品を開発してきました。本号では、この市場向け製品やアプリケーションに関する記事を中心に掲載するとともに、実際にこれら製品を使用しているユーザーからの多数の記事を紹介します。

Table of Contents

低コスト プログラマブル ロジックの新時代を拓くSpartan-3E FPGA...	9
Spartan-3Eファミリに追加されたコンフィギュレーション用新オプション...	11
リコンフィギャブルFPGAによる高解像度Ogg/Theoraビデオエンコード...	14
Spartan-3 FPGAを利用したデジタル信号処理アルゴリズムの実装...	17
Spartan-3 FPGAのDDRメモリアンタフェイス設計	21
新機能を搭載したCoolRunner-II CPLD	23
ザイリンクスのロジック コンソリデータで部材 (BOM) コスト低減	26
CoolRunner-IIのシリコン機能を利用したコスト削減	28
Spartan-3/3Eの機能を利用したデザインのエリア最適化	31
ASSPメーカーに展望を与える低コストEasyPath FPGA	34
Spartanファミリをフラットパネル ディスプレイに採用	38
信号品質の制御	41
変遷するオートモーティブ向けECU設計の現状	44
低コストのPCI Expressソリューション	47

低コスト プログラマブル ロジックの新時代を拓く Spartan-3E FPGA

業界初2ドル以下で入手可能な10万システムゲートFPGA
Spartan-3E XC3S100Eデバイス

Richard Terrill

Senior Manager, High-Volume Products Marketing
Xilinx, Inc.
richard.terrill@xilinx.com

1998年に発表されたSpartan™は、低コストなアプリケーションに最適なプログラマブルソリューションとして設計された世界初のFPGAシリーズです。ザイリンクスは最新製品Spartan-3Eを発表し、Spartan FPGAファミリとしては7品種となり、その出荷数量はこれまでに1億個を超えています。Spartan FPGAは、世界で最も低コストであると評価の高いFPGAアーキテクチャで、何千人もの技術者に使用されています。

ザイリンクスは、ムーアの法則により、かつてない低価格のFPGAであるSpartanを実現しました。このSpartan-3Eファミリは、先端の90 nmプロセス技術を採用したSpartanファミリとして、第三世代目のファミリで、これまで最も低い製造コストを実現しました。この低コスト化により、プログラマブル ロジックは、以前はASICやゲートアレイ テクノロジーが採用されていた量産向け低コストのプロダクション アプリケーションにも応用が可能となりました。

2003年に発表されたSpartan-3ファミリは、I/O重視型のデザインに最適化されており、多くのI/Oを必要とするデザインに最適です。一方、Spartan-3Eファミリは、ロジック重視型のデザインに最適化されており、I/Oと比較してゲート数の高いデザインに適しています。また、旧製品のSpartan-II/IEおよびSpartan-XLファミリは、レガシー デザインや5Vや3.3Vなどの高い電圧を使用するシステムに最適です。

Spartan-3ファミリは、これまでASICやゲートアレイが採用されてきたシステム機器の生産面において目覚ましい成功を収めてきました。たとえば、フラットパネル ディスプレイ システムにおいては、ディスプレイ ドライバの管理や機能の制御を目的にSpartan-3デバ

イスが数多く採用されています。レイアウト後のデザイン変更やマーケットの変化に応じたシステム変更が容易なFPGAは、非常に魅力的なデバイスであると評価される所以です。

Spartan-3Eファミリは、プログラマブル ロジックの低いNRE（初期開発費）と高い柔軟性を保持しつつ、大幅なデバイスコストの削減により、FPGAの適用範囲を量産分野にまで拡張してきました。Spartan-3Eは、ASICとのコストのクロスポイントが25万個に設定されています。これは、総コストだけを考えた場合、25万個以下の量産は、Spartan-3EはASICのソリューションより値段のメリットがあるということです。

Spartan-3Eファミリ

ザイリンクス最新の低コストFPGAファミリであるSpartan-3Eファミリは、プライス ポイントをかつてないレベルまで大きく引き下げました。ザイリンクスは、90 nmプロセス技術と300 mmウェハを採用し、アプリケーション主導のアーキテクチャを選択することにより、従来はマスクプログラム型ASICを採用していた量産分野やアプリケーションにまでFPGAの採用の範囲を拡張しました。Spartan-3Eは、FPGAの中で最も低いロジック当たり単価（CPL: Costs-Per-Logic）を提供します。

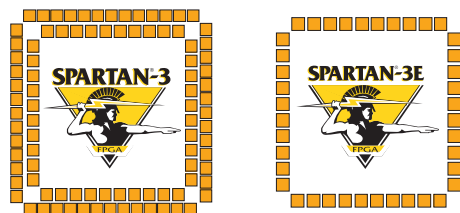
Spartan-3Eは、コスト優先のデジタルコンシューマーアプリケーション向けに設計された製品で、多くの量産/低コスト アプリケーションがこの先進の機能と性能によるメリットを享受することができます。

Spartan-3Eファミリは、10万ゲートのXC3S100Eから最大160万ゲートのXC3S1600Eまでの5品種を用意し、64/66 PCIやMini LVDS、低コスト信号処理に最適な高速エンベデッド乗算器などの機能を追加しながら、いずれも低コスト アプリケーションに対応しています。表1は、Spartan-3Eファミリの主な機能を示しています。

表1 Spartan-3Eファミリの主要機能マトリクス

	Spartan-3E FPGAファミリ				
	XC3S100E	XC3S250E	XC3S500E	XC3S1200E	XC3S1600E
システム ゲート数	100K	250K	500K	1,200K	1,600K
ロジック セル数	2,160	5,508	10,476	19,512	33,192
ブロックRAMビット数	72K	216K	360K	504K	648K
分散型RAMビット数	15K	38K	73K	136K	231K
DCM数	2	4	4	8	8
乗算器数	4	12	20	28	36
I/O規格数	18	18	18	18	18
最大シングルエンドI/O数	108	172	232	304	376
最大差動I/Oペア数	40	68	92	124	156
提供パッケージとI/O数					
	XC3S100E	XC3S250E	XC3S500E	XC3S1200E	XC3S1600E
VQ100 14 x 14 mm	66	66			
CP132 8 x 8 mm		92	92		
TQ144 20 x 20 mm	108	108			
PQ208 28 x 28 mm		158	158		
FT256 17 x 17 mm		172	190	190	
FG320 19 x 19 mm			232	250	250
FG400 21 x 21 mm				304	304
FG484 23 x 23 mm					376

図1 Spartan-3のスタック型I/OとSpartan-3EのインラインI/Oとの比較



ロジック重視型FPGA

Spartan-3Eファミリの特長は、無条件の最小コストを実現できるように最適化されたインラインI/Oリングにあります。図1は、Spartan-3EのインラインI/OリングとSpartan-3が採用しているスタック型I/Oパッド手法の比較を示しています。インラインI/Oは集積度が低いほど有効で、図2に示すように一定のI/O数に対してより多くのロジック数を追加することができます。

ザイリンクスは、チップサイズをさらに縮小できるようI/Oのレイアウトを改良し、また、利用度の低いI/O規格を除外して出力バッファのサイズを変更しました。各I/Oの面積をわずかに縮小しただけで、I/Oパッドを複数個とすることが可能で、この面積の縮小が繰り返されることにより、結果としてかなり大きなエリアの低減を実現します。Spartan-3Eのこのようなアーキテクチャの変更は、多岐にわたる顧客からのフィードバックを反映した結果です。

Spartan-3Eは、Spartan-3デバイスに比べてCPLが低いため、ロジック重視型デザインでは最小コストのFPGAです。これに対して、Spartan-3は、I/O重視型のFPGAデザインに適しています。このように、Spartan-3とSpartan-3Eにより、低コスト システム デザインにおける顧客のニーズに幅広く対応しています。

Spartan-3Eの新機能

Spartan-3Eは、より低コスト化を目的に最適化したインラインI/Oリング以外に、以下の多数の新機能を備えています。

- 低コストの汎用フラッシュ メモリ (SPI/BPI)を使用したコンフィギュレーションのサポート
- PCI 64/66およびPCI-Xのサポート
- DDR 333メモリ インターフェイス
- Mini-LVDS、RSDS
- DCMクロック周波数の入力レンジを最低5 MHz (ビデオに最適)まで拡大
- 325 MHz乗算器を使用することにより低コスト信号処理機能を実現

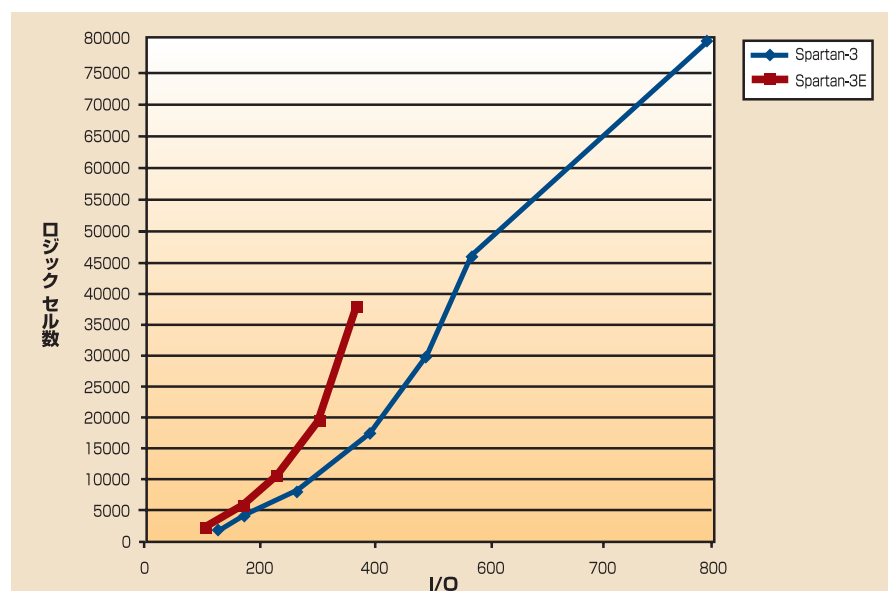
Spartan-3Eの最も重要な新機能の1つとして、低コストの汎用フラッシュ メモリをサポートしています。Spartan-3Eにより、ユーザーは複数のベンダから入手可能な低コストの汎用シリアルEPROMやバイト幅のフラッシュ デバイスを利用して、FPGAをコンフィギュレーションすることができます。そ

のコンフィギュレーション メモリを他のシステム機能に利用したり、Spartan-3Eの制御下で再プログラムしたりすることもでき、システム設計者にきわめて高い柔軟性を提供します。

結 論

Spartan-3E FPGAファミリの登場により、プログラマブルロジックの採用を低コスト システムの製造にまで範囲を拡大しました。Spartan-3Eは、2ドル以下という低価格での提供が可能で、また、大幅なコストダウンを実現したコンフィギュレーション ソリューションであることにより、ますます増大する低コストの量産向け民生機器アプリケーションの最適なソリューションとなるでしょう。

図2 Spartan-3とSpartan-3EデバイスのI/O対ロジック曲線



Spartan-3Eファミリに追加された コンフィギュレーション用 新オプション

汎用的なシリアル パラレル インターフェイス(SPI)フラッシュメモリからの
コンフィギュレーションを、Spartan-3Eで新しくサポート

Steve Knapp

Sr. Applications Engineering Manager
Xilinx, Inc.
steve.knapp@xilinx.com

Ward Williams

Sr. Strategic Marketing Manager
Xilinx, Inc.
ward.williams@xilinx.com

Kirk Owyang

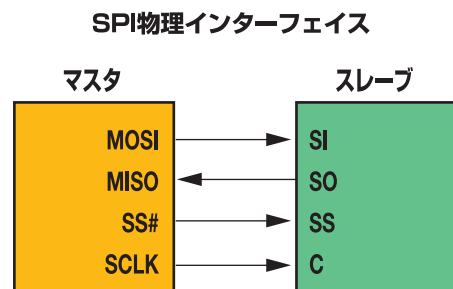
Sr. Solutions Marketing Manager
Xilinx, Inc.
kirk.owyang@xilinx.com

ザイリンクスの新しいSpartan™-3E FPGAファミリは、システム コストを大幅に削減する特長を追加しています。その一つに、低コストな汎用メモリからのコンフィギュレーションを新しくサポートしました。これにより、ユーザーはアプリケーション要求に最も適したコンフィギュレーション メモリ ソリューションを選択することができます。コンフィギュレーション用メモリとして、業界標準の汎用的シリアル ペリフェラル インターフェイス(SPI)PROMや、パラレルNORフラッシュ PROM、価格を抑えたザイリンクスのPlatform Flash、その他マイクロコントローラを備えた低コスト メモリを選択することができます。

Spartan-3Eのコンフィギュレーション ビンは、コンフィギュレーション終了後はすべてユーザー I/Oとして使用できます。この結果、コンフィギュレーション メモリ内の残ったスペースを、エンベデッド プロセッサMicroBlaze™ 用コード、あるいはシリアル ナンバやイーサネットMAC IDなどのアプリケーション データとして活用することができます。SPI PROMやパラレル フラッシュ PROMは、ランダムアクセス可能でバイトアドレス指定可能な読み出し/書き込みメモリとしても機能します。アプリケーションが追加されメモリスペースを必要とする場合は、より高集積のPROMにアップグレードが可能です。ほとんどのSPI PROMおよびパラレル フラッシュ PROMは、集積度が異なっても共通のフットプリントで提供されています。

ザイリンクスのPlatform Flashは、メガビット当たりのコストが低減できるように極めて低価格に設定されており、2個のチップ(FPGA+専用のコンフィギュレーションPROM)で構成されるスタンダードのプログラマブル ロジック ソリューション向けに理想的なソリューションを提供します。このPlatform FlashはJTAGインシステム プログラマビリティや特許取得の圧縮技術を採用し、性能面でも優れています。

図1 SPIの物理インターフェイス



- SPIは4線式の同期シリアル インターフェイス
- SPIマスタデバイスは1個あるいは複数のスレーブと通信
- SPIマスタはすべてのタイミングをSCLKクロック信号により制御
- SPIマスタはアクティブLowのセレクト信号(SS#)によりスレーブを選択
- 接続されているSPIデバイスはすべて共通のシリアルデータ入力、出力、クロック信号を共有

表1 Spartan-3E FPGAがサポートするSPIフラッシュメモリ ファミリー

SPIシリアル フラッシュの供給メーカ	テスト済みのSPIフラッシュ ファミリー
Atmel	AT45DBxxx
NexFlash	NX25Pxx
Programmable Microelectronics Corporation (PMC)	Pm25LVxxx
Silicon Storage Technology (SST)	SST25LFxxxA SST25VFxxxA SST25VFxx *
ST Microelectronics	M25Pxx

表2 必要なSPIデバイスサイズと見積り容量

Spartan-3Eデバイス	コンフィギュレーションビット	最小SPIデバイス容量	コンフィギュレーション後の未使用メモリ
XC3S100E	581K	1 Mb	443K
XC3S250E	1,352K	2 Mb	696K
XC3S500E	2,267K	4 Mb	1,829K
XC3S1200E	3,832K	4 Mb	264K
XC3S1600E	5,958K	8 Mb	2,234K

SPIフラッシュ PROMは、量産向け民生用電子機器に広く使用されています。このようなアプリケーションでは、エンベデッド プロセッサ用のシステム パラメータやコードをPROMに格納します。また、SPIフラッシュ PROMを使用することにより、Spartan-3E FPGA向けに低コストで、しかもより少ないピン数の構成が可能になります。SPIフラッシュメモリのメーカは複数あり、同じパッケージ フットプリントで種々の集積レンジのデバイスが提供されています。

パラレルNORフラッシュは、MicroBlazeソフトコア プロセッサのようなエンベデッド プロセッサを搭載したFPGAアプリケーションに最適なソリューションです。電源を投入すると、FPGAはパラレルフラッシュの一方の端からコンフィギュレーションを開始します。コンフィギュレーションが終了すると、MicroBlazeプロセッサはメモリのもう一方の端から直接実行を開始するか、あるいは外部SDRAMのシャドウ空間にコードを移動します。

SPIとは？

シリアル ペリフェラル インターフェイス (SPI) は、4線式の同期インターフェイスです (図1)。SPIは、もともとCPU、MCU、ペリフェラルなど、SPIプロトコルをサポートするデバイス間のシリアル通信用インターフェイスとして考案されたものですが、今日ではエンベデッド プロセッシングや民生電子機器の市場で広く使用されています。今日、多くのマイクロコントローラが、サードパーティ各社の種々のペリフェラルとともにSPIを採用しています。

SPIフラッシュのメーカ

SPIは標準の4線式インターフェイスですが、市販されている各SPIフラッシュ PROMは、異なるコマンド プロトコルを使用しています。現在、表1に示す5社のメーカ(Atmel、NexFlash、Programmable Microelectronics Corporation [PMC]、Silicon Storage Technology [SST]、ST Microelectronics)のSPIフラッシュ PROMがテスト済みでサポートされています。この他メーカのSPIも現在テスト中で、近い将来サポートする予定です。

メモリ要件

1個のSpartan-3Eのコンフィギュレーションには、約600Kから6Mビットのメモリが必要になります。これは、今日の大容量のSPIにとってわずかなメモリ容量にすぎません。表2は、Spartan-3Eデバイスの品種ごとに必要なコンフィギュレーション メモリ容量と最小限必要なSPIデバイスのサイズ、ならびに他の目的に使用できる残りのメモリ容量を示します。なお、FPGAごとに専用のコンフィギュレーション メモリを用意する必要はありません。

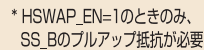
デジチェーンのコンフィギュレーション構成にすると、1個のSPIフラッシュ PROMを複数のFPGAで共有することができます。

SPIへのインターフェイス

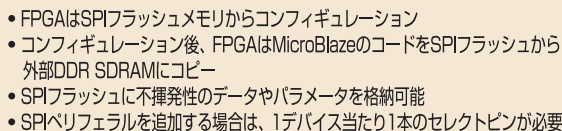
図2は、Spartan-3EとSPIフラッシュメモリ間の標準的な接続を、コンフィギュレーションの手順を制御するために使用されるFPGAのI/Oピンとともに示します。FPGAがSPIフラッシュのコンフィギュレーション モードのとき、VS[2:0]の3本のデュアル目的ピンは、接続されているSPIフラッシュのタイプを定義し、以下のように動作します。

- SPIのコンフィギュレーション モード時(M[2:0] = "001") のみ、この3本のVSピンがアクティブになります。
- NIT_BがHighになると、これらのVSピンがサンプリングされます。

Spartan-3E SPIフラッシュ インターフェイス



例：SPIインターフェイスを再利用



- SPIフラッシュ PROMに十分な容量があれば、MicroBlazeプロセッサ コードや、シリアルナンバやイーサネットMAC IDなどの不揮発性のアプリケーションデータを保存することができます。図3に、SPIフラッシュメモリを複数目的に使用する例を示します。

低コストを誇る新しいSpartan-3E FPGAファミリは、デバイスの低価格に加えて、低価格のSPIとパラレル フラッシュメモリからのコンフィギュレーションを新たにサポートすることで、システムの総コストをさらに削減します。現在Spartan-3Eでサポートしているフラッシュメモリは数種類ですが、数ヶ月後には、さらに多くのメモリベンダがSpartan-3Eのサポートを発表するでしょう。現在サポートされているSPIフラッシュメモリについては、ザイリンクスWebサイトのSpartan-3Eのページwww.xilinx.co.jp/spartan3e/をご覧ください。

リコンフィギャブルFPGAによる 高解像度Ogg/Theoraビデオ エンコード

カスタムASICのアプリケーション領域であった
高性能ビデオエンコーディングを最新FPGAで実現

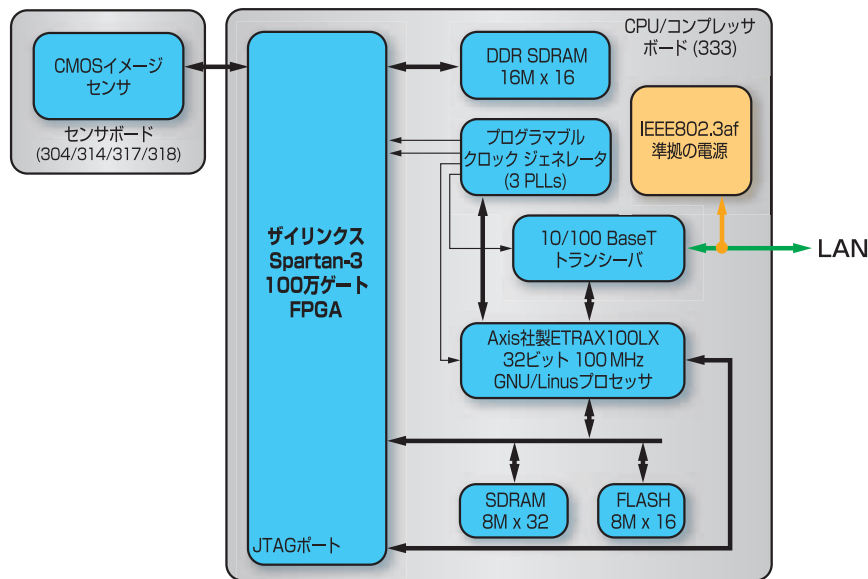
Andrey Filippov

President
Elphel, Inc.
andrey@elphel.com

Spartan™-IIEベースのElphel Model 313カメラについて私が記事（“How to Use Free Software in FPGA Embedded Designs”）を寄稿したXcell ジャーナル2003年春号（46号英語版）は、ザイリンクスのSpartan-3 FPGAに関連した記事が多く掲載されたものでした。この後すぐに、Spartan-3をElphel社の新世代ネットワーク カメラに採用しようと考えましたが、最終的に利用できると判断したのは昨年になってからでした。

Elphel社がこの新しいテクノロジーを採用するのが遅れた要因の1つに、当初はこのデバイス进行处理する適当なソフトウェアがなかったことがあげられます。当社の顧客にとっては、高額なソフトウェア開発ツールなしで当社の製品を変更できることが重要だからです。2004年夏、ザイリンクスのWebサイトにアクセスしたところ、無償ダウンロードが可能なWebPACK™ソフトウェアの最新バージョンが、XC3S1000（小型のFT256パッケージ封止の最高集積デバイス）をサポートしていることを知り、これは、Spartan-3へ切り換える絶好のタイミングであると考えました。

図1 カメラシステムのブロック図



カメラのハードウェア

当社の新製品Model 333カメラ（図1）は、旧型のModel 313と同じくLinuxに最適化したCPU（Axis Communications社のETRAX100LX）を採用していますが、システムメモリは、SDRAMは32 MBに、フラッシュメモリは16 MBに拡張されています。また、次に大きな改良点として、FPGAと連動して機能する専用フレームバッファに32 MBのDDR SDRAMを採用し、大容量化とI/O帯域幅の向上を図って処理能力を高めています。

Spartan-3 DDRのI/O機能により、ボードサイズを拡大せずにメモリバンド幅を向上することが可能になった結果、旧型同様、全システムが1.5×3.5インチの4層ボード上に収まっています（図2参照）。新型のボードは、戸外での使用向けに密閉型のRJ45コネクタが収まるようにデザインされているため、実際のボード面積はさらに小さくなっています。

我々は、小型サイズで高いコンピュータ演算性能を実現し（これによりPC基板上での高速シグナルインテグリティを容易に保持）、リコンフィギュラブルFPGAの柔軟性をシステム全体に提供することを目標に、カメラの回路設計を行いました。リコンフィギュラブルFPGAの柔軟性を提供するために、カメラの回路を、1つはメインボード、もう1つはセンサと最小限の関連コンポーネントのみを含むボードの2つに分割することにしました。メインボード上では、FPGAのI/Oピンをボード内コネクタに直接つなぐため、ピン機能（極性を含む）を特定のセンサボードに適合するように変更できます。旧型のModel 313カメラでは、同様の方法によりさまざまなタイプのセンサがサポート可能になりました（ほとんどのセンサは、ボード設計後に使用可能となりました）。また、11メガピクセルModel 323カメラについても、この方法によりPC基板の変更なしに目標の達成を実現しました。

ビデオエンコーディング方式の選択

プロトタイプカメラの準備が整った後わずか2週間で、Spartan-IIEベースのカメラ向けに開発したコードを修正し、モーションJPEG圧縮をインプリメントするという作業が完了しました。作業の半分は、生成されるビットストリームによって新しいFPGAをどのようににコンフィギュレーションするかを考えることに費やされました。カメラ内では、デバイスのJTAGピンが直接プロセッサのI/Oピンに接続さ

れるため、ザイリンクスのコンフィギュレーションハードウェアに付属のソフトウェアを使用することができず、また、JTAGの命令レジスタは、熟知しているSpartan-IIEでは5ビット幅でしたが、今回は6ビット幅であるという相違点が存在しました。試行錯誤の後、同じコードが125 MHz（旧モデルでは90 MHz）で動作可能であること、また利用可能なスライスのうちわずか36%（以前は98%）のみを使用し、より多くの課題に対応する余地が十分にあることがわかりました。

もちろん、転送または保存するデータが大量なため、モーションJPEGは高解像度/高速フレームレートのカメラにとって必ずしも望ましい選択肢とはいえ、いくつかの困難に直面していました。視点固定型カメラでは、ほとんどの場合、連続するフレームの差がごくわずかなため、このようなビデオストリームを記録すると、ネットワーク帯域幅やハードディスクス

ペースが無駄になってしまいます。しかし、MPEG-2のような規格の場合、このような無駄は発生しない可能性があります。私がカメラに実装しようと考えていたのは、まさにこのMPEG-2規格でした。

しかし、MPEG-2に関する書物を何冊か入手し細かく調べ始めてすぐに、MPEGが連続するフレーム間の共通点を利用できるということだけではなく、MPEGとJPEG間にもう1つ基本的な違いがあることに気づきました。JPEGと異なり、MPEG-2はこの規格をベースとしたエンコーダを使用するためのライセンス料を支払う必要があります。その料金は、ハードウェアのコストと比較してわずかなものでしたが、やはりわずらわしく、自由なインプリメンテーションの妨げになります。

MPEG-2に代わる完璧な規格Theoraを見つけるまでに長い時間はかかりませんでした。これは、On2 Technologies社（www.on2.com）の開発したVP3コーデックをベースとし、無償で使用・修正することができるオープンソースソフトウェアとしてリリースされています（www.theora.org/svn.htmlを参照）。

Theoraは、MPEG-4など低ビットレートのビデオ圧縮方式と競合する先進のビデオコーデックです。現在Theoraは、ビデオコンテンツの配信に共に使用されるトランスポートレイヤ、Oggと同様に、Xiph.org Foundation（ザイフォ財団）によりサポートされています。このビットストリームフォーマットは、安定性が高く種々のオーバーレイティングシステム上で動作するマルチプレーヤによってサポートされています。Theoraは、JPEGやMPEGと同様、二次元の8×8 DCTを使用します。

図2 カメラシステムのボード



FPGAのインプリメンテーション

Elphel Model 333カメラのFPGA用コードは、Verilog HDLで記述されています（図3）。このFPGA用コードはSpartan-3 DDRの機能を使用する8チャンネルのSDRAMコントローラの周囲にデザインされています。メモリ アクセスの構造とデータ マッピングの特別な構成は、いずれも、メモリ帯域幅が最適化されるように考慮されています。この最適化がうまく行われないと、システムのボトルネックとなります。

現在、一般のFPGAのリソース（スライス）の3分の2と、24ブロック中20ブロックのRAMモジュールを使用しているコードの残りには、ビデオ圧縮モジュールや、センサ、システム インターフェイスが含まれます。

カメラ コードの詳細ならびにソース コードについては、Sourceforge（<https://sourceforge.net/projects/elphel>）を参照してください。

結 論

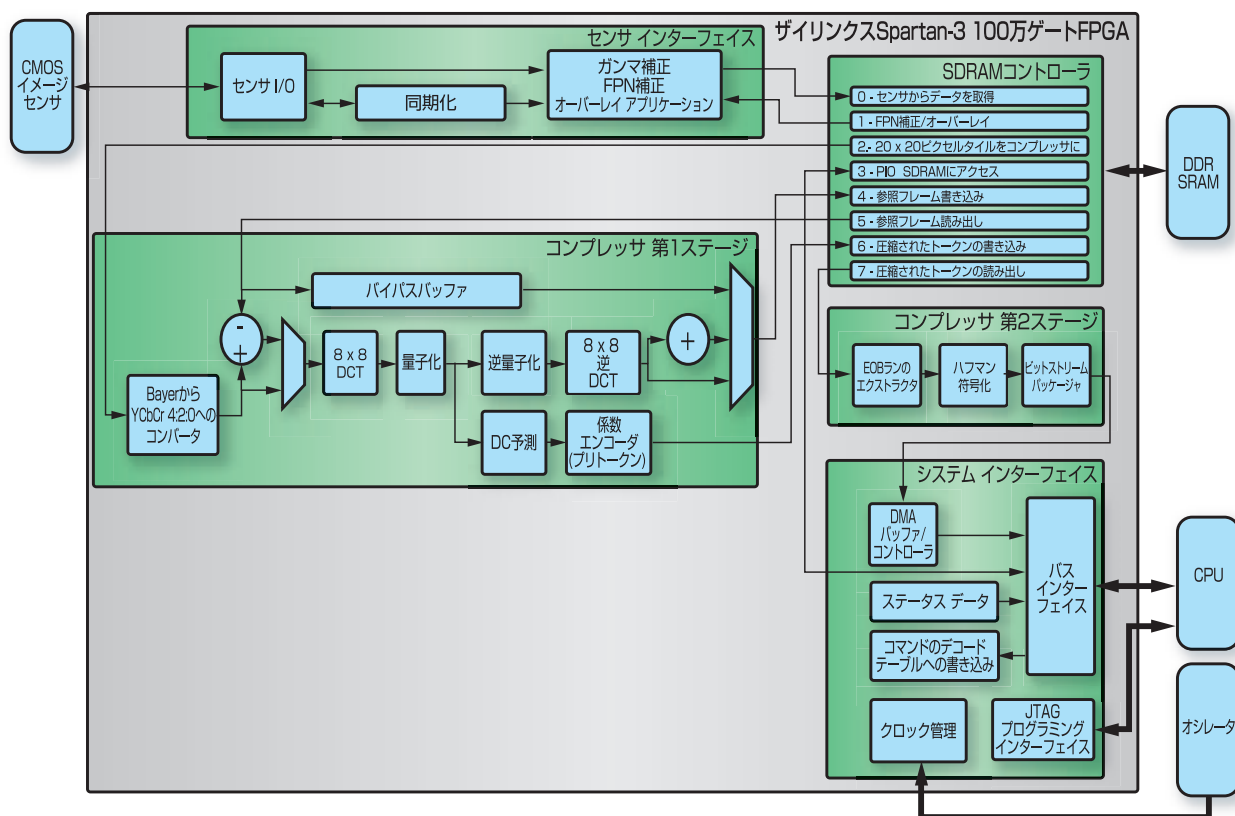
高性能なリコンフィギャブルFPGAにより、1280×1024ピクセルの解像度で30fps(2048×1536の解像度で12fps)を達成可能

な、高速高解像度の低ビットレート ネットワーク カメラを構築することが可能となりました。Spartan-3が提供するDSP機能向けのエンベデッド乗算器や、先進のデジタル クロックマネージャ、DDRのI/O機能、DDR SDRAMコントローラ用に数多く追加されたグローバルクロック ネットワーク、カメラ内の各種テーブルおよびバッファ用の大型ブロックRAMモジュールなどの新機能は、カメラ設計にきわめて有用であることがわかりました。

無償のビデオ エンコーダ(Theora)と、オープンなインプリメント（GNU General Public Licenseより全ソフトウェアとVerilogコードが提供される）により、Elphel社製品にとって2番目に重要な機能が実現可能となります。ユーザーは、開発したカメラを最終製品としてだけでなく、汎用的な開発プラットフォームとしても利用することができます。これは、Spartan-3ファミリの優れた性能と柔軟性の高さを実証するものです。ユーザー自身のコードを追加し、ツールの再実行（FPGAコードとC言語のカメラ用ソフトウェアの両方について）が可能となることで、先進の画像処理をインプリメントした新型カメラを即座に試してみることができます。

詳細については、www.elphel.com、<https://sourceforge.net/projects/elphel/>、www.theora.org をご覧ください。

図3 FPGAコードのブロック図



Spartan-3 FPGAを利用した デジタル信号処理アルゴリズムの実装

特徴抽出とデジタル画像ワーピングに使用される画像処理アルゴリズムとして
FPGAを実装した2つの研究事例を紹介

Paolo Giacon

Graduate Student
Universit  di Verona, Italy
paolo.giacon@students.univr.it

Saul Saggin

Undergraduate Student
Universit  di Verona, Italy
saul.saggin@students.univr.it

Giovanni Tommasi

Undergraduate Student
Universit  di Verona, Italy
giovanni.tommasi@students.univr.it

Matteo Busti

Graduate Student
Universit  di Verona, Italy
matteo.busti@students.univr.it

コンピュータ ビジョンは、人の視覚に特有の機能をコンピュータに持たせることに焦点をあてた人工知能の1分野です。この分野には、動作構造化、画像位置合わせ、カメラ動作検索などのさまざまなアプリケーションがありますが、これらのプリプロセッシングタスクとして最も重要なものの1つが、特徴のトラッキングです。中でも特徴抽出のフェーズは、計算機能が集約されるため、非常に重要です。

デジタル画像ワーピングは、幾何学的空間変換技術を扱う画像処理の1分野です。画像ワーピングは、リアルタイム システムにおける視覚情報の合成、画像モザイク処理、映像安定化など、コンピュータビジョンの一般的なアプリケーションだけでなく、多くの画像分析アプリケーションにおいても重要な役割を担っています。

ここでは、これらのアルゴリズムをFPGAに実装した例について紹介します。

特徴抽出の理論

コンピュータ ビジョンのさまざまなタスクにおいて、我々は、重要な特徴点、すなわち「端点」を見つけることに、関心をもっています。カメラに写る一連の画像内の特徴間の変位を測定すると、その周囲の構造と撮影側の動きの両方の情報を復元することができます。これら特徴点を見つけることは非常に重要です。

図1は、カメラ撮影した画像から抽出された一連の特徴点です。端点は、通常2方向(xとy)での勾配の大きな変化を示します。この点は、一連の画像を通して一意的に一致し、追跡することができます。これに対して、点がエッジ上にある場合、2枚目の画像では、そのエッジ上に存在する多くの他の点に一致する可能性があります。

特徴抽出のアルゴリズム

適切な特徴を選ぶために採用したアルゴリズムは、Tomasi-Kanadeの因子分解法にヒントを得たもので、Benedetti-Peronaの近似式を用いて、この画像の勾配共分散行列の固有値 α と β について考えるものです。勾配共分散行列は、次式で表されます。

$$H = \begin{bmatrix} I_x^2 & I_x I_y \\ I_x I_y & I_y^2 \end{bmatrix}$$

ここで I_x と I_y は、x方向とy方向の画像の勾配（グラディエント）を示します。

したがって、固有値Hに着眼すると、各ピクセルの周辺構造を次のように分類できます。

構造がない場合： $\alpha \approx \beta \approx 0$

エッジの場合： $\alpha \approx 0, \beta \gg 0$

コーナーの場合： $\alpha \gg 0, \beta \gg 0$

図1 カメラ撮影した画像から抽出された特徴点



Benedetti-Peronaの近似式を用いると、固有値をコンピュータで計算することなく、端点を選び出すことができます。

我々は、元の方法を参考にして、浮動小数点演算をまったく必要としないアルゴリズムを考え出しました。このアルゴリズムは、ハードウェアでもソフトウェアでも実現できますが、FPGAテクノロジーに実装することで、リアルタイム性を達成できます。

入力：

- 既定サイズの8ビット グレーレベル画像
(最大512 × 512 ピクセルまで)
- 特徴点の予測数(wf)

出力：

- 選択された特徴のリスト(FL) – 出力形式は以下3 × Nの行列
 - 最初の行にこのリストに含まれる各特徴の信頼度を示す
 - 2行目は、特徴点のx座標を示す
 - 3行目は、特徴点のy座標を示す

本アルゴリズムの解釈

ピクセル(i, j)が、特徴点(端点)であるかどうかを判断するために、我々はTomasi-Kanadeの因子分解法をたどりしました。

まず、この画像のグラディエント(変化度)を算出します。これにより、2 × 2の対称行列G = [a b; b c] が算出されます。この場合の入力データは、ピクセル(i, j)の周辺領域の勾配より得られます。

固有値Gの最小値が閾値よりも大きければ、ピクセル(i, j)は端点です。最小固有値は、コストのかかるハードウェアでの平方根演算を避け、近似法を使用して算出します。

端点検出アルゴリズムを要約すると、次のようになります。

画像の勾配は、事前に定義されたマスクと入力画像との畳み込みという方法で算出されます。このマスクのサイズと値は、画像の解像度により異なります。マスクの標準的サイズは7 × 7です。

- 各ピクセル(i, j)に対し、次のループ処理を行う

$$a_{i,j} = \sum_k^N (I_x^k)^2$$

$$b_{i,j} = \sum_k^N I_x^k I_y^k$$

$$c_{i,j} = \sum_k^N (I_y^k)^2$$

Nはこの領域内のピクセル数で、 I_x^k と I_y^k はこの領域の内側にあるピクセルkの勾配成分を示す

$$P_{i,j} = (a - t)(c - t) - b^2$$

tは整数の固定パラメータ

- $(P_{i,j} > 0)$ かつ $(a_{i,j} > t)$ の場合、ピクセル(i, j) を保持する
- $P_{i,j}$ が局所的に極大でないピクセルはすべて破棄する
- ループ処理終了
- 信頼値の度合に基づいて特徴リストFLを降順に並び替え、その最初のwf項目だけを採用する

インプリメンテーション

高速エンベデッド乗算器を搭載したザイリンクスのSpartan™-3のアーキテクチャは、このアルゴリズムを利用する多くのコンピュータビジョン システムで要求される優れたコスト対性能を満たすことができます。

インプリメンテーションは、4つの基本タスクに分けて次のように行われます。

1. データの獲得 – x軸とy軸に沿って2つの勾配をとり、特性多項式で使用される3つの係数を各ピクセルごとに算出します。この勾配の保存や読み出しには、バッファを利用します(Spartan-3 ブロックRAMを使用してインプリメント)。
2. 特性多項式の値の算出 – この値は、特定のピクセルに関する特徴を分類するために重要です。特性多項式微積分法で使われる乗算を、Spartan-3に搭載のエンベデッド乗算器を用いてインプリメントしました。
3. 特徴のソーティング – 算出した特徴値をブロックRAMに保存し、逐次比較方式でそれらを順を追ってソーティングします。
4. 最小距離を確保 – 特徴の間に最小距離を保つために行います。最小距離を確保しないと、最も重要な特徴の周囲に多くの特徴が集中してしまいます。最小距離の確保は、ブロックRAMを使用して実現され、最も重要な特徴の周辺に非検出領域を設け、その領域では他の特徴が選択されないようにします。

Spartan-3の理論上の性能

このアルゴリズムは、1秒間に100フレームで最大512 × 512までの種々の解像度でのグレーレベル画像を対象に開発されています。

ザイリンクスのSystem Generatorにより見積られる必要なリソースは次のとおりです。

- 1,576 スライス
- 15個のブロックRAM
- 224個の LUT
- 11個の エンベデッド乗算器

Spartan-3に搭載されているエンベデッド乗算器と豊富なメモリリソースにより、ロジックを効率よくインプリメントすることができます。

特徴抽出のアプリケーション

特徴抽出は、自動ナビゲーションや視覚に基づいた判断や制御を行うシステムなど、制御に関連する実質的な問題を解決するあらゆるシステムのフロントエンドで採用されています。典型的なアプリケーションには、動作ビデオの監視、ロボット アーム動作、点や距離の測定、自動誘導車などがあります。

画像ワーピング理論

デジタル画像のワーピングでは、幾何学的空間変換の技術を扱います。

1枚の画像に含まれるピクセルは2つの直交座標 (x, y) により空間的に表されます。幾何学的空間変換をこの画像に当てはめるために同次座標への切り替えを行うと、ただ1つの行列演算によりこの変換を表すことができます。これは通常、第3座標値として、1を加えることで処理されます (x, y, 1)。

一般的には、このような変換は特異点のない 3×3 の行列 H により表され、行列ベクトルの乗算によりそのピクセルの同次座標に次の式で当てはめられます。

$$\begin{bmatrix} H_{1,1} & H_{1,2} & H_{1,3} \\ H_{2,1} & H_{2,2} & H_{2,3} \\ H_{3,1} & H_{3,2} & H_{3,3} \end{bmatrix} \cdot \begin{bmatrix} x \\ y \\ 1 \end{bmatrix} = \begin{bmatrix} H_{1,1}x + H_{1,2}y + H_{1,3} \\ H_{2,1}x + H_{2,2}y + H_{2,3} \\ H_{3,1}x + H_{3,2}y + H_{3,3} \end{bmatrix} = \begin{bmatrix} x' \\ y' \\ w' \end{bmatrix} \Rightarrow (x'/w', y'/w') \quad (1)$$

行列 H は、ホモグラフィまたは共線変換と呼ばれ、スケールファクタ (8自由度を持つ) により定義されます。この変換は、射影座標 (または同次座標) では線形ですが、直交座標では非線形です。

この公式は、ピクセルの変換結果の直交座標を得る際に、FPGA の性能と領域を消費する非常にやっかいな除算演算を行う必要があることを示唆します。このため、我々は、ホモグラフィを特殊化した「アフィン変換」と呼ばれる空間変換の1種を採用することを検討しました。この変換方式により、除算をしなくても、次のような良好な測定結果を得ることができます。

$$\begin{bmatrix} A_{1,1} & A_{1,2} & A_{1,3} \\ A_{2,1} & A_{2,2} & A_{2,3} \\ 0 & 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} x \\ y \\ 1 \end{bmatrix} = \begin{bmatrix} A_{1,1}x + A_{1,2}y + A_{1,3} \\ A_{2,1}x + A_{2,2}y + A_{2,3} \\ 1 \end{bmatrix} = \begin{bmatrix} x' \\ y' \\ 1 \end{bmatrix} \Rightarrow (x', y') \quad (2)$$

アフィン変換には、回転、変換、拡大縮小、そしてこれらすべての可能な組み合わせを含む、平面変換のさまざまな種類があります。このアフィン変換を、並列処理が可能な個々の単純な平面変換に置き換えられます。1つのアフィン変換を定義するには、6つのパラメータが必要です。

画像ワーピング アルゴリズム

画像のワープ処理には、2つの一般的な方法があります。

- 前方マッピング
- 後方マッピング

前方マッピングを用いると、元の画像が直線ごとにスキャンされ、結果の画像にピクセルがコピーされますが、コピーされる位置は方程式 (2) で示される線形システムの結果で決まります。このテクニックにはいくつかの問題点がありますが、その最たるものは、画像に大幅な交換 (回転や、1より大きな係数での拡大など) を加えると最終画像に穴ができてしまうことです (図2)。

後方マッピングの手法では、より良い結果が得られます。逆変換 A^{-1} を使用して、最終画像をピクセルごとにスキャンし座標を変換します。この結果、元の画像には2つの非整数座標ができます。元の画像に存在する4つのピクセル値の双1次補間を行って、最終画像のピクセル値を割り出すことが可能です (図3参照)。

このテクニックを使うことにより、最終画像にホールができるという問題を回避できるため、これをハードウェア実装手段として採用しました。

インプリメンテーション

ソフトウェアにこのアルゴリズムを実装することは良く知られており、パーソナル コンピュータやワークステーションが必要とされるアプリケーションに広く使われています。しかし、ハードウェアに実装するには、FPGAに与える効率的な制約を指定するためのさらなる作業が必要になります。

基本的にこの処理は、変換と補間の2つの部分に分けられます。我々は、4つの乗算器と4つの加算器を使い、最初の変換部分を行列ベクトル乗算 (2) として実装しました。2つ目は、補間の実際の結果の概算です。変換結果の4つのピクセル値を、2進小数点以下2ビットで近似して重み付けしました。我々は、補間によって得られるであろう結果を1組の離散値に分けたため、公式の計算を行う代わりに、LUTを使用して、ピクセルの最終値を算出しました。

Spartan-3の理論上の性能

我々は、Spartan-3 デバイスをターゲットに、System Generator for DSP を使用してアルゴリズムをデザインしました。HDLコードを生成し、それを ISE™ デザイン ソフトウェアで合成して、次のようなリソース使用率を得ました。

- 744スライス (1,107個のLUT)
- 164個の SRL16
- 4個のエンベデッド乗算器

このデザインにより、512×512の画像を最大46 fps (フレーム/秒) まで処理することができます。理論的に、Spartan-3を使用したシステムの限界は360+ fpsです。

画像ワーピングのアプリケーション

画像ワーピングは、視覚情報の合成、映像安定化、画像モザイク処理といったさまざまなコンピュータ ビジョン アプリケーションで一般的に使われています。

画像モザイク処理は、共通のリファレンス フレームに対してすべての画像を個別に並べ揃えた後の連続した (一群の) 画像合成を扱います。これらの幾何学的変換は、座標システム間の単純な関係で表せます。

ワーピング処理を通して適切な変換を行い、ワープした画像の重なり合う領域を統合することで、そのシーンの可視領域全体をカバーする1つのパノラマ画像を構成することができます。画像モザイク処理は、実際のイメージに基づいたバーチャル リアリティのきめ細かな立体モデルや景色を作る強力な手段を提供します。画像モザイク処理は、フライト シミュレータ、双方向マルチプレイヤ ゲーム、医療画像システムなどに採用され、実際のパノラマ風景や限定されたバーチャル環境を築きます。

図2 1より大きな係数で拡大する前方マッピング

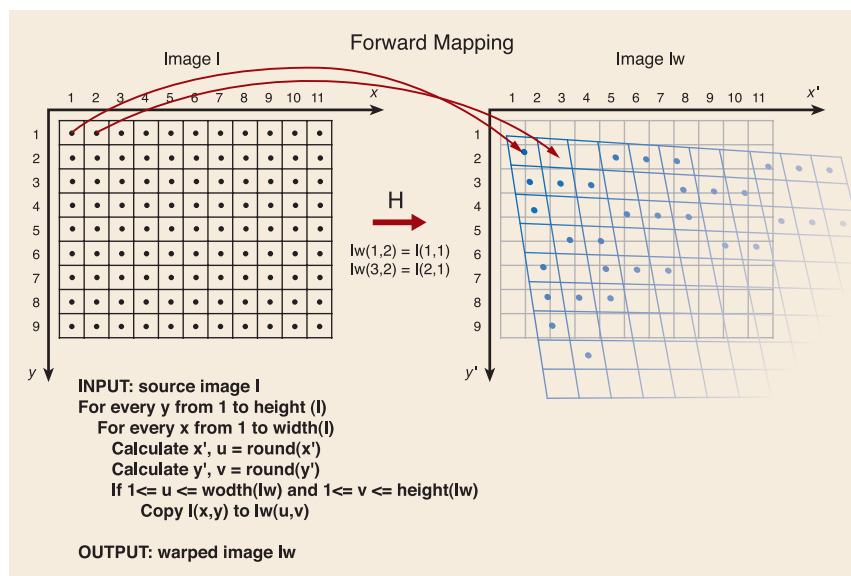
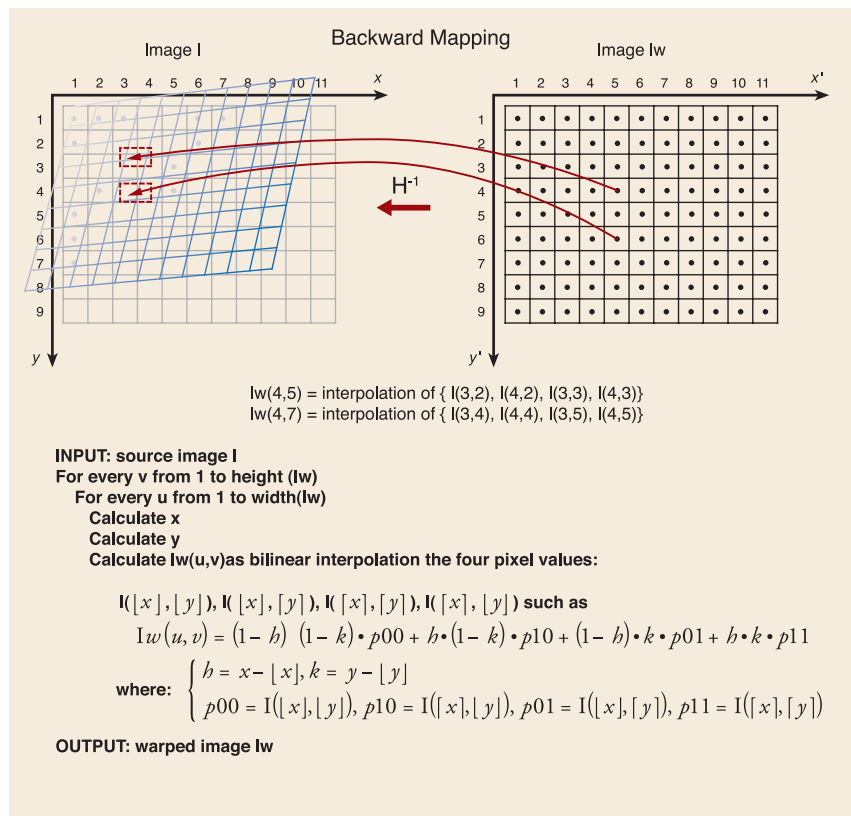


図3 1より大きな係数で拡大する後方マッピング



結 論

効率性や有効性、信頼性の面で優れたビジョンモジュールを、可能な限り高い信頼性でデザインするのは至難の業です。

ザイリンクスのXPERTSパートナーであるUltimodule社とVerona大学VIPS研究室は、Ultimodule社のシステム オン モジュール ファミリを使用して、コンピュータ ビジョンのための基礎プラットフォームを定義しました。このプラットフォームは、3次元データのリアルタイム抽出用ステレオビジョン システムや、視覚に依存した判断や制御を行うアプリケーションに必要なアルゴリズムを実装するリアルタイム画像処理エンジンを提供します。

このプラットフォームは、質と（リアルタイム）算出論理の両面において、高性能で強力なビジョン解析が必要なアプリケーションをサポートします。これらのアプリケーションには、動作ビデオの監視、ロボット アーム動作と制御、自動誘導車、検査と測定、ハザード検出などがあります。このプラットフォームは、システム制御ロジックやメモリ、プロセッシング ハードウェアなど、必要なモジュールをすべて備えたアプリケーション ソフトウェアとともに提供されます。相互接続モジュールにより、複雑なアーキテクチャを短期間で開発することが可能になります。

このプラットフォームは、ザイリンクスのSpartan-3を利用していますが、このSpartan-3は、その柔軟性、優れた性能、信号処理を対象としたアーキテクチャにより、画像処理IPコアのターゲットとして最適です。また、このSpartan-3ファミリは、ASICにとって代わるプログラム可能な有効なデバイスです。こうした特徴がその低コスト構造と相まって、Time-to-Marketが鍵を握る場合に、大きな価値を付与します。

特徴抽出の詳細については、

paolo.giacon@students.univr.it

または saul.saggin@students.univr.it まで
Eメールにてお問い合わせください。

画像ワーピングの詳細については、

matteo.busti@students.univr.it または

giovanni.tommasi@students.univr.it まで
お問い合わせください。🌈

ご助言をいただいた、Verona大学情報学部、VIPS（ビジョン、画像処理、音響）研究室のMurino教授、ならびに貢献いただいたMarco Monguzzi氏、Roberto Marzotto氏、Alessandro Negrente氏に感謝いたします。

Spartan-3 FPGAの DDRメモリインターフェイス設計

ザイリンクスは、カスタマイズされたDDRメモリ インターフェイスを
インプリメントする多くのツールを提供

Rufino Olay

Marketing Manager, Spartan Solutions
Xilinx, Inc.
rufino.olay@xilinx.com

Karthikeyan Palanisamy

Staff Engineer, Memory Applications Group
Xilinx, Inc.
karthi.palanisamy@xilinx.com

メモリ速度はシステム性能の鍵を握るものです。現在、最も一般的に使用されているメモリの形式は、同期型ダイナミック ランダム アクセス メモリ(SDRAM)です。

1990年代後半、システムのさらなる高性能化と記憶データの大容量化が求められたことにより、SDRAMのメモリ速度とテクノロジーは飛躍的に進歩しました。2002年までには、このような要求がますます増大するとともに、DDR266 (初期)、DDR333、そして最新のDDR400という動作速度を備えたダブル データ レート (DDR) SDRAMが標準となりました。

DDR SDRAMは、シングル データ レートであるSDRAMを発展的に拡張したもので、高速化、低消費電力化、コンポーネントの高集積化というメリットを提供します。データは、クロックの立上がり/立下がりエッジの両方でデバイスにクロック入出力されます。ただし、コントロール信号はこれまで同様、立上がりクロックのエッジでのみ変更します。

DDRメモリは、さまざまなシステムやプラットフォームで幅広く

使用されているコンピュータ メモリです。カスタムDDRメモリ コントローラをユーザー ボードにインプリメントするために、ザイリンクスのSpartan™-3デバイスを使用することができます。

Spartan-3とDDR SDRAMとのインターフェイス

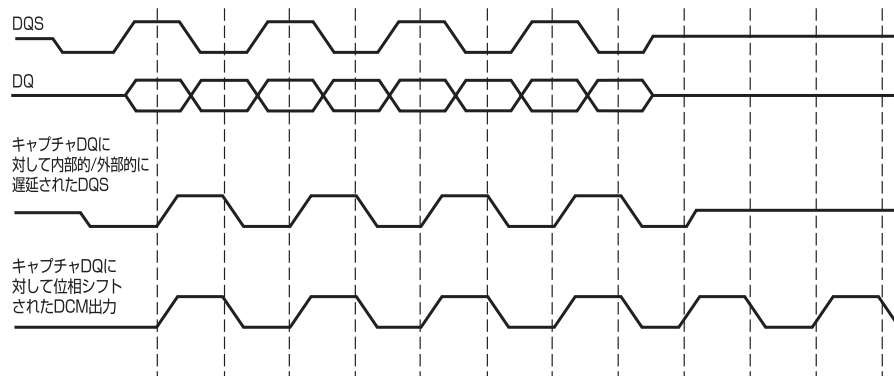
Spartan-3は、最新世代のDDRメモリへのインターフェイスに必要なシステムレベルのビルディング ブロックを提供し、低コスト システムに最適なコネクティビティ ソリューションです。

Spartan-3のすべての入出力ブロック (IOB: Input/Output Block) には、三対のストレージ エLEMENTが含まれています。出力パス上あるいは3ステート パス上のいずれかにある一対のストレージ エLEMENTは、特別なマルチプレクサと共にDDR伝送を実行するために使用されます。この伝送を行うには、クロック信号の立上がりエッジに同期されたデータを取り込み、そのデータを立上がり/立下がりの両方のエッジで同期をとったビットに変換します。マルチプレクサと2つのレジスタとの組み合わせは、ダブル データ レートDタイプ フリップフロップ(FDDR)と呼ばれます。

メモリ コントローラの設計が迅速かつ容易に実現

ザイリンクスは、Spartanデバイス用のメモリ コントローラの構築やテストのプロセスを迅速化できるよう、多くのツールを提供しています。これらのツールには、リファレンス デザインとアプリケーションノート、メモリ インターフェイス ジェネレータ(MIG)、そして 最近新たに加わったハードウェア テスト プラットフォームがあります。

図1 読み出し動作のタイミング図



ザイリンクスのアプリケーションノート XAPP454、「DDR2 SDRAM Memory Interface for Spartan-3 FPGA」では、Spartan-3 FPGAをメモリ コントローラとして使用する方法を、特にMicron社のMT46v32M16TG-6T DDR SDRAMとのインターフェイスに焦点を当てて説明しています。また、この他アプリケーションノートでは、動作理論、主な課題、Spartan-3 FPGAベースのメモリ コントローラのインプリメンテーションについて解説しています。

DDRメモリは、非自由走行ストロブとエッジアライン読み出しデータを使用します（図1）。データ速度が333 Mbpsの場合、マージンを向上させるようにメモリ ストロブを使用する必要があります。ローカル クロッキング リソースを使用することにより、遅延ストロブをデータ ウィンドウの中心に合わせることでデータを取り込むことができます。

FPGA内のリソースを最大限に活用できるよう、グローバル クロック バッファ (BUFG)とデジタル クロック マネージャ (DCM)の使用を最小限に抑える一方で、データの取り込みめにLUTをRAMとして使用するなどのデザイン手法を検討することができます（詳細は、ザイリンクスのアプリケーションノートを参照）。FPGAの左右あるいは上下のいずれかへのインプリメンテーションに関しても、最大限のデータ幅が結果として得られます。このようなインプリメンテーションは、新しいメモリ インターフェイス ジェネレータによって軽減されます。

図2 MIG 007を使用したDDRメモリコントローラの自動構築

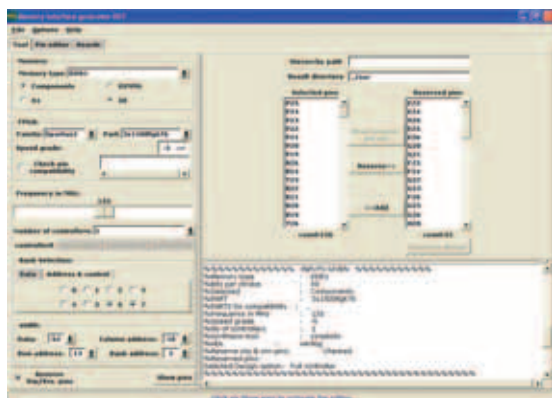


表1 XC3S1500 FPGAにおけるDDR 64ビットインターフェイスのデバイス使用度

機 能	使用数	使用率(%)
Number of Slices	2,277 out of 13,312	17%
Number of DCMs	1 out of 4	25%
Number of External IOBs	147 out of 487	30%

ザイリンクスは、ユーザー独自のコントローラ設計を推奨で行う部分をなくすため、メモリ インターフェイス ジェネレータ (MIG 007)を開発しました。このツールを使用すると、インターフェイスを構築するために、FPGAデバイス、周波数、データ幅、使用するバンクなどのデータの入力を行います。対話型GUI（図2）により、RTLや、EDIF、SDC、UCF、その他関連するドキュメントファイルが生成されます。

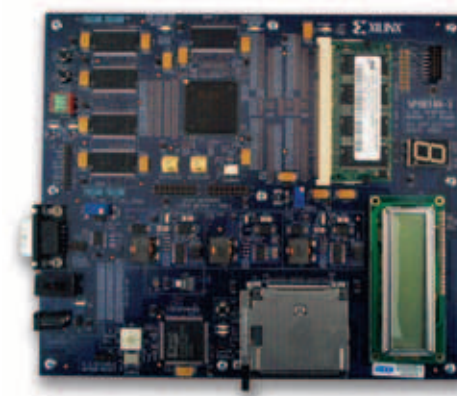
一例として、MIGを使用してSpartan XC3S1500-5FG676向けのDDR 64ビット インターフェイスを構築しました。表1は、インプリメンテーションによって使用されたスライスが全体の17%で、デバイスの80%を超える部分がデータ処理機能に使用できる空き領域であることを示しています。

ユーザー デザインの試行

設計の最終ステップは、実際のハードウェアを使った検証とデバッグです。MIG 007を使用してカスタマイズされたメモリ コントローラを構築した後は、図3に示すように、Spartan-3のメモリ開発キット HW-S3-SL361上にユーザー デザインをインプリメントすることができます。この開発キットは995米ドルで、これは、150万ゲートのSpartan-3 (XC3S1500) をベースとして、以下の機能が新たに追加されています。

- Micron社製64 MBのDDR SDRAM、MT5VDDT1672HG-335、および将来の拡張用に128MBのDDR SDRAM DIMM
- 2ラインLCD
- 166 MHzオシレータ
- ロータリ スイッチ
- ユニバーサル電源85V-240V、50-60 MHz

図3 Spartan-3メモリ開発ボード(HW-S3-SL361)



結 論

システム デザインにDDRメモリが幅広く採用されるようになると、Spartan-3をメモリ コントローラとして使用するのはごく当然のこととなりますし、コントローラのインプリメンテーションは決して難しいことではありません。

アプリケーションノート、GUI、開発ボードの詳細については、www.xilinx.co.jp/products/design_resources/mem_corner/index.htmをご覧ください。

新機能を搭載した CoolRunner-II CPLD

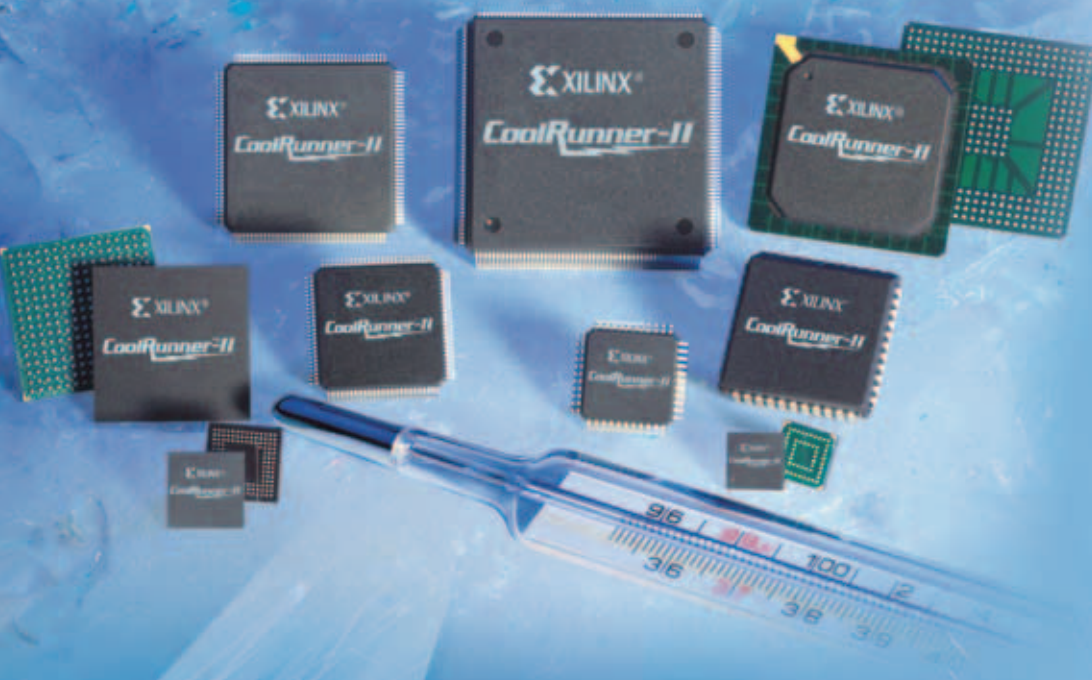
マクロセル数32および64の
CoolRunner-II CPLDがアップグレードして登場

Steve Prokosch,
High-Volume Product Solutions
Marketing Manager,
Xilinx, Inc.
steve.prokosch@xilinx.com

ザイリンクスは、1992年にCPLD市場に参入以来、業界の新規参入者からCPLD市場第2位のサプライヤとしての地位を確立するとともに、現在では、出荷数、売上額ともに市場1位のサプライヤとの差を狭めつつあります。このような成長を達成できた要因には、顧客の要望を的確に把握し、ニーズを満足する先進のアイデアを創出してきたことにあります。

ザイリンクスは、常に改善を重ねることに取り組んできた結果、従来高集積デバイスでのみ使用可能であった機能を、マクロセル数が32および64個のCPLDデバイスにも採用しました。これにより、設計課題に容易に対処できるとともに、総システムのコスト削減が可能になります。機能追加に加え、新しい小型のフットプリント パッケージも提供し、I/O当たりの単価の低減を実現しています。この新パッケージは、ザイリンクスが低コストのバッテリー駆動デバイス市場への引き続きの浸透を図る上で非常に有効なものです。

ザイリンクスのCPLDは、従来CPLDが採用されてきたコンピューティング、データ処理、ネットワーキング、テレコムなどの分野はもとより、CPLDにとって新市場である民生機器（セットトップ ボックス、プラズマや液晶など大画面テレビ）、重要な携帯機器（PDA、ハンドセット、バッテリー駆動機器）などの分野においても、市場シェアを拡大しています。このように、新市場で成功を収め、また従来市場でもシェアの拡大を続けることにより、CPLDはシステムロジック ソリューションとしてさらなる成長が見込まれています。



CoolRunner-II CPLD用の新しいバンキング

ザイリンクスは、マクロセル数が32および64のCoolRunner-II™に、I/Oバンキングという新機能を搭載しました。このI/Oバンキングは、同一のPC基板上で複数の異なる電源電圧レベルを使用するシステムにおいて効果的な機能です。通常、システム プロセッサとその通信対象のデバイス間では、電圧レベルが必ずしも一致しません。このような通信には、シリアルからパラレル変換のようにシンプルなものから、プロセッサがディスプレイとインターフェイスする際のように必須のものがあります。

もう1つの例は、プロセッサをコンパクト フラッシュ (CF) やSD (secure digital) などの外部メモ리카ードに接続する場合です。プロセッサなどの多機能デバイスには、他社との競合や価格に対する絶え間ないプレッシャから、常に先進のプロセス技術を採用する必要があります。このようなプロセス技術では、ウェハジオメトリの物理的特性上、電圧振幅がますます小さくなってきています。

また、メモ리카ードや無線通信、バス アーキテクチャといった市場向け標準化団体による仕様策定は、こういった技術の進歩に比べてゆっくりと進行します。今日のアーキテクチャでは、このギャップを埋めるために、電圧レベルとI/Oの変換が必要になります。入力と出力電圧のスイッチング スレッショルドを電圧規格に適合させる際、注意が必要となります。

設計者は、種々のデバイスタイプごとに制定されたロジックレベルの規格を同じ環境で使うという課題に直面します。これら目的を達成し、設計変更やアップグレードに対応できる、最適なデバイスを使用する必要があります。ディスクリート デバイスは、通常このような問題に対応できますが、コスト増になり、また消費電力やPC基板層、デザインのエリアを拡張させる可能性がでます。また、ディスクリート デバイスは機能が限定されるため、問題を完全に解消するには追加デバイスが必要になる場合があります。部品点数が増えれば、製造中止の可能性のある部品を選択する確率も高くなり、より多くの発注書の作成や、在庫管理が必要になります。さらに、部品点数が増えれば、ボードのアセンブリコストも増大します。しかし、ANDゲートのみが必要な場合は、ディスクリートのロジックデバイスの使用は正しい選択であるといえるでしょう。

しかし、単純なゲート以外に多くのデバイスを必要とする場合はどうでしょう。CPLDの価格は継続して下がり続け、今やディスクリートデバイス並みになってきています。複数のディスクリートを採用している場合には、CPLDの利点はさらに強調されます。

このようにCPLDは、低価格でしかも新たなレベルの高集積化への道を開拓してきました。CPLDは、機能を追加や低コスト化を図ってきた結果、史上初のディスクリート ソリューションと競合し得るデバイスとなりました。たとえば、標準的な

電圧変換デバイスの価格は、個数、パッケージ タイプ、使用するI/O数、そのデバイスのプロセス技術に依存しますが、通常、\$0.5から\$3.5です。CPLDデバイスは、最も低集積で低コスト パッケージを使用した場合、\$1以下で購入が可能、かつ、1個のCPLDで他のディスクリート ファンクション ロジックデバイスより、はるかに多くのメリットを手に入れることができるのです。

マクロセル32および64のCoolRunner-II CPLDにI/Oバンクを追加したことで、他のデバイスと比較し非常に低コストのCPLDデバイスにて、電圧変換や各標準間のI/O変換が可能になりました。また、CoolRunner-II CPLDを使用することにより、以下に示すような利点も提供されます。

- セキュリティ
- 入力ヒステリシス
- オプションの出力制御
- 低消費電力動作
- 異なるI/O数で複数のパッケージを選択可能
- IEEE1149.1バングリ スキャン テスト
- 1.5Vから3.3V範囲で調整可能

これら機能により、CPLDでは、電圧変換の他にさらに多くのことが可能となります。ディスクリートのレベル シフタは特定のタスクを実行するだけなので、特定のI/Oしか選択できずに問題となる場合があります。ザイリンクスのCPLDは、I/O選択が可能で、かつそのCPLDを他の目的にも使うことができます。このようにCPLDは、電圧変換が柔軟で、追加のロジックやI/Oを必要とし、他のシステム機能を集積化したい場合に、より適したデバイスといえます。CoolRunner-II CPLDの機能とパッケージ タイプは表1のとおりです。

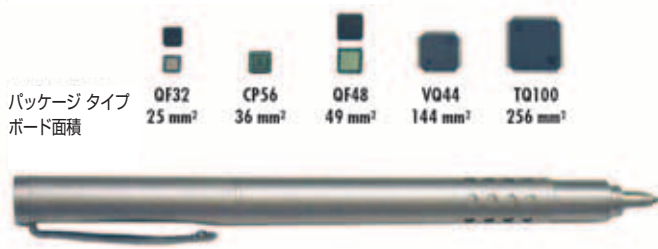
表1 CoolRunner-IIファミリ概要

CoolRunner-II CPLDファミリ						
機能	XC2C32A	XC2C64A	XC2C128	XC2C256	XC2C384	XC2C512
マクロセル数	32	64	128	256	384	512
F _{Toggle} (MHz)	500	500	450	450	450	450
F _{SYSTEM} (MHz)	323	263	263	256	217	217
最大 I/O数	33	64	100	184	240	270
I/Oバンク数	2	2	2	2	4	4
LVC MOS, LVTTTL (1.5, 1.8, 2.5, 3.3)	○	○	○	○	○	○
HSTL, SSTL	—	—	○	○	○	○
DualEDGE	○	○	○	○	○	○
DataGATE, CoolCLOCK	—	—	○	○	○	○
静止消費電力 (μW)	28.8	30.6	34.2	37.8	41.4	45.0
先進のセキュリティ機能	○	○	○	○	○	○
パッケージ(サイズ)			最大ユーザー I/O数			
VQ44 (10 x 10 mm)	33	33				
PC44 (16.5 x 16.5 mm)	33	33				
CP56 (6 x 6 mm)	33	45				
QFG32 (5 x 5 mm)	21					
QFG48 (7 x 7 mm)		37				
VQ100 (14 x 14 mm)		64	80	80		
CP132 (8 x 8 mm)			100	106		
TQ144 (20 x 20 mm)			100	118	118	
PQ208 (28 x 28 mm)				173	173	173
FT256 (17 x 17 mm)				184	212	212
FG324 (23 x 23 mm)					240	270



図1 MLFパッケージの比較

最小コストの小実装面積のパッケージ



低コストパッケージの導入

CPLD製品は、新市場へ展開を図るに伴い、パッケージ形状とコストが重要になってきています。ザイリックスのCPLD担当グループは、顧客ニーズを的確に把握し、より優れた小型パッケージを導入しました。これまで使用されていた高価なチップスケールBGAパッケージに代わる低コストのパッケージで、ほぼ同数のI/Oを備えています。また、図1に示すMLF（マイクロ リード フレーム）パッケージは、小型で多くのI/Oを持っています。

ザイリックスはCoolRunner-IIファミリCPLD用に新たに2種類のMLFパッケージを導入しました。1つは32マクロセル デバイス用の32ピンQFG（クワッド フラット、鉛フリー対応）パッケージで、21本のI/Oを備えています。もう1つは64マクロセル デバイス用の48ピンQFGパッケージで、37本のI/Oを備えています。これにより、高価なチップスケールBGAパッケージと低コストの薄型クワッドフラット パッケージの中間を埋めるパッケージが提供されたことになります。

また、QFN（クワッド フラット）として知られるMLFパッケージは、小型で多くのI/Oを提供しながら、BGAチップスケールと異なり、

組み立てやブローブが容易です。MLFパッケージは、通常の0.5mmピッチの薄型クワッド フラット パッケージ(TQFP)と同様の組み立てが可能です。このため、BGAパッケージと比べてピン配置や半田リフローが非常に容易に行えます。

MLFパッケージは、デバッグ用に外部ピンを持つためTQFPパッケージと同様にブローブが容易になります。これらの特長により、CoolRunner-II CPLDは民生機器向けに最適なソリューションになっています。

MLFパッケージはまた、電気的特性にも優れ、小型化されているため、バルク容量とイングクタン스는TQFPパッケージよりも小さくなっています。

結 論

電圧レベルの変換を考慮してデバイスを選択する場合、多くの選択肢がありますが、CPLDはさまざまな理由で最も優れたデバイスであるといえます。CPLDを使用することにより、ロジック機能の追加が可能で、豊富なパッケージ、低消費電力、コスト不要のJTAGテスト、I/Oオプション、先進のセキュリティ、コスト低減など多くの利点が提供されます。ユーザーは、現在使用しているピン配置のまま新しいI/Oバンキング機能の利点を得ることができます。

CPLDの使用方法に関する詳細はwww.xilinx.co.jp/cpld/をご覧ください。

設計には、使い易いソフトウェアを無償でご利用いただくことが可能です。その最新のISE™ WebPACK™ソフトウェアはwww.xilinx.com/products/design_resources/design_tool/index.htmからダウンロードが可能です。このような設計ツールとワールドクラスのサポートを提供するザイリックスCPLDは、ディスクリートのロジックデバイスに代わるロジック ソリューション向けの最適なデバイスといえます。

選ばれるCPLD。 それはRealDigital™ CPLD。

最新の技術革新を遂げたCPLDをお使いでないとしたら、それはCPLDを最大限に活用しているとは言い難いでしょう。ザイリックスの1.8V CoolRunner-II RealDigital CPLDは、完全デジタルコアにより、高性能と低消費電力、そしてユーザの求める数々の機能をコストアップすることなく実現します。

業界最高クラスのシステム パフォーマンス

CoolRunner-II RealDigital CPLDは、マクロセル当たり最大のI/O数を備え、HSTL、SSTLなどの先進のI/Oインターフェイスをサポートしています。消費電力は動作時、静止時ともに、一般的な1.8Vデバイスの20分の1に抑え、400MHzを超えるシステムパフォーマンスを可能にします。独自のクロック分周器により、チップ外部クロックの分周は不要です。RealDigital CPLDは最小パッケージで最高レベルのデザイン セキュリティを保証します。

CoolRunner-IIの概要	
コア電圧	1.8V
I/O標準のサポート	LVTTL, LVCMOS, HSTL*, SSTL*
I/Oインターフェイス電圧	3.3V, 2.5V, 1.8V, 1.5V
最大I/O数	32~270
性能	最大333MHz
消費電力(静止時)	100µA未満
集積度(マクロセル数)	32~512
使用可能ゲート数	750~12,000
t _{CO} (¹)	3.5~6.0ns
クロックダブラ	あり
クロック分周器	あり*
CoolCLOCK	あり*
データゲート	あり*
パッケージ	CP56, CP132, VQ44, PC44, TQ144, PQ208, FT256, FG324

*マクロセル数:128以上

CoolRunner-IIデザインキット

CoolRunner-IIデザインキットを使用いただくとすぐにCoolRunner-IIでデザインを開始できます。機能搭載ボード、プログラミングケーブル、デザインガイド、ソフトウェアリソースCDなどすべてをご提供いたします。

キットのお申し込みは、最寄りのザイリックス販売代理店にお問い合わせください。詳しくは、www.xilinx.co.jp/cr2/にアクセスしてください。また、CoolRunner-II RealDigital CPLDの高機能デザインツールとして、ISE WebPACK™をご利用いただけることもお忘れなく。ISE WebPACKは、今すぐインターネットから無償でダウンロード可能です。

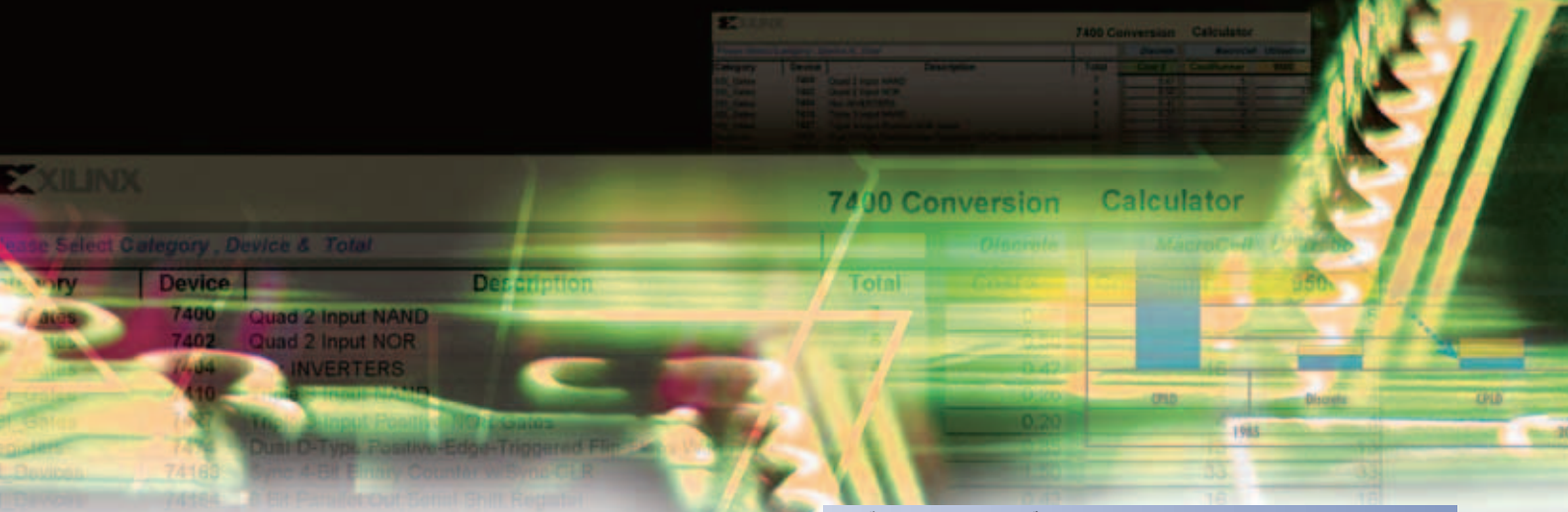
CoolRunner-II

XILINX

The Programmable Logic Company™

ザイリンクスのロジック コンソリデータで 部材(BOM)コスト低減

ボード上のディスクリート ロジックのトータルコストの削減やザイリンクスCPLDの使用により見込まれるコスト低減の解析を支援するロジック コンソリデータ



Monita Chan

Product Marketing Manager, High Volume
Xilinx Hong Kong
monita.chan@xilinx.com

Ajay Panicker

Field Applications Engineer
CG-CoreEl, India
ajay@cg-coreel.com

既存のシステム デザインをアップグレードする際、システムを改良しコスト削減を図ることは重要なトレンドとなってきました。すなわち、企業は競争力を高揚させるため、既存製品の機能セットに改良を加えトータル コストの削減を図り、より多くのシステムをより低価格で提供する必要があります。

従来のシステムでは、デザインに必要なグルーロジックや制御ロジックをインプリメントするために、常にディスクリート ロジックデバイスが使用されてきました。ディスクリート ロジックが選択された主な理由は、低価格で入手が可能だったことにありました。しかし、ディスクリート ロジックは、ボード面積や消費電力、プログラマビリティの点から最適な選択ではありませんでした。

プログラマブル ロジック デバイスの導入により、プログラマビリティや柔軟性、ならびにより高レベルの統合化がもたらされました。しかし、同時にディスクリート デバイスを上回るコスト増も招きました。

プログラマブル ロジック デバイスのコストは、過去10年間の製造プロセスとパッケージング技術の進歩により大幅に低減されました。今日では、CPLDの単価はディスクリート ロジック デバイスと置き換え可能なレベルまで下がり、かつ、高性能、デザインの柔軟性、リプログラマビリティ、信頼性といった利点を保持しています(図1)。

ロジック コンソリデータ

ザイリンクスはロジック コンソリデータ (Logic Consolidator) という解析ツールを提供しています。このツールは、複数のディスクリート デバイスの代わりに1個のCPLDを使用することでコストとボード面積をどれだけ低減できるかを即座に正確に見積もることができます。またこのツールは、Microsoft社のExcelがベースになっており、1個のCPLDに集積できるディスクリート ロジック デバイスの数を見積もることができます。ザイリンクスのXC9500XLとCoolRunner™-IIの1万個の金額は、使った7400系ディスクリートロジック デバイスで構成した最も低コストのプラスチック パッケージを1万個の平均金額と比較されます。また、より正確に比較するため、見積書に基づいて独自の価格を指定することもできます。

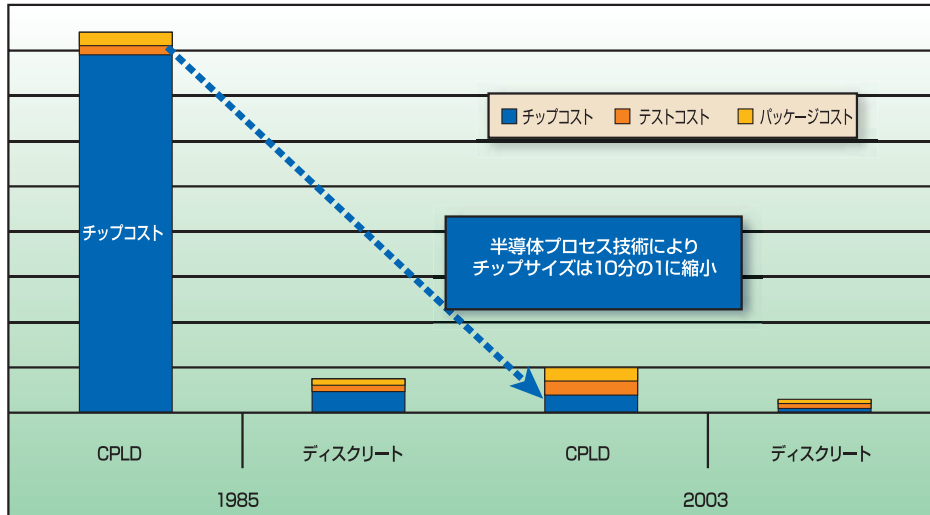
ロジック コンソリデータは、設計者だけでなく管理者にもメリットをもたらします。購買部門の管理者は、このツールを使用して、陳腐化したディスクリート ロジック デバイスのうち、ザイリンクスCPLDとの置き換えが望ましいデバイスの数を示し、アップグレードを妥当とするコスト削減効果を確認することができます。設計者は、種々のディスクリート ロジック デバイスを、どのPLDに置き換えるかを判断するために費やす貴重な設計時間を節約することができます。

本稿では、実際にロジック コンソリデータを使用して解析を行った結果、ザイリンクスCPLDによりディスクリート ロジック デバイスを上回るコストメリットが得られ、何千ドルものコスト削減を実現した例を紹介します。

ケーススタディ

ボード上のディスクリート ロジックの全部を1個のザイリンクスCPLDに統合するという提案に、当初懐疑的であったあるユーザーは、ロジック コンソリデータによる解析結果により、納得することができました。

図1 チップサイズの縮小によりコストを劇的に低下するCPLD



インド最大手のハードウェア設計会社で、ザイリンクスXPERTS パートナでもあるWipro Technologies社は、既存のテレコム製品をアップグレードするプロジェクトに取り組んでいました。そのプロジェクトでは、製造コストの削減と複数の拡張機能の追加がプロジェクトの主な目標でした。ザイリンクスの販売代理店であるCG-CoreEl社のセールスチームは、Wipro社に、初期段階からロジック コンソリデータを導入し、ボード上の複数のディスクリート デバイスと置き換える最適なCPLDを特定する作業を支援しました。

ロジック コンソリデータは、非常にシンプルで、すべてのディスクリート ロジックについてどのCPLDに置き換えるかを最短時間で判断します。図2に、Wipro社が使用したロジック コンソリデータ ツールの画面を示します。

このケースでは、1個のザイリンクス CPLDに統合可能な73個のディスクリート ロジック デバイスを特定することができました。

Wipro社は、XC9500XLデバイスあるいはCoolRunner-IIデバイスのいずれかを使用可能な電源電圧に対応して選択することができました。どちらを選択しても、直ちにBOM (Bill of Material) コストが低減でき (XC95288XLデバイスでは0.74ドル、XC2C256デバイスでは1.81ドル)、同時にCPLDの約40%を超える領域に、機能強化用ロジックを追加するスペースができました。

Wipro社のエンジニアは、このデザインを実際にインプリメントする段階で、ザイリンクスのソフトウェア ツールISE™で最適化した結果、144のマクロセルを持つ次に小さいザイリンクス デバイス XC95144XL-10TQ144Cに、デザインがぴったり収まりました。XC95144XL デバイスの定価は6.45ドルなので、さらにコストを削減することができました。PC基板に関しては、ボード面積を約70%以上、ボード配線は60%以上が低減され、ボード設計時間を50%短縮でき

る可能性があります。

これに、プログラマビリティ、ボード設計の複雑さの軽減、消費電力とEMI (電磁波干渉) の低減による信頼性の向上といった利点を加えた結果、Wipro社は、ザイリンクスCPLDが正しい選択であることを確信しました。

Wipro社は、ロジック コンソリデータの優れた効率と有用性を実感し、このプロジェクトの後も、同社のテレコム製品のアップグレード プロジェクトに含まれるすべてのカードにこの解析ツールを使用することを決めた上、将来のプロジェクトにも利用する計画です。

結 論

ロジック コンソリデータは、ユーザーがさまざまな選択肢のコストを自分で解析できるように支援する強力なツールです。このツールはMicrosoft社のExcelベースで構築されており、使用方法はいたって簡単です。ロジック コンソリデータは www.xilinx.co.jp/products/cpldsolutions/logic_tool.htm よりダウンロードが可能です。また、詳細につきましては、ザイリンクス販売代理店までお問い合わせください。現在、新バージョンでは、より多くのロジック デバイスの選択が可能です。●●

図2 ロジック コンソリデータにより、Wipro Technologies社は複数のディスクリート ロジック デバイスの代わりに1個のCPLDを使用するコストメリットを認識

Please Select Category, Device & Total		7400 Conversion		Calculator	
Category	Device	Description	Total	Discrete Cost \$	MacroCell Utilization
SSI_Gates	7400	Quad 2 Input NAND	7	0.67	3
SSI_Gates	7402	Quad 2 Input NOR	5	0.50	13
SSI_Gates	7404	Hex INVERTERS	4	0.42	16
SSI_Gates	7410	Triple 3 Input NAND	2	0.28	4
SSI_Gates	7427	Triple 3-Input Positive-NOR Gates	2	0.20	4
Registers	7474	Dual D-Type Positive-Edge-Triggered Flip-Flops With Preset And Clear	8	0.85	13
All_Devices	74163	Sync 4-Bit Binary Counter w/Sync CLR	10	1.50	33
All_Devices	74164	8 Bit Parallel Out Serial Shift Register	3	0.42	16
All_Devices	74165	Parallel Load, 8 Bit Shift Register w/Comp Outputs	3	0.27	18
All_Devices	74175	Quad D-Type FlipFlop w/CLR	1	0.14	5
All_Devices	74257	Quad 2 to 1 Data Selector/Mux	3	0.45	8
All_Devices	7485	4-Bit Magnitude Comparator	1	0.28	4
All_Devices	7474	Dual D-Type Positive-Edge-Triggered Flip-Flops With Preset And Clear	2	0.17	3
All_Devices	74253	Dual 4 to 1 Data Selector/Mux w/ 3-State Outputs	4	2.40	5
All_Devices	74257	Quad 2 to 1 Data Selector/Mux	1	0.15	3
All_Devices	74240	Octal Buffer/Driver w/ 3-State Outputs	1	0.12	5
All_Devices	7420	Dual 4 Input NAND	1	0.13	1
All_Devices	7451	Two 2-Wide 2-Input AND-OR-INVERT Gates	1	0.60	1
All_Devices	74258	Quad 2 to 1 Data Selector/Mux	1	0.21	3
All_Devices	74241	Octal Buffer/Driver w/ 3-State Outputs	1	0.18	5
All_Devices	74112	Dual JK FlipFlops w/Neg Edge, CLR & PRE	5	0.90	7
All_Devices	7432	Quadruple 2-Input Positive-OR Gates	5	0.43	13
User Input (Additional MacroCell Est.)			0	0.00	0
Totals			73	\$ 11.25	187
Conversion Analysis			* Est Macrocells assumes 33% reduction due to logic integration		
Cost Summary			CoolRunner 9500		
Target CPLD			XC2C256		
Xilinx CPLD Cost			\$ 9.44		
Discrete TTL Cost			\$ 11.25		
Total Cost Savings /per board			\$ 1.81		
Area Summary			Total MC per device		
			256		
% CPLD Utilization			73.0%		
Additional Logic Capability %			27.0%		

CoolRunner-IIのシリコン機能を利用したコスト削減

CoolRunner-II CPLDの機能により、コンポーネント数の削減、ボード面積の縮小、製造コストの削減を通しPC基板上のトータルコストを低減

Steve Prokosch

Product Solutions Marketing Manager
Xilinx, Inc.
sprokosch@xilinx.com

ザイリンクスは、2001年にCoolRunner™-II CPLDファミリを発表して以来、常にプロセス技術に改良を加え低消費電力化を図ってきました。テクノロジー主導型のメーカは、常にこの低消費電力化を求められています。このCoolRunner-II CPLDファミリには、これまでのリプログラマブル ロジック デバイスに見られない特長があります。それは、さらなる低消費電力化や高速化を可能にするとともに、最も重要な点としてシステムコストを低減する集積化された機能の提供にあります。

CoolRunner-IIの設計チームは、今日のCPLD市場で求められている低コスト性を維持しながら機能を追加する方法を模索しました。この目標を達成するために、機能あたりのコストの観点から、クロック ダブラ、クロック ディバイダ、入力ヒステリシス、I/Oバンキングが考案されました。これにより、最小限のシリコン面積にこれらの機能を組み込むという極めて創造的な手法に到達しました。ある機能をデバイスに追加しようとする際、それにより削減されるシステム コストがチップ サイズの増大に見合うほど大きいものでなければ、その機能のデバイスへの追加は見送られることになりました。このように、機能とコストとのバランスをとることにより、CoolRunner-II CPLDは類のない利点を提供します。

コスト削減をもたらす機能

通常のプロセス技術の微細化により、シリコン コンポーネントのサイズの縮小化を図ることができますが、今回、CoolRunner-II CPLDに搭載された特殊な機能は、この縮小レベルをはるかに超えてデザイン上の総部品点数を削減するものです。このような部品点数の削減は、設計者の創造力次第でいとも簡単に実現しますが、複雑な作業にもなり得ます。削減の範囲は、クロッキング機能から、電圧やI/Oレベルの違いに対する単純なロジック機能の集積化にまでおよびます。CoolRunner-II CPLDの特殊機能の背後にあるアイデアは、機能の集積化により設計作業を簡素化することです。まず、最も基本となるのはクロック生成です。

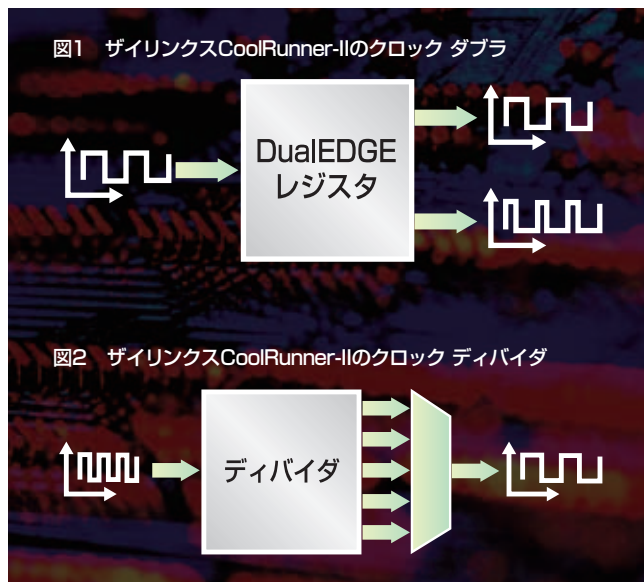
多くのデザインでは、デザインに必要な複数の周波数は1つのクロック ソースですべて生成できるとは限りません。また、PC基板がハンドヘルド機器よりも大きい場合、クロック スキューが関わる可能性があります。CoolRunner-IIは、このようなクロッキング デザイン上の問題を考慮して開発されました。

クロックダブラとディバイダ

CoolRunner-IIには、DualEDGEとクロック ディバイダ（マクロセル数128以上のデバイスに搭載）の2つの機能が搭載されています。DualEDGEフリップフロップが、シーケンシャル動作の性能を向上させるのに対し、クロック ディバイダは消費電力の低減を可能にします。

これらメリットは氷山の一角にすぎません。まず、入力クロックの2倍の周波数を生成できる簡単なクロックダブリング方式から紹介しましょう。この方式は、1つのクロック入力から2つのクロック ソースを生成します。これにより、シリアル データ フローを改善する目的でクロックの高速化が必要となった場合、DualEDGEフリップフロップが最適です。また、パルス幅変調機能の改良やタイマ/カウンタの分解能の向上にも威力を発揮します。このように、デザインの高速動作が求められる部分に対し、別のクロック ソースを使用する必要がありません。

もう1つ重要な点は、クロック入力ピンを節約できることです。つまり、DualEDGEフリップフロップを使用すると、CPLD上の入力ピンを使用することなく自由なクロックが得られます。図1は、DualEDGEフリップフロップを簡略化して示したものです。



クロック ディバイダ機能（図2）は、同様に、有用なI/Oピンを節約した状態で、余分なクロック ソースを除去します。CoolRunner-IIのクロック ディバイダ回路の優れた点は、実際にデューティサイクルが改善されることです。たとえば、入力クロック ソースのデューティサイクルが60/40である場合、内部のディバイダ回路が実際にデューティサイクルを補正します。そのためCPLD内部では、50/50のデューティサイクルが得られます。この機能は、クロック スキューの問題を回避し、さらに複数のオシレータ入力を除去するのに効果的です。

クロック ディバイダは単に2分周するだけではありません。設定によって8種類の分周が可能です（図2参照）。したがって、クロック ディバイダをDualEDGEフリップフロップと一緒に使用すると、複数の組み合わせのクロック周波数を生成することができます。クロック周波数奇数になるという面倒な問題に関しては、クロックの選択肢をさらに増やして奇数の周波数比が得られるように整数分周（6、10、14など）を使用するだけで解決できます。

入力ピン機能

設計チームは、CoolRunner-II CPLDが低消費電力であるという性質から、ノイズの多い環境に置かれるポータブル アプリケーションが存在するかもしれないと考えました。そこから、入力ピンにヒステリシス機能を搭載するというアイデアが生まれました。この機能は、すべてのCoolRunner-II CPLDで使用が可能で、機能追加によるシリコン面積への影響がほとんどなく、多くの利点を提供できます。入力ヒステリシスにより、ノイズ環境の問題は回避され、副次的なメリットとして消費電力が低減します。この電力削減は他のCPLDにはない利点です。

では、コストはどのように低減されるのでしょうか。ヒステリシスは、ピンごとにプログラム可能なため、外部のシュミット トリガデバイスは不要です。このコンポーネントは、安価かもしれませんが、最初のボード製造後に追加された場合のコストが結果的に高つく可能性があります。信頼性を考慮して安全性を見ておくのが賢明です。

一般に見落とされるもう1つのコストとして、PC基板の配線コストと回路基板材料の多層化に伴うコストがあります。基板の層数が少ないほど、常にコストは低くなります。

I/Oバンキング - 電圧とI/O規格の変換

今日、コンポーネントの選択には、広範な選択肢が提供されていることから、入力電圧レベルが同じ部品だけを選ぶ必要はほとんどありません。今日の設計者に求められているTime-to-Marketの要求について考えてみましょう。以前のデザインを一部でも再利用できない場合、新しい製品のリリース サイクルに遅延が発生する可能性があります。たとえば、古いASSPデバイスを使用するデザインは、ユーザーが指定した新しいプロセッサの電圧やI/O構成とは適合しない可能性があります。

この電圧の問題は、1個のCPLDを追加するだけで解決します。それだけでなく、次世代製品向けに市場が要求しているすべての新機能を実現する追加ロジックも手に入ります。さらに、さまざまなI/O規格への対応を考慮する必要もありますが、CoolRunner-II CPLDは、これもユーザーに代わって処理することができます。

これらCoolRunner-IIの機能はコスト削減にどのように関わっているかを見てみましょう。ディスクリート デバイスと低コストのザイリンクスCPLDをコスト面で比較すると、同じ機能をより少ないメモリで実現できる上、はるかに多くのものが得られます。ザイリンクスは、ユーザーがどれだけのコストを節約できるかを示すロジック

コンソリデータ (Logic Consolidator) という無償でダウンロード可能なツールを用意しています (最新版ではさらに多くのデバイスの比較が可能)。この解析ツールはwww.xilinx.co.jp/products/cpldsolutions/logic_tool.htmよりダウンロードが可能です。さらに、比較方法を説明したドキュメントも提供しています。

コスト削減の観点ではこれで完璧とはいえません。シリコン以外にコストがかかる要素が多数あるためです。実際、ディスクリートデバイスとそれに関連する在庫、出荷、組み立て、配線の各コストについて調べてみると、ほとんどの場合、1個に集積されたデバイスのほうが低コストです。CoolRunner-II CPLDによる信頼性の向上や多機能性、低消費電力にも注目してみましょう。

その他のコスト削減案

CoolRunner-II CPLDには、この他にもコスト削減を可能にする優れた機能があります。OTF (on-the-fly) リプログラミングは、余分なコストをかけずにCPLDデザインに2倍の仕事をさせる機能です。OTFを利用した適切な例を紹介しましょう。ボードへの電源投入時に、1個のCPLDを使用してボード上のザイリクスFPGAデバイスをコンフィギュレーションします。コンフィギュレーション完了後、電源管理、ディスクリート ロジック機能の統合、あるいは標準品の修正箇所のインプリメントを必要とする何らかのシステム機能を実行するように、CPLDの再プログラムが可能です。OTFの詳細については、<http://www.xilinx.co.jp/bvdocs/appnotes/xapp388.pdf>を参照してください。

ザイリクスCoolRunner-IIA CPLD用の新しいパッケージオプションは、小型フォームファクタのデバイスのデザインに最適なソリューションです。このパッケージは、一般にマイクロ リードフレームまたはクワッド フラット リードなしとよばれ、非常に小型ですが、価格は標準の薄型クワッド フラット パッケージ デバイスと同等です。このパッケージは最小限のボードスペースしか使用せず、CoolRunner-II CPLDの優れた低電力動作を発揮させる魅力的な手段です。

結 論

本稿で紹介したコスト削減案を是非次回のデザインで活用ください。詳細については、ザイリクスCPLDのWebサイトwww.xilinx.co.jp/cpld/index.htmをご覧ください。

また、紹介した機能に関する具体的な情報については、アプリケーション ノート<http://www.xilinx.co.jp/bvdocs/appnotes/xapp378.pdf>をご覧ください。

CoolRunner-II CPLDの画期的な機能とユーザーの想像力により、デザイン上の問題がより対処しやすいものになることでしょう。皆様のデザインが成功を収めることを願っています。🌈

ザイリクストレーニング

シグナル インテグリティと基板設計の基礎

コースを好評開催中！



デジタル信号の高速化に伴い、シグナル インテグリティが重要視されています。ザイリクス トレーニング サービスでは、FPGAと的高速インターフェースにおけるシグナル インテグリティの基礎をご紹介します2日間のトレーニングコースを開催しています。

2005年6月より好評開催中

Mentor Graphics:HyperLynx によるシミュレーションや、Agilent Technology:TDR測定器を使用した実際の測定など、実践的な演習が豊富なコースです。経験豊富な講師がシグナル インテグリティの基礎から丁寧に説明いたします。

コース開催日、お申し込み (オンライン登録) は下記 URL をご覧ください。定員数に限りがございますのでお申し込みはお早めどうぞ。



<http://www.xilinx.co.jp/education>

※本コースは、アジレント・テクノロジー (株) とザイリクスにより共同開発されました。

ザイリクス認定トレーニング プロバイダ:



Agilent Technologies

Spartan-3/3Eの機能を利用した デザインのエリア最適化

従来ハイエンドFPGAのみに搭載されていた分散メモリ、エンベデッド乗算器などの機能を追加し、より効果的な最適化を可能にするSpartan-3/3Eデバイス

Suhel Dhanani

Senior Marketing Manager, Spartan Products
Xilinx, Inc.
suhel.dhanani@xilinx.com

Ken Chapman

Staff Engineer, General Products Division
Xilinx, Inc.
ken.chapman@xilinx.com

ザイリンクスSpartan™-3シリーズは、豊富な機能を搭載した低コストFPGAで、高速のエンベデッド乗算器、シフトレジスタとして最適にコンフィギュレーション可能なルックアップテーブル、分散メモリ、大容量のエンベデッドブロックRAMを提供します。

これらの機能により、可能な限り最小エリアでのデザインが可能となり、ユーザーデザインにおけるFPGAのサイズ(集積度)が縮小され、その結果FPGAのコストも低減することができます。

Spartanデバイスは、出荷個数が1億個を超え、世界で最高レベルの低コストFPGAアーキテクチャとして短期間で評価を得、何千人もの設計者によって利用されています。ザイリンクスは、Spartanの各ジェネレーションで、より多くのロジックとI/Oを追加し、低コスト化を追及してきました。Spartan-3シリーズ時も、今回、新たにエンベデッド機能を追加改善を加えましたが、使い慣れたSpartanデバイスにより多くの機能を統合しました。表1に、これら機能の利点を示します。

エリア最適化機能

Spartan-3/3Eのアーキテクチャは、メモリ集約型です。このアーキテクチャは、18KビットのエンベデッドブロックRAMを搭載しているだけでなく、ルックアップテーブル (LUT) の半分をメモリとしてコンフィギュレーション可能です(図1)。

分散メモリを搭載する利点として、小型サイズのメモリ構造を多数必要とするデザインを、レジスタやブロックRAMを使い切ることなく非常に効率良くインプリメントして、比類のないデータ帯域幅を実現できることがあります。良い例として、8ビットのPicoBlaze™マイクロコントローラは、Spartan-3/3Eのアーキテクチャ内でわずか192のロジックセル (LC) を必要とします。図2に示すように、これは、レジスタスタック、スクラッチパッドメモリ、プログラムカウンタスタック、プログラムROMが、FPGAのメモリリソースを使用し構成されているために可能になります。

表1 Spartan-3/3Eファミリに搭載された機能

エリア使用率を低減するSpartan-3/3Eの機能	
エンベデッド乗算器	各種DSP機能を高いエリア効率でインプリメント
最大8個のデジタルクロックマネージャ (DCM)	クロック乗算/除算、位相アライメントなどのクロック管理機能をFPGAに集積可能
分散RAM	小型FIFO、LIFOバッファ、スクラッチパッドメモリ、レジスタバンク
18KビットブロックRAM	大型FIFO、バッファ、キャッシュメモリ、プロセス用プログラムストレージ
16ビットシフトレジスタ(SRL16E)としてコンフィギュレーションされたLUT	FIFO、ディレイライン、ステートマシン、ロジックレジスタ、正規集約型デザインにおけるトレードオフ
差動シグナリングのサポート (LVDS、RSDS)	ピン数の削減、低消費電力化、EMIの低減、高ノイズ耐性

図1 CLBの2枚のスライス内のLUTは、16×4、32×2、64×1のいずれかのメモリとしてコンフィギュレーションが可能

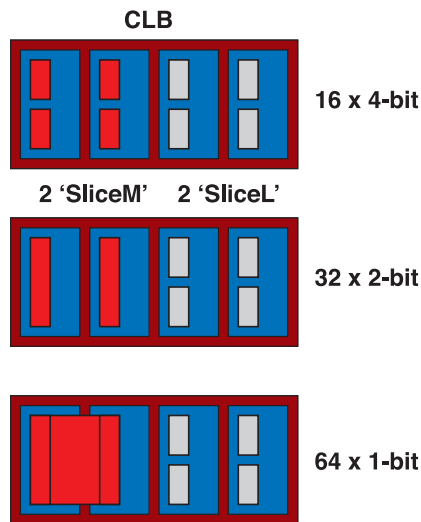
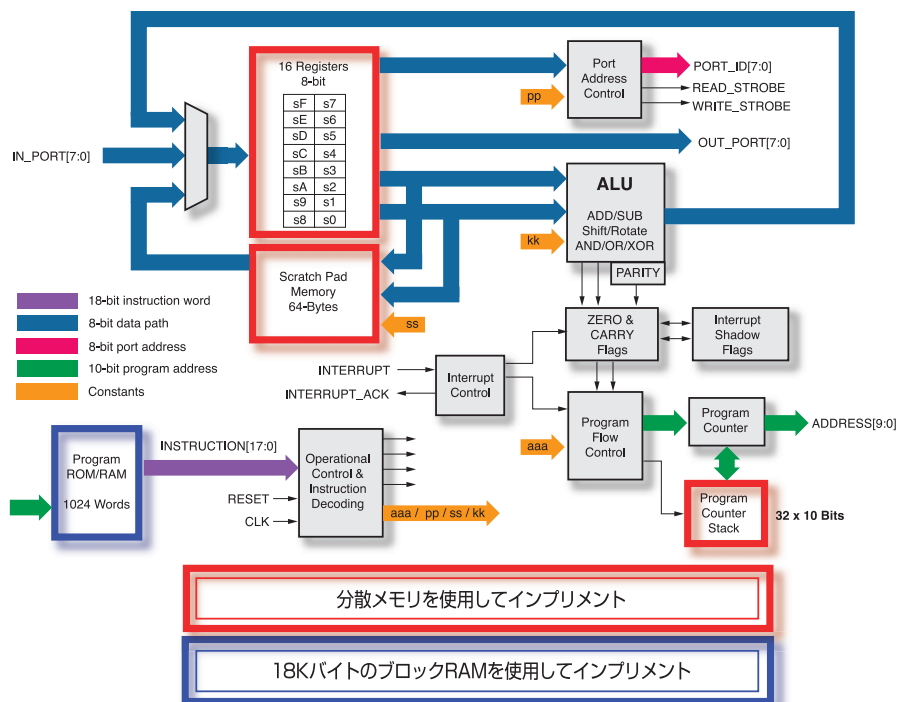


図2 8ビットのPicoBlazeマイクロコントローラは、Spartan-3/3Eのメモリ リソースを効率よく使用することで、192のロジックセルのみで構成可能



SliceM内の4入力LUTは、SRL16Eモードでコンフィギュレーションが可能です。図3に示すように、このLUTは、専用フリップフロップのほかにクロック イネーブル付きの16ビット シフト レジスタを提供します。

このシフト レジスタへ書き込む場合、新しいデータは常にロケーション “0” に配置され、他のデータはすべて1ロケーション移動します。ただし、データはアドレス入力A[3:0]を使用してどのロケーションからも読み出しが可能です。

SRL16Eは、ディレイ ラインをインプリメントする上で極めて費用対効果の高い方法を提供します。たとえば図4は、1つのLUTを使用してデータに対し5サイクルの遅延をどのように生成するかを示しています。単に、データをSRL16Eのデータ入力に入れ、アドレスピンを “0100” にハードコード化して、そのアドレスからデータを読み出すだけです。また、合成ツールにより、この手法を自動的にインプリメントすることができ、各LUTで最大16サイクルの遅延まで設定することができます。

FIFOは、多数のシステム デザインに共通するコンポーネントです。FIFOを構成するための標準的な方法は、メモリの使用によるものです (図5)。読み出しと書き込みを同時に行うために、デュアルポート メモリが必要になります。書き込みアドレスと読み出しアドレスを指定する2つのアドレス カウンタも、必要になります。そこで、FIFOの状態を、フル、エンプティ、ハーフフルのいずれであるかを判定するために、コンパレータ ロジックも必要になってきます。

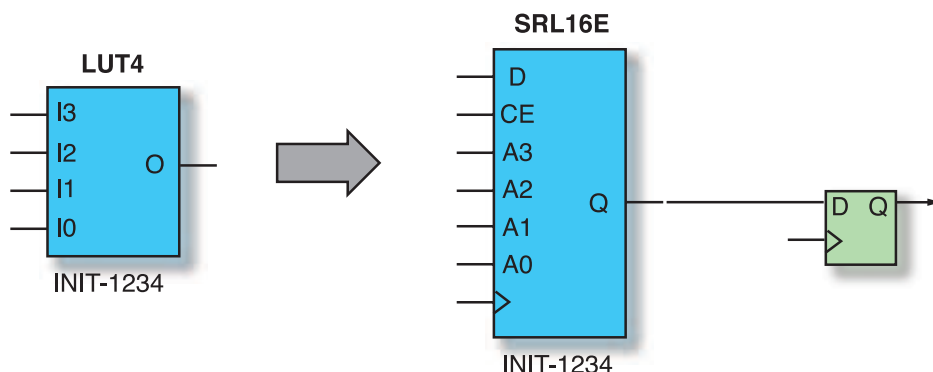
図6では、データ バス幅 (Din) の各ビットに対して1つのSRL16Eを使用し、1個のFIFOをインプリメントしています。SRL16Eは、デュアルポート動作を提供しますが、実際のデュアルポート メモリの半分のスペースを使用します。また、2つのアップ

カウンタの代わりに、アップ/ダウンカウンタが1つだけ必要ですが、これもスペースは半分ですみます。さらに、カウンタ ステータスは、FIFOにワードがいくつ格納されているかを正確に示してくれます。当然、最上位ビットは、非常に有用なハーフフルの状態を示します。

Spartan-3ファブリックで使用可能なエンベデッド乗算器は、さまざまなDSPアプリケーションで役立ちます。各乗算器は、乗算機能のインプリメントに通常必要とされる450ものロジック セルに相当します。

有限インパルス応答 (FIR: Finite Impulse Response) フィルタの多数のインプリメンテーション(基地局、デジタル ビデオ機器、ワイヤレスLAN、xDSL、ケーブル モデム)は、乗算/累算機能を利用します。Spartan-3のファブリックでは、最小限のエリアを使用して、複数のMAC (乗算/累算器) を使用する高性能のFIRフィルタをインプリメントすることができます。このようなMAC集約型の機能は、エンベデッド乗算器を持たない競合他社のFPGAでは、通常、ロジック リソースを大幅に消費することになります。

図3 Spartan-3 FPGA内のLUTの半分は、16ビット シフト レジスタとしてコンフィギュレーション可能



結 論

Spartan-3/3Eの機能は、最小限のシリコンエリアのみを使用し、その結果最小コストのデザインのインプリメンテーションを可能にすることで、コスト削減を図れるように設計されています。Spartan デバイスは、業界最先端の製造プロセスを採用し、最小サイズのFPGAにさらに多くの機能を集積できる機能を搭載しています。

図4 5サイクルの遅延を生成するようにコンフィギュレーションされたLUT

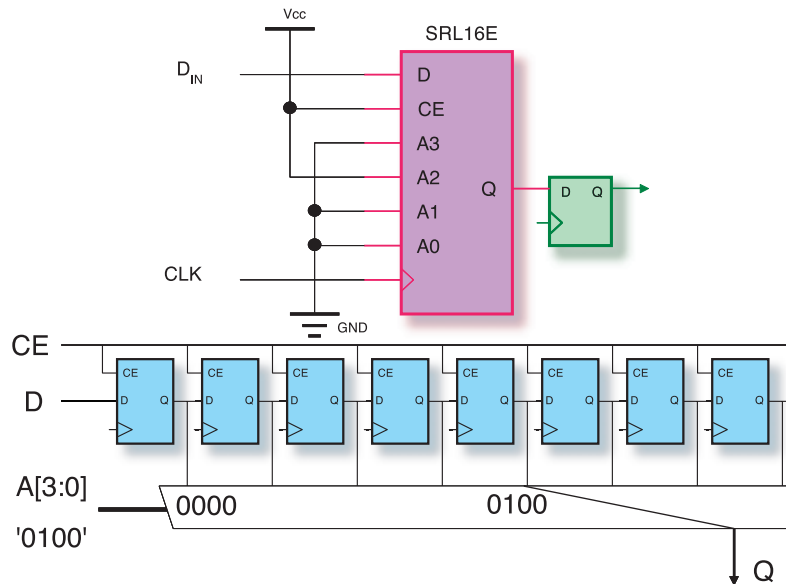


図5 デュアルポートRAMと2個のカウンタを必要とする従来のFIFO

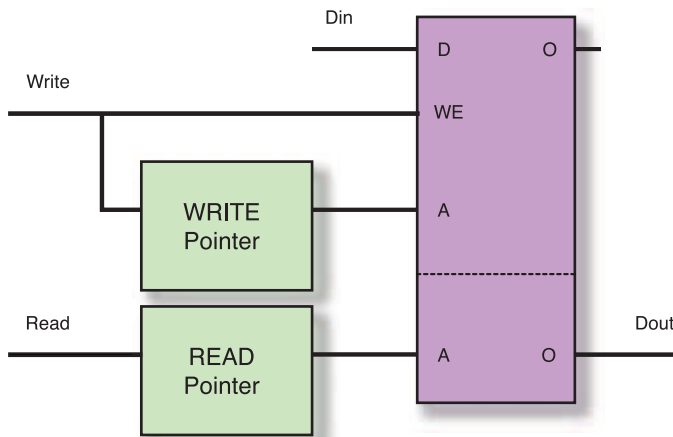
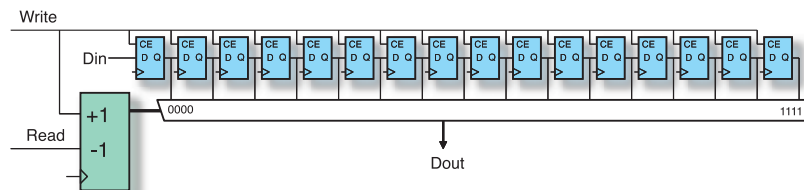


図6 カウンタを1つ使用するSRL16Eモードで1個のFIFOをインプリメント可能
データベースは通常LUT数個分の幅になります



合成ツールでSRL16Eモードをサポート

以下のコードはSRL16Eのフル機能を記述したものです。しかし、合成ツールを使用すると自動的に1つのSRL16Eになります。したがって、全コードは1つのルックアップ テーブルを使用してインプリメントされます。

```
storage: process (clk)
begin
if clk' event and clk=' 1' then
    --enable only applies to the input path
    if input_enable = '1' then
        store0_data <= data_in;
        store1_data <= store0_data;
        store2_data <= store1_data;
        store3_data <= store2_data;
        store4_data <= store3_data;
        store5_data <= store4_data;
        store6_data <= store5_data;
        store7_data <= store6_data;
        store8_data <= store7_data;
        store9_data <= store8_data;
        store10_data <= store9_data;
        store11_data <= store10_data;
        store12_data <= store11_data;
        store13_data <= store12_data;
        store14_data <= store13_data;
        store15_data <= store14_data;
    end if;
    --Select only applies to the output path
    case output_select is
        when "0000" => data_out <= store0_data;
        when "0001" => data_out <= store1_data;
        when "0010" => data_out <= store2_data;
        when "0011" => data_out <= store3_data;
        when "0100" => data_out <= store4_data;
        when "0101" => data_out <= store5_data;
        when "0110" => data_out <= store6_data;
        when "0111" => data_out <= store7_data;
        when "1000" => data_out <= store8_data;
        when "1001" => data_out <= store9_data;
        when "1010" => data_out <= store10_data;
        when "1011" => data_out <= store11_data;
        when "1100" => data_out <= store12_data;
        when "1101" => data_out <= store13_data;
        when "1110" => data_out <= store14_data;
        when "1111" => data_out <= store15_data;
        when others => data_out <= ' X' ;
    end case;
end if;
end process;
```


ASSPメーカーに展望を与える 低コストEasyPath FPGA

ストラクチャードASICより低価格でしかも早いTime-to-Marketと
柔軟性を提供するEasyPath FPGA

Gokul Krishnan

Senior Marketing Manager
Xilinx, Inc.
gokul.krishnan@xilinx.com

半導体業界においてプロセス技術の微細化が進むにつれて、指数的に増大するマスクセットのコストに対応する必要が生じます。90 nm ASICの設計には、NRE（初期開発）費として数百万米ドル以上を投資する必要があります。さらに、設計やデザインに多額の費用がかかることから、製品開発にかかる総コストは膨大な額になります。

ASSPメーカーは、新製品導入に際し増大するプレッシャを抱え、リスクと利益のトレードオフをより慎重に検討する必要に迫られています。または、多額の投資に見合うリターンが期待できる量産向けのインパクトの大きい製品だけを開発せざるを得ない状況に置かれつつあります。

ザイリンクスが近年販売を開始したSpartan™-3 FPGAやEasyPath™ FPGAといった最先端テクノロジーを、幅広いIPコアのポートフォリオと組み合わせることにより、ASSPベンダは、リスクを最小限に抑えつつ、費用対効果の高い手法でより多くの市場機会に対応することが可能となります。本稿では、Spartan-3およびSpartan-3のEasyPath FPGAと組み合わせることで、民生用電子機器向けASSPのベンダが直面する課題にいかに対応するかを説明します。

特定顧客向けFPGA

EasyPath FPGAは標準FPGAと等価なデバイスですが、特許取得のテスト手法を駆使する特定顧客向けFPGAでデバイスの歩留まりの大幅な向上を実現しています。ユーザーデザインがいったん確定すると、ザイリンクスは、そのデザインで使用するFPGA内のリソースのみをテストするカスタムのテストパターンを開発します。この結果高い歩留まりを達成することができ、ユーザーはより低コストでEasyPath FPGAを入手することができます。

EasyPath FPGAを使用して量産を行う場合、等価な標準FPGAと比べてデバイス単価を30～80%低減することができます。特定顧客向けFPGAは、価格が低減されること以外は標準FPGAと同じシリコンを使用しているため、標準FPGAで提供するすべての機能と1対1で対応しています。このため、追加作業をほとんど行う必要がなく、デザインの完成から生産までのコンバージョン プロセスを完全にシームレスに進行させることができます。

さらに、デザインが固定されてから量産までのリードタイムは、8～10週間と短く、ASICによるアプローチでは約12週間かかる場合と比較して非常に有利となります。表1はEasyPath FPGAとストラクチャードASICの比較を示していますが、EasyPath FPGAがより優れたソリューションであることが分かります。

ASSP市場ニーズに対応

従来より、ASSPベンダはFPGAをプロトタイプ用デバイスとして使用し、量産時には単価の低いカスタムASICへ移行するという手法をとってきました。このようなやり方は、0.18μmまでのプロセスノードの場合、低いNRE費により経済・市場のリスクを回避し、複数の製品を市場に導入することを可能としました。

システム インテグレーション、高性能化、低消費電力化に対する要求に伴い、ASSPベンダは0.13μm、90 nmまで微細化を余儀なくされた結果、NRE費は大幅に増加し、デザインは一層複雑になりました。International Business Strategies (以下、IBS) 社の2003年度第4四半期のレポートによると、0.13μm ASICによる製品開発コストは、設計、検証、プロトタイプを含め、1,000万米ドルを超えると予想されています。ASSPベンダはこの開発費を回収するだけでも、40米ドルのASP (平均単価) デバイスを最低25万個販売しなければなりません (図1参照)。この他販売やマーケティングのコストなどを含め、妥当な投資回収率 (ROI) を求めると、デバイスの寿命期間にわたる総生産量はさらに多くなる可能性があります。

一方、特定顧客向けFPGAは、経済的リスクやマーケット リスクを大幅に軽減します。ユーザーは、ある特定のデザイン (あるいは複数のデザイン) からいくつもの変形版を作成し、それらを異なる市場セグメント向けに同時に出荷することが可能です。これは、ASICに比べてNRE費が極めて少額なためです。貴重なエンジニアリング リソースを使って、FPGAデザインをASIC RTLに変換する必要がなくなり、また、検証やシミュレーションに何週間も費やす必要もありません。

表1 EasyPath FPGAはストラクチャードASICと比べてTime-to-Marketと総所有コストの面で多くのメリットを提供

選択基準	ストラクチャードASIC	EasyPath FPGA
サンプル プロトタイプまでの時間	4～8週間	0週
量産までの合計時間	12～15週間	8週
ベンダのNRE/マスクコスト	\$100K～\$200K	\$75K
変換のための設計コスト	\$250K～\$300K	\$0
変換時にツールにかかる追加コスト	\$100K～\$200K	\$0
単価	低い	低い
リスク	高い	低い
インシステム変更の柔軟性	低柔軟性	高柔軟性
プロトタイプから量産への設計変換	追加のエンジニアリング	変換不要

*ザイリンクスによる市場分析

Time to Market

設計サイクルが複雑になり、製品寿命が短く、市場ニーズが常に変化する今日の状況下において、Time-to-Marketを達成することは最も重要なことです。不幸にして、ディープ サブミクロンによるデザインが複雑化するとともに、デザインの開発やデバッグに要する時間は増大し、再設計のリスクが高まります。

ASSPベンダは、ASICの再設計にかかる最低3ヶ月のスケジュール遅延が発生する可能性があり、市場への製品投入が遅れるという重大なリスクを負うことになります。IBS社の2003年の報告に示されるように、市場投入のスケジュールがわずか3ヶ月遅れただけで、その製品の収益は約15%も低減する恐れがあります (図2参照)。民生電子機器の業界で広く見られるように、季節性の高い製品のような場合、スケジュールの遅延はASIC製品では、まったく顧客需要を満たすことができないという事態を招くことにもあり得ます。

特定顧客向けFPGAを使用した場合、ASSPベンダは、市場の不確定要素が除去されるまで投資の決定を延ばすことができます。一度デザインが完成すると、3～4ヶ月先まで計画を立てる必要がありません。業界最高レベルの信頼性と最短のリードタイムを誇る特定顧客向けFPGAを使用することにより、ASSPベンダはコンバージョンプロセスにおいてほとんどリスクを負う必要がありません。さらに、わずか8～10週間で量産へ移行できることにより、ASSPベンダは確信をもって製品を市場に投入でき、絶好の市場機会を的確に捉えることができます。

図1 プロセスノードの微細化とともにASSPの開発コストが上昇、すなわち、妥当な投資回収率の達成には、生産量が多くインパクトの大きい製品の市場投入が必要

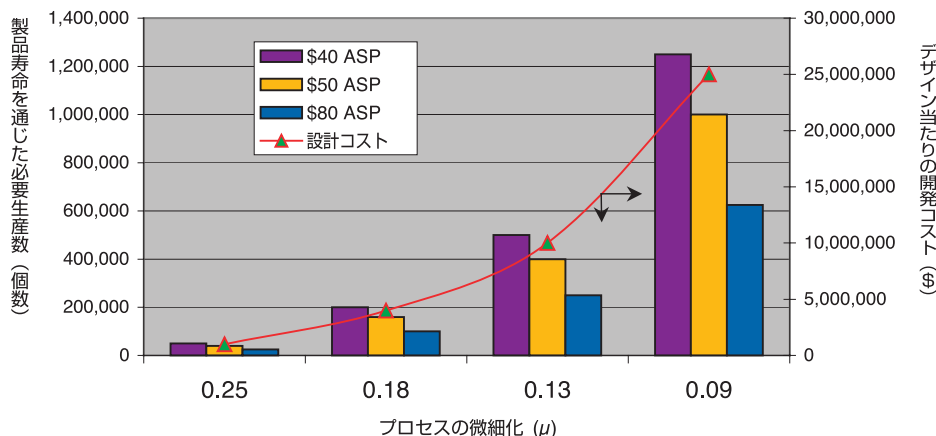
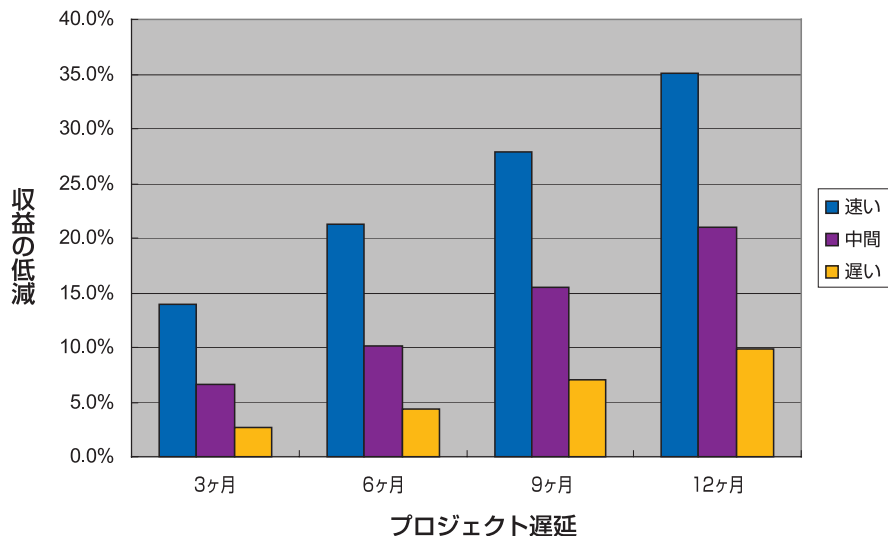


図2 市場動向のスピード別Time-to-Marketが製品収益に及ぼす影響(IBM社2003)



技術的課題

多くのASSPベンダは、絶えず変化する業界標準への対応という共通の課題に直面します。これは、有線テレコムや無線アプリケーションの分野においてとりわけ顕著な傾向で、さまざまな通信規格やインターフェイスの標準化への共同の取り組みが欠如しており、異なるベンダの製品間で互換性が維持されないという状況に陥っています。

標準規格が制定されるまでには非常に長い時間がかかり、ベンダは先行者利益を得ようとするために、早い時期からデザインを固定しなくてはならない場合が多くみられます。ASSPベンダは、最終仕様が標準規格に適合することを見越すか、将来可能なあらゆる組合せを搭載したスーパーセットをインプリメントするか、あるいは、設計を遅らせて、市場参入を遅延するというリスクを負うかを選択する必要があります。いずれの選択も、最良とはほど遠いものです。

ASICと比較した場合のFPGAの主な利点の1つは、仕様変更や設計ミスの発生時に柔軟なデザイン変更ができることです。これまで設計者は、FPGAからスタンダードセルやストラクチャードASICなどの柔軟性に欠けるカスタムソリューションへ移行した場合、この利点を得ることができませんでした。しかし、ザイリンクスが最近開発した特定用途向けFPGAは、低コストを維持しつつFPGAの柔軟性を保持しています。

ザイリンクスのSpartan-3とVirtex™-4 EasyPath FPGAでは、標準FPGAで2種類のデザインをプロトタイプし、生産時にそのどちらのデザインも同時にサポートするEasyPathデバイスに移行することができます。たとえば、1つのビットストリームを使ってシステム全体を診断し、もう1つのビットストリームで、2つめのアプリケーション固有のビットストリームをロードすることができます。つまり、1個のデバイスでデザインが異なる2つの製品向けにインプリメントすることを選択でき、在庫管理上、共通の製品番号をつけるという利点を得ることもできるのです。

さらに、Spartan-3およびVirtex-4 EasyPath FPGAは、製品を市場に投入した後もLUTやI/Oを変更することができます(図3参照)。この結果、小さいバグを修正したり、デザインをさらに最適化するためにある種のパラメータを調整することができます。

たとえば、ルータのラインカードは、接続された負荷に応じて調整されたドライブ強度(とスルーレート)をもつ必要がありますが、EasyPath FPGAを使用すると、あるI/Oに対応する幅広いドライブ強度をインプリメントすることができます。このように、ユーザーごとに対応できる新たなレベルの柔軟性を備えることにより、FPGAの利点を得ながら、ASIC並みの低価格というメリットも享受することができます。

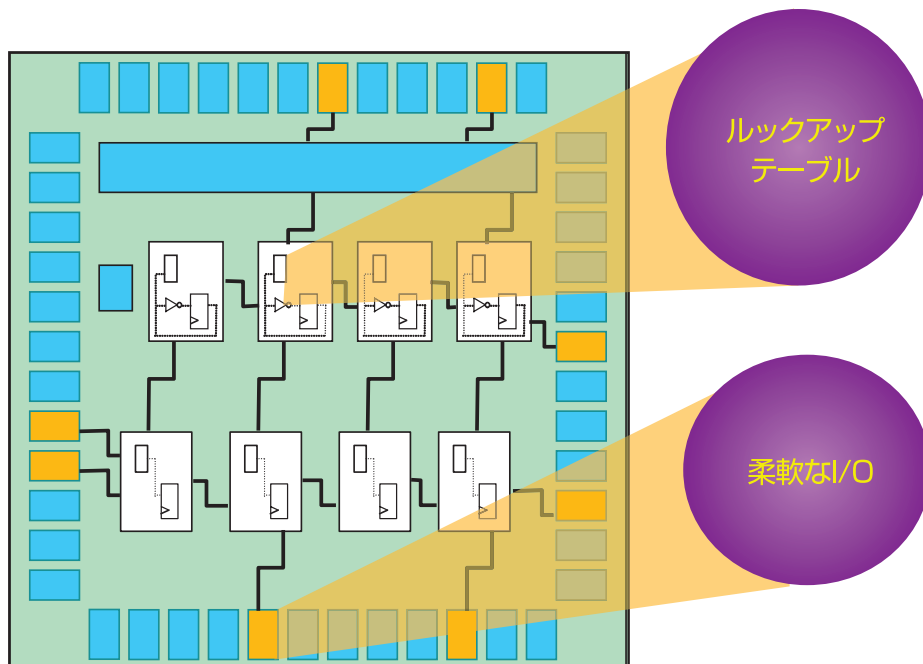
もう1つの重要な問題は、認定済みの信頼性あるIPコアが使用可能かという点です。

ASSPベンダは、プロトタイプ段階でFPGAベンダから豊富なIPポートフォリオを提供されるため、デザインの生産準備が整うと、同じIPコアを使用することができます。その際、追加費用や認定のための追加作業は不要です。一方、ASICソリューションの場合、ASSPベンダは自社で自分の最新IPのポートフォリオを保守するか、あるいは標準のIPブロックを入手し認定のための多額の費用が必要となります。

ケーススタディ: 民生電子機器

民生電子機器の開発メーカは、コストを低く抑えつつ、より多くの機能を搭載しなくてはならない状況にあります。ホーム ネットワーキングは、このような傾向が顕著に見られる分野です。家庭内で無線モデムやケーブル、xDSL、衛星セットトップボックスを介してコンテンツのアグリゲーションと配信を行う必要があります。

図3 EasyPath FPGAによりASSPのユーザーは量産移行後でもLUTやI/Oを変更することでデザインの小さなバグを修正可能



このようなアプリケーション向けチップセットのベンダは、種々の標準規格や暗号化/複合化データストリームを統合できることが必要不可欠です。ザイリンクスのSpartan-3 FPGAおよびSpartan-3 EasyPath FPGAは、Ethernet、IEEE-1394、USB2.0、PCIなどの複数のI/O標準をサポートしているため、機能豊富なデザインを開発することも、最終的な用途別にセグメント化されたデザインを開発することも可能です。その際、追加作業が発生することはありません。また、Spartan-3 FPGAファミリは、セキュリティ重視のアプリケーション向けにAES、DES、TDESなどの幅広い暗号化IPコアを収容した広範なライブラリも提供します。

さらに、Spartan-3 EasyPath FPGAは、SRAMやDRAMなどの各種高速メモリアンターフェイス用に種々のSSTL、HSTL I/Oをサポートするとともに、消費電力が重要な液晶テレビなどのディスプレイ製品向けにRSDS (Reduced Swing Differential Signaling) をサポートしています。

最後に、画像/ビデオ処理のように計算機能が必要なアプリケーション向けに、Spartan-3 EasyPath FPGAのMicroBlaze™ソフトプロセッサ コアは、XC3S5000におけるコア自体の面積を約1%に抑えつつ、MIPSコストをDMIP当たり0.02ドル以下に下げています。これにより、他の周辺デバイス用に十分な領域をつくりつつ、低コストの処理機能を提供します。たとえば、EasyPath XC3S1500 デバイスの場合、米ドル単価は12.95 (50,000個購入時) で、Spartan-3標準FPGAでプロトタイプを作成後、量産時にEasyPath FPGAへ移行することができます。

結 論

ASSPベンダがこれまでずっとFPGAではなくASICへ移行してきた大きな理由として、消費電力、性能、コストが挙げられます。しかし、最近のプロセス技術の進歩により、FPGAの消費電力、性能、コストはASICに近づき、EasyPath FPGAのようなソリューションがASSPに代わる有効な量産デバイスとなりつつあります。

たとえば、ザイリンクスはトリプル酸化膜テクノロジーの採用により、ゲート酸化膜の厚さを選択的に変更することで、特定領域を低消費電力または高性能に最適化することができます。その結果、業界トレンドとは逆に、ザイリンクスの90 nm Virtex-4ファミリのスタティック消費電力は、0.13μWプロセスFPGAデバイスの約半分に低減されています。

性能面では、プロセッサ コアやDSPスライス用に特化されたエンベデッド ハードマクロを使用することで、ASICに匹敵する動作周波数を提供できるようになります。また、コスト面においても、より微細プロセスノードへ移行することで歩留り向上を図り、FPGAとASIC間のクロスオーバーポイントを、より多くの生産ポイントへシフト可能になってきています。

ASSPベンダは、市場の不確定さやリスクや製品開発コストの上昇という2つの側面から圧迫されつつあります。EasyPath FPGAは、これを解決する最適なソリューションです。EasyPath FPGAは、開発コスト全体を大幅に低減することにより、新製品導入に伴うリスクを取り除き、生産までの時間を低減します。この結果ASSPベンダは、本来不採算に陥ってしまう多くの市場セグメントへの対応が可能となります。🌈

ザイリンクス トレーニング

ザイリンクスでは、大規模、高速FPGAを対象にしたFPGA設計コースの各種トレーニングを各地で開催しております。是非ご利用ください。

コース名	日 程	開 催 地
FPGA設計実践	7月 11(月)~12(火)、14(木)~15(金)	東京エレクトロデバイス 横浜会場
	8月 18(木)~19(金)、25(木)~26(金)	メメック ジャパン 東京会場
	9月 8(木)~9(金)	ザイリンクス 東京会場
アドバンスドFPGA設計	7月 14(木)~15(金)	ザイリンクス 東京会場
	9月 28(水)~29(木)	ザイリンクス 東京会場
エンベデッドシステム開発	7月 12(火)~13(水)	東京エレクトロデバイス 横浜会場
	9月 20(火)~21(水)	東京エレクトロデバイス 横浜会場
MGTシリアルIOデザイン	7月 7(水)~8(金)	ザイリンクス 東京会場
	9月 15(木)~16(金)	ザイリンクス 東京会場
DSPデザインフロー	7月 20(水)~22(金)	ザイリンクス 東京会場
Virtex-4デザイン	8月 30(火)~31(水)	ザイリンクス 東京会場
シグナルインテグリティと基板設計の基礎	9月 21(水)~22(木)	ザイリンクス 東京会場

*ザイリンクス販売代理店である東京エレクトロデバイスおよびメメック ジャパンでの上記トレーニングは、両社に在籍するザイリンクス認定インストラクターによるオフィシャルトレーニングです。
*日程および会場は、都合により変更となる場合もございます。最新情報はザイリンクストレーニングWebサイトをご覧ください。

詳細とご登録はこちらから

<http://www.xilinx.co.jp/support/training/japan-learning-catalog.htm>

Spartanファミリを フラットパネル ディスプレイに採用

フラットパネル ディスプレイ市場向に最適なフル機能を
低価格で提供するSpartan-3

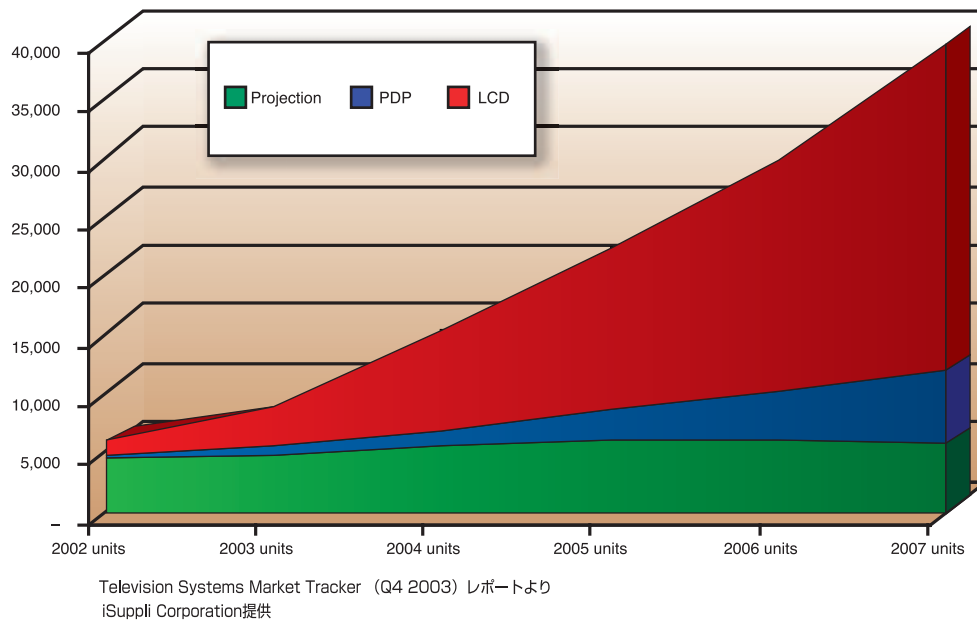
Danny Mok

Product Marketing Manager (High Volume)
Xilinx Hong Kong
danny.mok@xilinx.com

ザイリンクスのSpartan™-3ファミリは、低コストでしかもフル機能を備えた他社にはない優れた製品で、多様なデジタル民生機器の実現を可能にします。Spartan-3 デバイスが幅広く採用されている分野に、フラットパネル ディスプレイ (FPD) 市場があります。

フラットパネル ディスプレイは、新しいタイプの民生テレビで急成長を遂げている市場です。現在この市場には、LCD(液晶)、プラズマ(PDP)、プロジェクション(DLP、投射型) の3種類のフラットパネル ディスプレイがありますが、この3タイプすべてが生産台数を大幅に拡大しつつあります。図1のiSuppli Research社によるグラフを参照してください。

図1 フラットパネル ディスプレイの爆発的成長は、業界の専門家多数の間で意見が一致



コア処理

コア画像処理は、通常、標準のASSPやカスタムASICを使用して行われますが、カスタム処理の場合にはFPGAが使用されることもあります。ザイリンクスは、AllianceCORE™ パートナやXPRTSパートナーとともに、これらの機能の設計を容易にするさまざまなIP (Intellectual Property: 知的設計資産) コアを提供しています。詳細については、ザイリンクスIPセンタ(www.xilinx.co.jp/ipcenter/)のWebサイトをご覧ください。

IPコアを使用して設計する機能として、ガンマ補正、画像スケーリング、エッジ検出、シャープネス (輪郭強調)、コントラスト、フレーム バッファなどが挙げられます。Spartan-3が提供する幅広い機能の多くは、最小限のシリコン面積上にインプリメントすることができます。ザイリンクスが提供するIPコアには、以下のものがあります。

- カラー スペース コンバータ
- JPEGコーデック
- 離散コサイン変換
- MPEGビデオ エンコーダ/デコーダ

図2に、Spartan FPGAでインプリメンテーションできる標準FPDの各種機能を示します。

インターフェイス

FPGAは、画面や外部メモリとのインターフェイスに繰り返し使用されています。Spartan-3は、低振幅の差動I/O規格 (小振幅差動信号[RSDS] など)と同様に、SSTL/HSTLなどのシングルエンド規格もサポートしているため、これに対応したアプリケーションに使用することができます。

FPGAは、水平および垂直ピクセルの表示フォーマットを制御するタイミング制御装置(TCON)のインプリメントも可能です。TCONは、事実上の垂直/水平表示カウンタです。Spartan-3アーキテクチャ内の多数のフリップフロップとビルトイン キャリーチェーンにより、この機能を効率的にインプリメントすることができます。

Spartan-3 FPGAはまた、豊富な差動I/Oチャンネルを提供し、I/O重視のデザインに適した効率的なアーキテクチャを備えています。図3に、小型のSpartan-3 FPGAが、大型のLCD/プラズマ画面を駆動するのに十分な差動I/Oリソースをいかに搭載しているかを示します。

多くのデザインでは、高速DDRの外部メモリとのインターフェイスが必要になります。ザイリンクスは、Spartan-3のファブリック内に効率的なメモリ コントローラを構築できるように、リファレンス デザインとアプリケーションノートを提供しています。

Spartan-3の機能セット

Spartan-3 FPGAは、FPDシステムの設計者にとって非常に有用なさまざまな機能を提供しています。これには、きわめて高効率な信号処理のインプリメンテーションを可能にするエンベデッド乗算器、高性能化を実現しパイプラインやマルチチャネルなどの機能をインプリメントする際のリソースの使用を削減するシフトレジスタ機能、大容量のメモリ リソース、ディスプレイ市場で一般的な差動I/O規格のビルトイン サポートなどがあります。表1に、Spartan-3の各種機能と信号処理の実現における有用性を示します。

Spartan-3は、さまざまな形態でFPDデザインに使用することができます。FPGAをFPDシステムに使用する際の代表的な例をいくつか見てみましょう。

フロントエンドの前処理

デジタルRGB信号には、通常、メイン画像処理エンジンに入力する前に何らかの前処理が必要です。この前処理には、離散コサイン変換、復号化などがあります。通常FPGAは、このような処理のためにユーザーの画像処理ASICやASSPと組み合わせて使用されます。FPGAは、画像スケーリングなどの際にASSPを補助する目的で使われるのが一般的です。

表1 Spartan-3の機能によりエリア効率の高いFPDシステムの設計が可能

Spartan-3の機能	FPDアプリケーションにおける有用性
エンベデッド乗算器	MAC FIRをはじめとするDSP機能の効率的なインプリメンテーション
シフトレジスタ ロジック	マルチチャネル機能の効率的なインプリメンテーション
ブロックRAMおよび分散RAM	ビデオ ライン バッファ、キャッシュ タグ メモリ、DSP係数用 スクラッチパッド メモリ、パケット バッファ、FIFO
RSDSのビルトイン サポート	終端抵抗なしで、設計上特に他の点を考慮する必要がないRSDSをサポート

図2 ディスプレイ アプリケーション内に見られる機能の標準的ブロック図

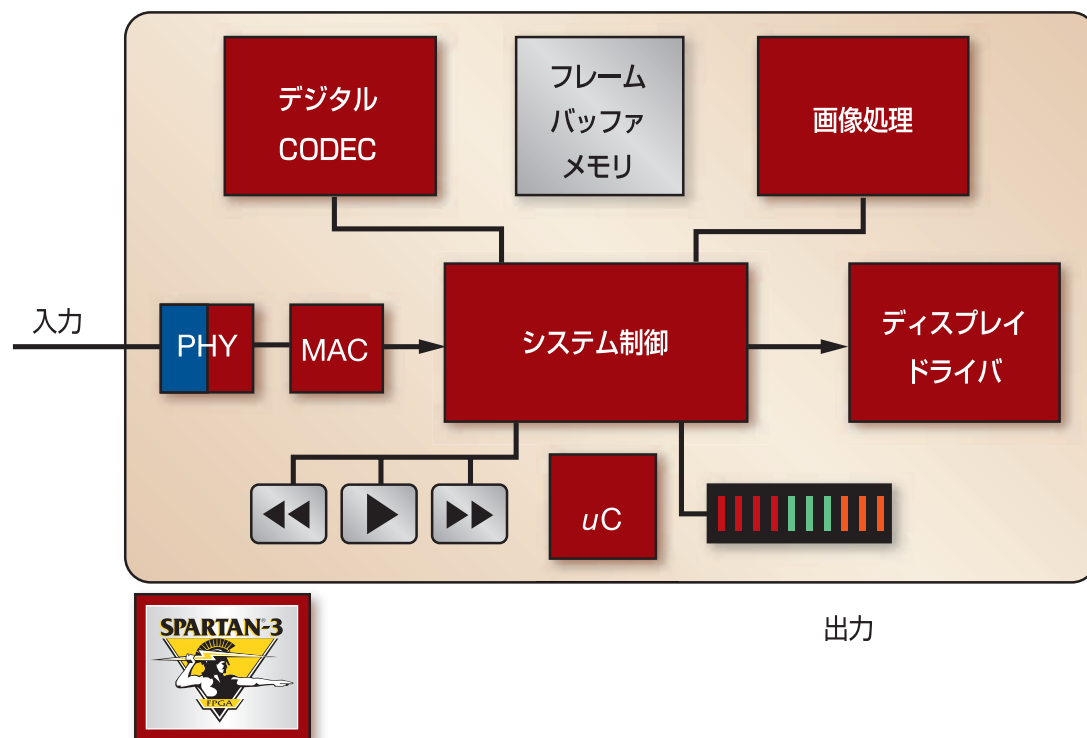
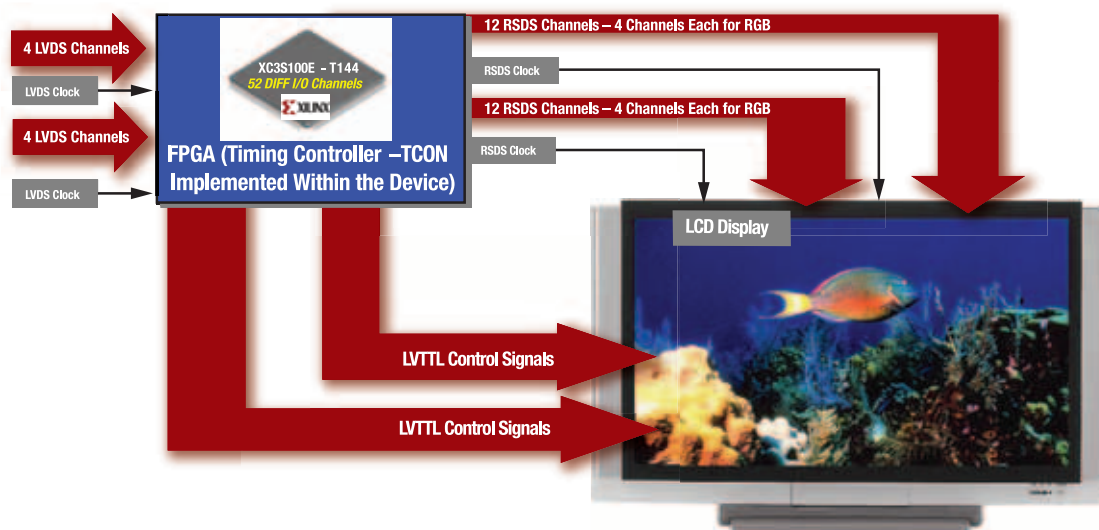


図3 多数の差動I/Oにより、小型で低価格のSpartan-3デバイスでも大型ディスプレイを駆動可能



結 論

業界で最も低価格でしかもフル機能を提供するSpartan-3/3E FPGAは、低コストで多様なデジタル民生機器に最適なデバイスといえます。Spartan-3/3Eは、フラットパネル ディスプレイ システムにおいて、競合他社と比較してわずかの占有面積で高性能な信号処理機能をインプリメントが可能な、非常に有効なアーキテクチャです。また、RSDSなどの低振幅ディスプレイ用I/O規格もサポートしています。

Spartan-3 FPGAは、以下の機能をフラットパネル ディスプレイ システムにインプリメントすることができます。

- SD/HDカラスペース変換
- 4:4:4から4:2:2へのダウンサンプリング

- デジタルRGB-to-USBカードリーダ機能
- タイミング制御およびパネルRSDSドライバ
- 画像の圧縮/解凍

FPGAソリューションは、プログラム可能なことにより、新しいシステムの設計に伴う開発上のリスクを軽減することができます。複数のI/Oバンク、オンチップ デジタル クロック マネージャ、豊富なブロックメモリ、豊富な分散メモリなど多数の機能を搭載したSpartan-3は、多くの制御/グルー ロジック機能を効率的にインプリメントするだけでなく、ユーザー システムのサイズや、複雑さ、コストを効率よく削減することができます。●●●



信号品質の制御

ドライブ能力、終端方法、信号品質のトレードオフ

Bill Hargin

Product Manager, HyperLynx
Mentor Graphics
bill_hargin@mentor.com

リソグラフィ技術の進歩により、ICのスイッチング速度は加速する一方です。同時に、クロックの高速化により、タイミング マージンは大幅に減少しています。

高速化による影響を制御する技術は、次の3つに大別できます。これらはしばしば「3つのT」と呼ばれます。

- テクノロジ：機能要求に十分適合する速度性能（ただし、可能な限り低速）をもつドライバ テクノロジを選択
- トポロジ：信号の反射の影響を最小限に抑えつつ、タイミング要件に適合するトポロジを選択
- ターミネーション(終端)：受動素子により信号の反射を制御

容易なことだと感じることでしょうが、PC基板を設計する際にはこのような選択を数多く行い、また、タイミング要件や電磁適合性(EMC)とのバランスをとる必要があり、これらは非常に困難な作業です。

インピーダンスの不整合

インピーダンスが不連続になると、反射が発生する可能性があります。たとえば、ボード スタックアップの変化、配線幅の変動、ボールグリッドアレイの突起、スタブ、ピア、負荷、コネクタ接続、大型の電源プレーンの不連続などが発生した場合です。

反射は、インピーダンスの相違や、伝送路全体の長さに対するインピーダンスが相違する部分の長さ、ノイズ耐性技術などによって大きな影響を受けます。

反射が非常に大きい場合、3つのTで解決できないことがあります。HyperLynx社のスタックアップ プランニング (Stackup Planning) (図1) などの解析ツールを用いると、レイアウト前にインピーダンスを慎重にプランニングし、インピーダンス制御プロセスにおいて事前に対応できるようになります。

第1の“T”：テクノロジーによる等級付け

完成度の低い配線には、いくつかの方法で対処することができます。まず、完成度の低い配線を許容できるネットと、そうでないネットを区別します。テクノロジーによる等級付けというこの効果的な手法により、ネットは次の3つに分類されます。

- シグナル インテグリティが重要なもの（クロック、ストロープなどクリーンなエッジが必要な信号）
- タイミングが重要なもの（アドレス、データなどエッジが理想的でなくてもよいが、タイミング要件を満たす必要のある信号）
- 信号の立ち上がり時間が5 ns未満のもの

立ち上がり時間が短いことによる影響は一目瞭然です。図2は、5インチの配線長で立ち上がり時間を短くしていった場合の影響を示しています。立ち上がり時間が10 nsと5.0 nsの場合、レシーバ側の波形は良好ですが、2.5 nsや1.0 nsと高速になると、それぞれ黄色と赤で示すレシーバ側の波形に反射とリンギングが生じます。

第2の“T”：トポロジ(シグナル インテグリティ、タイミング)

ネットがどんなに高速で動作していても、配線長が短い場合は反射が即座に抑制されるため、シグナル インテグリティの問題はなくなる傾向にあります。図2に示す最も高速の1.0 nsの波形から判断すると、最終的に0.5インチの配線長で反射がなくなります。数学的にはこのような結果であったとしても、最大0.5インチの高速ネットを数本以上設定することは、健全な技術者であればまず望みません。

推奨ルールから逸脱した配線が、実際にシグナル インテグリティの問題を解決する鍵となることがあります。1つのクロックが複数のレシーバに供給され、各レシーバがスキュー センシティブ（クロックが各レシーバにほぼ同時に到達する必要がある）である場合をみてみましょう。この場合、デューティチェーン方式の配線は理想的とはいえません。これは、クロック信号が各レシーバに直列に入力され、本質的にスキューが生成されるからです。

最も優れた構成としては、「スター型」パターンが考えられます。このパターンでは、各レシーバ(またはレシーバの小さなサブセット)は独自の分岐配線を持っています。各レシーバは、ドライバからほぼ同じ遅延になるように配置することが可能で、デージーチェーンに比べて他のレシーバから十分に隔離できます。

しかし、「3つのT」における相互依存とトレードオフの関係を強調すれば、スター型の配線では新たにいくつかの問題が生じます。分岐が多くなると、ドライバICのインピーダンスが低下するため、ダイナミックなシンク電流とソース電流を大量に必要とします。図3に示すように、このトポロジの例では、ザイリンクスのSpartan™-3 LVC MOS33_F_8mAではなく、Spartan™-3 LVC MOS33_F_24mAドライバなどの強力なドライバの使用が必要となるでしょう。

第3の「T」：ターミネーション(終端)

一般に、1インチを超える配線の中でエッジが5 ns未満の配線がある場合、終端を考慮する必要があります。コスト削減は重要ですが(43ページの「Spartan-3 FPGAにより基板スペースを節約」参照)、それに伴う信号品質の確保は製品の性能を左右するためさらに重要です。さまざまな配線構造とデザイン要件における終端の手法をいくつか検討してみましょう。

終端の種類

デジタル伝送ラインの標準的な終端方法として、よく知られていることがいくつかあります。終端は、信号源や、信号の末端またはその両方で行うことができ、また、数箇所に配置する「分散型」の終端や、電源の両端につないだ2つのDC並列終端抵抗を使用して固有のDCバイアスを与えるテブナン終端などが可能です。

一般的な終端のガイドラインには以下のものがあります。

- 信号源の終端は、ポイント ツー ポイント接続または単方向接続に有効
- 末端の終端は、マルチポイント接続に有効
- 分散型の終端は、構成変更が可能なプラグイン システムの場合に有効

これら方法にはそれぞれ長所と短所があります。DCの並列終端は、素子数(1個のみ、Spartan-3 FPGAに内蔵)と抵抗値(ラインインピーダンスに等しい)の選択という2つの視点から、最もシンプルな手法です。ただし、この終端は最も電力を消費し、ドライバICに許容できないほどの負荷をかける場合があります。ACの終端は、素子の追加を必要とし(より高コストで余分な基板スペースを使用)、最適なキャパシタの値を求めるために設計作業が増えますが、消費電力は小さくなります。

直列終端は、ラインの末端から反射が返るまで高電圧域が生成されるため、図4に示すように、レシーバICが配線の末端近くに集中していないと、タイミングの観点から直列終端抵抗は適切に機能しません。

ジャンクション部分やスター型接続で終端するには、いくつかの方法があります。まず、すべてのドライバで直列終端を行うやり方があります。この方法には、レシーバで信号が安定するまでの時間を短縮するとともに、消費電力を最小にするという利点があります。単一の直列終端が有効に機能するには、いくつかの条件を満たしている必要があります。各分岐は、ほぼ同じ配線長にする必要があります。そうでないと、各分岐から戻る反射が同期せず、すべての分岐がひどい状況になります。また、各分岐は、同じインピーダンス(または近い値)を持つ必要があります。そうでないと、有効な単一の抵抗値を選択することが不可能になります。分岐の配線長が3/4インチを

図1 レイアウト前にHyperLynx社のスタックアップ プランニング(Stackup Planning) ツールを用いて、急入りのインピーダンス プランニングを行うことで信号の反射を除去

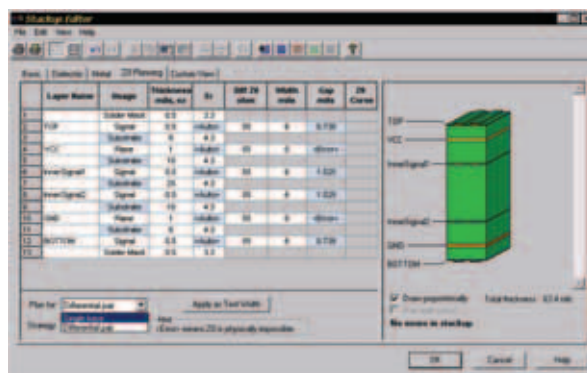


図2 配線長が5インチの際に与える立ち上がり時間の影響：10 nsと5.0 nsではレシーバ側の波形は良好だが、より高速の2.5 nsと1.0 nsでは、波形に反射とリンギングの影響発生し、1 ns 未満のスイッチング速度では、レシーバ側の波形は急激に劣化

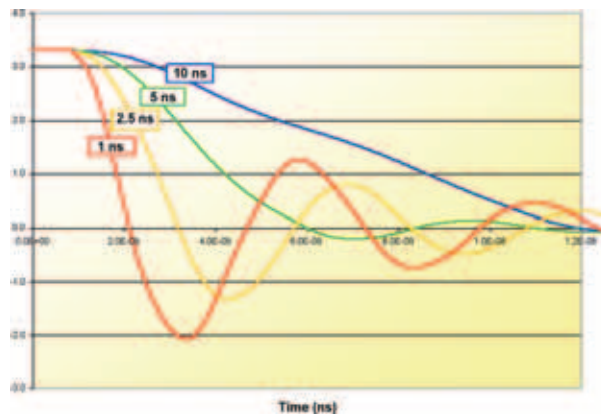
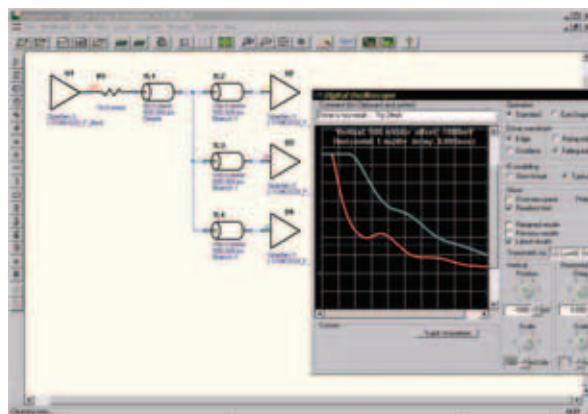


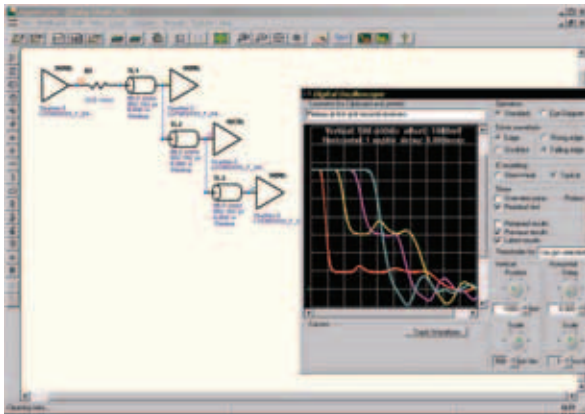
図3 HyperLynx社製オシロスコープと伝送ライン回路図：並列で低インピーダンスのスター型構成ではドライバが脆弱すぎるため、より強力な24mAバッファの使用を推奨



を超える場合は、各分岐の並列インピーダンスをドライバからの入力ラインのインピーダンスと等しくするのが妥当です。配線インピーダンスの変更やDCの並列終端の使用により、ジャンクション自体で終端することも可能で、どちらも反射を即座に抑え、信号を減衰させます。



図4 直列終端はラインの末端から反射が返るまで「高電圧域」を生成するため、レシーバICが配線の末端近くに集中していないと、タイミングの観点から直列終端素子は適切に機能しない



最適な終端方法の選択は、ネットワークのトポロジと信号の方向によって決定します。複雑に入り組んだネットでは、理論上でさえ正しく機能する終端方法を見つけるのが困難な場合があります。このため、HyperLynx社などの「what-if」シミュレーション ツールを用いて、さまざまな選択肢を比較、検討するのが非常に有効です。

終端素子の配置については、右記「Spartan-3 FPGAを使用して終端素子の配置を最適化」を参照してください。

結 論

Spartan-3 FPGAは、シングルエンドの信号と差動信号の両方に終端を組み込み、LVTTTL、LVCMOS、SSTL、HSTL、GTL、LVDS、RSDSに対応していることから、低コストで高速のテクノロジーを実現する鍵となるデバイスです。しかし、今日のデバイスの高機能化に伴い、技術者はシグナル インテグリティ、タイミング、EMCなどの問題を先行して解決しなければならないという負担を負っています。

Spartan-3 FPGAを使用することで、予算の範囲内でシグナル インテグリティ解析ツールをツールボックスに加えることが可能です。優れた解析ソフトウェアには、終端手法の提言や設計サイクル初期における「what-if」シミュレーションの実行などの重要な機能が含まれています。

レイアウト後に欠かせない重要な解析としては、対話型のシミュレーションとバッチ方式による基板全体のシミュレーションの両方が必要であり、ここではデザインルール違反の警告やPC基板全体に対する提言が行われます。

ザイリンクスの最新テクノロジー、「3つのT」と適切なシミュレーションソフトウェアを利用することにより、今日のテクノロジーはもとより、将来のテクノロジーへの対応も可能になります。

詳細については、www.mentor.com/hyperlynx/をご覧ください。

Spartan-3 FPGAを使用して終端素子の配置を最適化

PC基板の終端素子は、終端の設計がなされたところに正確に配置するのが理想的です。つまり、並列終端の場合は最後のレシーバIC部分に、また信号源終端ではドライバのところに正確に配置します。残念ながら、実際の高密度実装のPC基板上では、理想的な配置は多くの場合不可能です。そのため、終端素子が理想的な位置から「スタブ」長だけ離れて配置されるのが通常です。では、終端に支障なく使用できるスタブ長はどの程度でしょうか？

直列終端では、スタブがドライバのスイッチング時間の10%を超えた付近から支障が始めます。これは、直列抵抗をこのガイドライン以内に配置することでシミュレーションを行い、その結果を、直列終端素子を1インチ離して配置した場合と対比することで行えます。

並列終端では、終端素子が配線上で最後のレシーバから遡ったところに配置されていると、スタブ長はドライバのスイッチング時間の15%程度になる場合があります。

幸いなことに、Spartan-3では、これらの終端素子がFPGAに内蔵されているため、配置の変更が不要で、これまで説明してきた「3つのT」を使うことに主眼を置き、信号品質、タイミング、EMCの問題に注力することができます。

Spartan-3 FPGAにより基板スペースを節約

Spartan-3 FPGAは終端抵抗を内蔵しているため、ハードウェア設計者は、従来であれば表面実装の抵抗に割り当てられていたかなりの基板スペースを節約することができます。

従来の外部終端では、チップ同士の接続に2つの配線（各抵抗のリードごとに1つの配線）が必要です。Spartan-3を使用したオンチップ終端では、これを半分に減らすことにより、必要な配線領域を低減するだけでなく、レイヤ数を減らすことも可能になります。

例として、3個のSpartan-3 FPGAを搭載した4×6インチの6層PC基板（可能な総配線面積が77平方インチ）を考えてみましょう。従来のFPGAテクノロジーでは、外部終端抵抗は約10,000平方ミル（40×250ミル）の基板スペースを占有します。配線数が4,000本（終端抵抗用に1,333本）の基板の場合、13.33平方インチの基板スペースが節約され、17%の製造コストが削減されることになります。

変遷するオートモーティブ向け ECU設計の現状

オートモーティブ向け電子制御機器の設計者の興味がマイクロコントローラやマイクロプロセッサから、プログラマブル ロジック デバイス(PLD)へ移行

Karen Parnell

Automotive Product Marketing Manager
Xilinx, Inc.
karen.parnell@xilinx.com

従来、インストルメント クラスタや、ドア モジュールなどの制御系の電子制御機器(ECU)にコントロール機能を実装するには、マイクロコントローラやマイクロプロセッサを選択するのが当然のこととされてきました。これらのデバイスが繰り返し使われてきた多くの要因として、設計資産が活かせることとレガシーコードを利用できることが挙げられます。

この手法では、論理的に分割されたファンクション ブロックの中に、ECUの仕様に合うソフトウェア トポロジを構築します。しかし、これらのファンクション ブロックは、1つのデバイスをターゲットにコンパイルされているため、シーケンシャル コードに関連するリアルタイム性の問題が生じます。個別に構築されたとしても、事前に定義された優先順位構造に基づいて、シーケンシャルに動作することになります。

このタイミングの問題は、発見するまでに時間がかかる場合があります。この手法では、内容があらかじめわかっている動作のみテストするため、割り込み衝突のような問題がシミュレーションで発見されることはありません。つまり、中間的状態やリアルタイムの誤動作状況などをテストすることは、ほとんど不可能です。割り込みによって動作するファンクションを実際にテストできるのは、システム構築後、リアルタイムで動作した時のみです。すなわち、製品が発売されて初めて、ありとあらゆる割り込み状態がテストされ、より多くのエラーを見つけることができるのです。その時点で見つかったエラーが重大な欠陥ではなく、次回の車の定期点検時にソフトウェアのパッチの提供により対応できることを願うしかありません。

CPLDは、単純なシリアル バスを通してマイクロコントローラとインターフェイスが可能で、制御が必要なデバイスへの入出力を低コストで実現します。

ファンクションの相互依存

ディスクリート ファンクション ブロックをインプリメントすることにより、マイクロプロセッサやマイクロコントローラと同じ方法で、プログラマブル ロジックを使用したシステム構築が可能です。マイクロ コードとは異なり、これらのファンクションは完全に独立しています。つまり、これらはソフトウェアと異なり、ハードウェアにインスタンス化されているため、リアルタイムで動作しても誤動作となるようなエラーや割り込み状態の影響を受けにくいのです。

各ファンクションは、独立しており、いつでもどんな状況でも指示されたとおりに間違いなく動作します。また、ハードウェアを構築する前にあらゆる状態をシミュレーションすることができます。これにより、動作やタスクが要求どおりに機能しない、あるいは順序が違う、といったリスクが大幅に軽減されます。

たとえば、インストルメント クラスタを設計する際に、ドライバがあるスイッチを押した場合の「実動作」を表示することが必要な場合が考えてみましょう。タコメータの位置を記録するCANパケットに応答し、ブレーキシステムからのエラーメッセージを処理し、かつ、ドライバに警告するためそのメッセージを緊急に表示する必要があります。そして、これらの動作すべてを同時に行う必要性があります。

ソフトウェアベースのシステムでは、これらのタスクがシーケンシャルに実行されます。設計者はエラーメッセージに優先順位をつける必要がありますが、どのタスクがいつどの順番で実行されるかは、マイクロコンピュータにいつ割り込みが入るかに依存します。

PLDベースのシステムでは、これらのファンクションがすべて並列処理され、メッセージがデバイスに届くとすぐに表示されます。FPGAやCPLDでは、この並列処理が可能のため、瞬間的な非割り込み信号を確実に処理する必要があるアプリケーションでは非常に有効です。

ボードレベル ファンクション

デザインが複雑化するにつれ、より多くの周辺機能が8ビット マイクロコントローラにより制御されるようになってきています。しかし、8ビット マイクロコントローラが十分なI/Oを持たない場合があります。この問題の解決策として、よりコストのかかる16ビット マイクロコントローラへ移行する方法や、低コストの8ビット マイクロコントローラと低コストのCPLDにデザインを分割するといったいくつかの方法があります。

その良い例として、あるシステムが、インストルメント クラスタで使用されるような複数のステッピング モーターの制御や位置決めを補助するデータ入力として、複数のADC入力を持ち、さらにLEDコントロールやスイッチ入力用のI/Oを持っているとします。低コストのマイクロコントローラは、シーケンシャルな信号処理にはうってつけですが、外部デバイスとのインターフェイスには限られたI/Oしかありません。

CPLDは、単純なシリアル バスを介してマイクロコントローラとインターフェイスが可能で、制御が必要なデバイスへの入出力を低コストで実現します。この方法では、ボード上のコンポーネント数を

増加させる恐れがありますが、それでも8ビット マイクロコントローラとCPLDの合計コストは、16ビット マイクロプロセッサのコストよりも低くなります。

このように、CPLDにより多様なユーザーのコンフィギュレーション要求を満たすようにボードを構成することができ、また、制御されている多くの異なるデバイスにインターフェイスが可能です。ザイリンクスのCoolRunner™-IIファミリCPLDは、デザインが容易でかつ消費電力が極めて低いため、消費電力の低減と高性能の両方を維持することができます。5V対応のI/Oが必要な場合は、低コストのXC9500XLデバイスが最適です。

図1 I/O拡張例

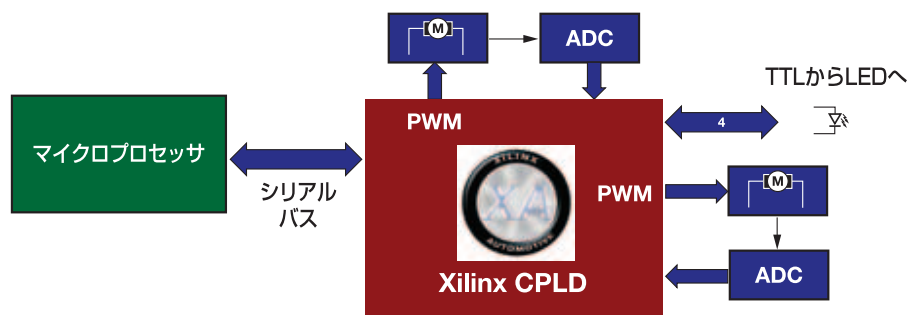


図1は、CPLDがマイクロコントローラと合わせて使用できる場合の典型的な例で、複数のインジケータLEDに接続できる追加のI/Oと、複数のモーターを制御するI/Oを備えています。この例のCPLDは、モーター制御を支援するための簡単なPWM機能とADCインターフェイスを提供するため、ユーザーはPWMのないベーシックな低コストのマイクロコントローラを使用することが可能になります。

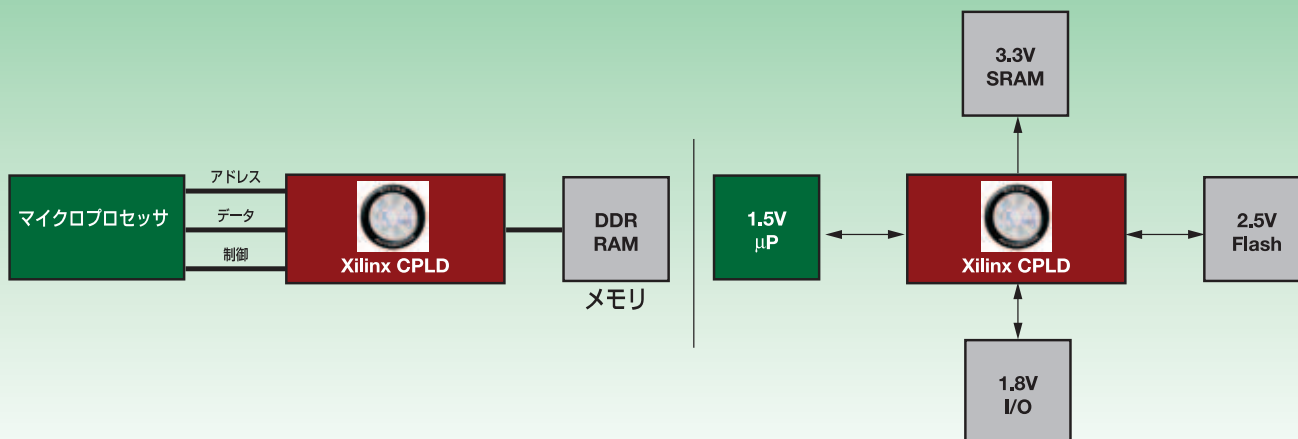
インターフェイスとブリッジング

ASSPやマイクロコントローラのメーカーがサポートするバス プロトコルの数が増大するとともに、インターフェイスを変換するための安価で簡単な方法が求められるようになってきています。CPLDデバイスは、あるバス プロトコルを別のプロトコルに変換する手段を最小コストで提供するため、電圧レベルの切り替え（3.3V入力を1.8V出力に変換）や、バス変換アプリケーション（企業独自の言語を業界標準言語に変換）、シリアル/パラレルおよびパラレル/シリアル バス変換、DDRメモリ インターフェイスなど、インターフェイス ブリッジング アプリケーションのサポートが可能です。

図2は、CPLDを利用して高速メモリとのインターフェイスを可能にする方法と、異なる電圧レベル間のCPLDによるレベル切り替えの例を示しています。

CoolRunner-IIは、DualEDGEトリガのレジスタ、グローバル クロック ディバイダ、SSTL_2を含むリファレンス電圧の各種I/O 規格などを備えているため、DDRメモリ インターフェイスには理想的です。これらの機能により、DDR SDRAMのような高速メモリデバイスとマイクロプロセッサをインターフェイスするための機能が提供されます。これら機能の実装に関して、リファレンス デザインとアプリケーション ノート XAPP384、「Interfacing to DDR SDRAM with CoolRunner-II CPLDs」を用意しており、ザイリンクス Webサイトwww.xilinx.co.jp/literature/よりダウンロードが可能です。使用するマイクロプロセッサがHSTLやSSTLメモリ インターフェイスを

図2 CPLDを使用したDDRメモリ インターフェイスと電圧レベル切り替え



サポートしていない場合、特にこのリファレンス デザインが役立ちます。

結 論

オートモーティブ向けデザインは、スモール フォーム ファクタのECU仕様、広い温度範囲、高品質と高信頼性の要求、低コストといったさまざまな課題に常に直面してきました。さらに今日のデザインには、柔軟性や、アップグレード性、十分なテストを簡単に行えることなどが求められています。

真の意味でのデザイン相互依存と並列処理を提供するプログラマブル ロジックは、マイクログロッセッサやマイクロコントローラに代わる有望な選択肢の1つです。CPLDは、マイクロコントローラがI/Oや処理能力を使い切ってしまった場合や、単にメモリ インターフェイスや電圧レベルの切り替え目的でも優れた威力を発揮します。

ザイリンクス オートモーティブ デバイス

オートモーティブ向け電子システムの設計には、常に課題が伴います。新型車においては、最新機能の90%をオートモーティブエレクトロニクスが占める今日、温度、品質、技術的要求に適合するデバイスを選ぶことが、これまで以上に重要になってきています。

FPGA、CPLD、コンフィギュレーション デバイスから成るザイリンクス オートモーティブ (XA) 製品は、プログラマブル ロジック デバイス固有のデザインの柔軟性やTime-to-Marketの利点を提供するのみならず、今日の高度なオートモーティブ向け電子システムに要求される広範な温度範囲や品質基準を満たすことができます。

XAデバイスは、Qグレード (-40℃から +125℃) および工業用Iグレード (-40℃から +85℃) の両方の広い温度範囲で動作可能で、業界公認のAEC-Q100規格に適合しています (詳細はwww.aecouncil.com をご覧ください)。XAシリーズには、最も低消費電力のCPLD デバイス (CoolRunner-II CPLD)、最小コストのFPGA (Spartan™-3 デバイス)、Platform Flash コンフィギュレーション メモリ デバイスがあります (表1)。

詳細については、www.xilinx.co.jp/automotive/ をご覧ください。

表1 ザイリンクス オートモーティブ製品ファミリのCPLD、FPGA、コンフィギュレーション メモリ デバイス

FPGA/CPLD	パッケージ	集積レンジ	I/O	サポート規格数	乗算器数	ブロックRAM (Kbit)
Spartan-3	VQG100, TQG144, PQG208, FTG256, FGG456, FGG676	50K-1500K system gates	487	23	32	576
Spartan-IIe	TQ144, PQ208, FT256, FG456	50K-300K system gates	329	19	—	64
CoolRunner-II	CPG56, CPG132, VQG44, VQG100, TQG144	32-256 macrocells	118	5	—	—
XC9500XL	CS144, VQ44, VQ64, TQ100, TQ144	36-144 macrocells	117	—	—	—
Flash PROM	VQG20	1-4 Mb	—	—	—	—



低コストのPCI Expressソリューション

次世代PCIのアプリケーションとシステムに最適なSpartan FPGA

Abhijit Athavale

Product Marketing Manager
Xilinx, Inc.
abhijit.athavale@xilinx.com

PCIは、過去10年間バス規格としてPCやサーバ、エンベデッドの各市場で幅広く使用されてきました。PCIは、共用の集中アービトレーション・ベースのアーキテクチャで、システム同期クロッキング方式の制約を受けます。このため、現行世代および次世代のプロセッサの性能は、基準とすべきPCIの能力を超えつつあります。

PCIバス規格に新たに取って代わろうとしているのがPCI Expressです。この規格は、PCIの柔軟性と親しみ易さを継承しながら、帯域幅と性能を大幅に向上させた新しいコネクティビティ規格です。PCI Expressは、PCI仕様の管理機構であるPCI SIG (Special Interest Group) より、次世代PCIとして承認されました。PCI Expressベースの製品は、現在市場に投入され始めており、早ければ2006年には大量に出荷される見通しです。図1に、PCI Expressの導入予測を示します。

PCI Expressは、ポイント ツー ポイント接続の構築にシリアル I/O技術を採用しています。また、オリジナルのPCIが持つ多くの利点を継承しつつ、PCIと互換性があります。シングルレーン(1x)から32レーン(32x)までのアーキテクチャがあり、レーンあたり2.5 Gbpsの帯域幅を提供します。PCI 32/33の帯域幅は1 Gbps、PCI 64/66の帯域幅は4 Gbpsです。

1x PCI Expressのインプリメンテーションは、多くの市場で最も一般的に使用されているPCIインターフェイスであるPCI 32/33と非常に良く適合します。2レーンのインプリメンテーション(5 Gbps)

は、PCI 64/66に付加的な改良を加えたものです。ハイエンドである32レーンのPCI Expressのインプリメンテーションは、合計80 Gbpsをサポートし、次世代アプリケーションをサポートするのに十分な帯域幅を提供します。

インプリメンテーションの詳細

PCI Expressは、物理層 (PHY)、論理層、トランスポート層の3層構成で、各層は個々にその機能を定義しています。この仕様には、ハードウェア エラー回復やシステム電源管理に対する先進機能も含まれています。(PCI Expressの詳細については、www.pcisig.comをご覧ください。)

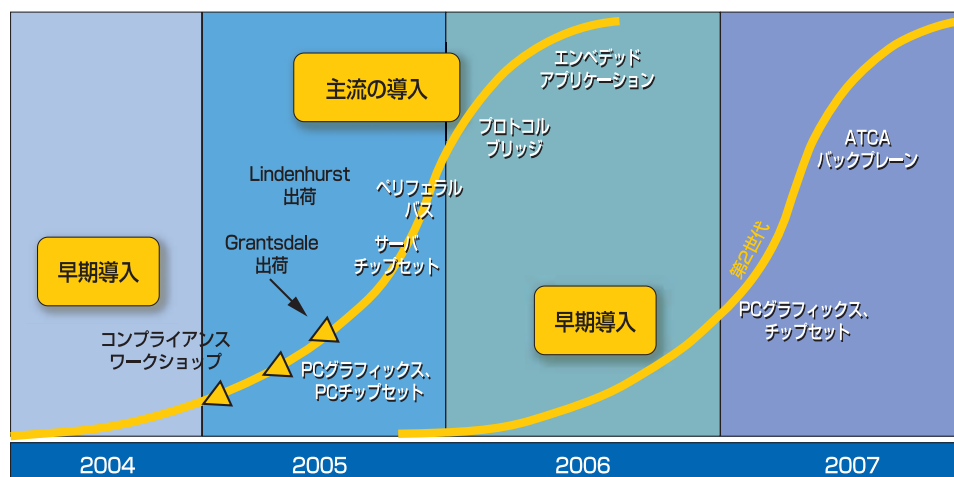
ザイリンクスは、2000年以降Spartan™ シリーズFPGA向けにPCI 32ビットならびに64ビットのソリューションを提供してきました。このPCIを論理的に最も継承しているのが、外部PHYチップをSpartan-3またはSpartan-3Eデバイスとペアにして使用するPCI Expressソリューションです。PCI Expressの仕様は、論理層とトランスポート層を内蔵する別個のデバイスとPHYチップを接続するインターフェイス (PIPEインターフェイスと呼ばれ、これに関連するホワイトペーパーはIntel社より入手可能) を定義しています。

この2チップ ソリューションでは、物理層は専用PHYチップにあり、論理層とトランスポート層はSpartan FPGA内に存在します。PHYデバイスは、Genesys Logic社、Philips Semiconductor社、Texas Instruments社などのメーカから提供されています。PHYの価格は、量産価格 (年間25万個購入時) で10ドルを下回る予定です。(詳細は、補足欄の“PHYメーカ”へお問い合わせください。)

ザイリンクスとIPコアパートナー数社 (Eureka社、GDA社、Northwest Logic社など) は、Spartan-3およびSpartan-3Eデバ

イス向けにPIPE IPコアを提供し、PHYとのインターフェイスを可能にします。シングルレーンのPCI Expressコントローラは、論理層およびトランスポート層のコア用に約50万ゲート (Spartan XC3S1000の50%) を必要としますが、FPGAの残りのゲートはユーザー アプリケーションとして使用できます (Northwest Logic社製品の詳細については、補足欄の“PCI Express IP”を、その他のIPパートナー各社によるPCI Express IPの詳細についてはwww.xilinx.co.jp/pciexpress/を参照してください)。図2に、

図1 PCI Expressの導入予測



Spartan FPGAと外部PHYを使用したPIPEインターフェイスのインプリメンテーションを示します。

図3は、シングルレーンのPCI Expressインターフェイスをインプリメントするための選択肢を示しています。標準デバイスを選択した場合のコスト40ドル以上とかなり高く、量産/低コストのアプリケーションには適しません。Spartanを選択した場合、コストが大幅に低減され、プログラマブル ロジックの柔軟性により他のシステム機能を統合しインプリメントすることができます。一般の民生用アプリケーションでは生産Spartan-3Eを使用するとコストは約17ドルになります(25万個購入時)。

図2 Spartan FPGAと外部PHY間のPIPEインターフェイス

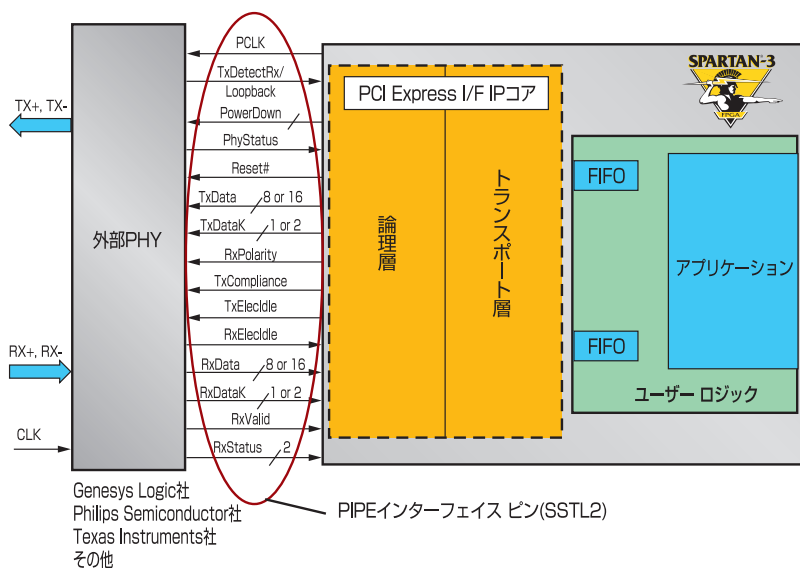
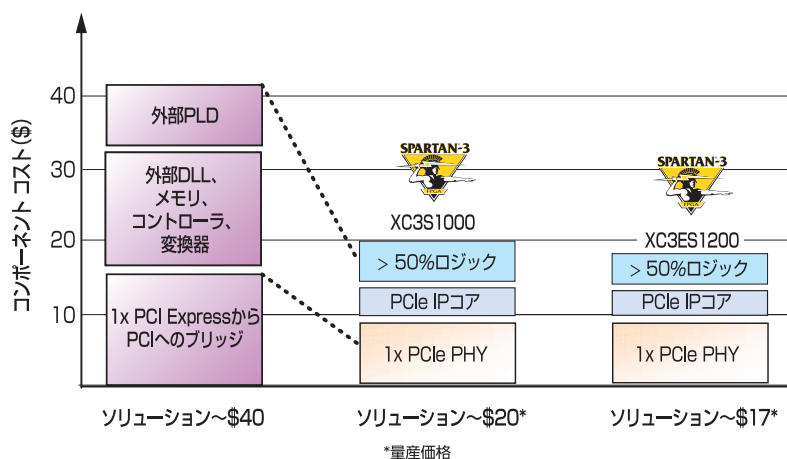


図3 シングルレーンのPCI Expressのインプリメンテーションの選択



結 論

Spartan FPGAとPHYを組み合わせて使用する場合、トータルコストの削減に加え、PCI Expressからあらゆるものへのブリッジを構築し、他の回路コンポーネントを統合する上で高い柔軟性を提供します。多くのシステムで重要とされる多様な帯域幅と、レイアウトをさほど変更せずにレーンの追加ができる柔軟性を維持することが可能になります。

Spartan-3/3E FPGAは幅広い集積レンジを揃えており、すべての帯域幅にわたりいずれの集積度にも移行が可能です。また、FPGAは市場導入後も完全に再プログラムが可能ることにより、第1世代のASSPやASIC使用時に伴うリスクから開放されます。

現在、相互接続規格にPCIを採用して次世代デザインを設計しているユーザーの皆様は、ザイリンクスのPCI Expressの選択を是非ご検討ください。Spartan-3/3E FPGAが、現在ならびに将来のデザイン要件を満たす上で最適なソリューションを提供します。Spartan-3/3E FPGA、PCI Express IP、ならびに互換性のあるPHYデバイスの詳細については、www.xilinx.co.jp/pciexpress/をご覧ください。

PCI Express IP

PCI ExpressのIPコアは、ザイリンクスやザイリンクスパートナーの複数のメーカから入手が可能です。Northwest Logic社のIPコアの1つを以下に紹介します。

Northwest Logic社のPCI Expressコアは、低コストのSpartan-3 FPGA向けに設計されたものです。Spartan-3ベースのPCI Expressデザインは、Spartan-3とともにPCI Express (PIPE) 互換のPHYチップ用の低コスト物理インターフェイスを使用します。このPHYチップは上位レベルのデータリンク層とトランザクション層を考慮し、低レベルのPCI Expressの物理層をインプリメントします。

PCI Expressコアのもう1つのバージョンは、Virtex-II ProおよびVirtex-4 FX FPGAに搭載されたMGTを使用して、統合化されたPCI Expressソリューションを提供します。

Northwest Logic社のPCI Expressコアは、市販されているPCI Expressコアの中でもサイズが非常に小型なため、コストが最も低いFPGAをターゲットにすることが可能です。またこのIPコアは、包括的な検証スイートと専門家によるサポートも同時に提供されることから、デザインの迅速な開発と検証を実現します。

さらに、PCI Expressシステムの早いプロトタイピングを可能にするPCI Express開発ボードも入手が可能です。このボードには、デモGUI、ドライバ、PCI Express FPGAリファレンス デザインも含まれています。

特定のFPGAファミリ向けコアの価格やサイズ等、詳細については、Northwest Logic 社のWebサイトwww.nwlogic.comをご覧ください。

PHY ベンダ

Genesys Logic
www.genesysamerica.com

Philips Semiconductor
www.semiconductors.philips.com

Texas Instruments
www.ti.com/pciexpress/



ザイリンクスのデザイン リーダーシップ

ザイリンクスの設計ツールISE™ 7.1iにより
プロジェクト終了までを最短で実現

Bruce Talley

Vice President, Design Software Division
Xilinx, Inc.
bruce.talley@xilinx.com

FPGAやCPLDの設計者にとって良い時代がやってきました。ASICベースのプロジェクトはコストが高く、また、ストラクチャードASICのデザインには高いリスクが伴うことから、シリコン世代が進化することによってFPGAの必要性が増してきます。より優れた機能を実現するには、使い勝手のよい生産的な設計ツールが必要不可欠です。

ザイリンクスのISE™ ソフトウェアは、プログラマブル デザインにおいて最高速のロジックを提供可能なことは以前から知られていましたが、これに加え、低コストで簡易性の高いツールを提供することに成功しました。設計・解析ソフトのPlanAhead™ やリアルタイムFPGAデバッグのChipScope™ などの先進のツール オプションが追加されたことで、ISEシステムはより完成度が高くなり、設計上の問題に対処するソリューションを提供することで、プロジェクトをいち早く完成へ導きます。

本号では、ISE 7.1iソフトウェアの導入により提供される新機能を、設計ツールとデザイン アプリケーションに関するユーザーにご活用いただける記事を紹介し、まず、ISE 7.1iソフトウェアの概要を紹介し、サードパーティのロジック アナライザをFPGA向けにセットアップしてデバッグする方法の詳細を紹介します。

Table of Contents

ISE 7.1iソフトウェアによる設計パフォーマンスの飛躍的向上	50
オシロスコープとロジック アナライザを組み合わせたデバッグ手法	53
優位なリアルタイム デバッグ	56
PlanAhead階層設計・解析ツールでデザインを制御	59



ISE 7.1iソフトウェアによる 設計パフォーマンスの飛躍的向上

かつてない容易さと費用対効果の高いプログラマブル デザインを実現

Lee Hansen

Sr. Product Marketing Manager
Xilinx, Inc.
lee.hansen@xilinx.com

Mike Weir

North American Direct Marketing Manager
Xilinx, Inc.
mike.weir@xilinx.com

最速のプログラマブル ロジック設計用ツールが、さらに高速になりました。ザイリンクスのISE™ 7.1iソフトウェアは、最新の技術とデバイス サポート、迅速なデザインフローを実現スピード ファイルを含んでおり、最高のデバイス性能を可能にします。

ISE 7.1i ソフトウェアは、最新のVirtex™-4、-12スピード グレードをサポートし、業界最先端のVirtex-4 FPGAベースのデザインをさらに高速化しています。ISE 7.1iソフトウェアとVirtex-4デバイスを組み合わせることにより、競合他社の同等ソリューションと比べて最大70%も速い設計 パフォーマンスを実現することができます。

ISEソフトウェアには、「タイミングドリブン マッピング」などのコア機能、グローバル最適化、デザインの再タイミング、FPGA物理合成など、デザイン ソフトウェアの中でも最高性能の技術が組み込まれています。これら技術に加え、ProActive Timing Closure技術により全体的な設計 パフォーマンスをさらに向上させるとともに、より迅速なタイミングクローズジャを実現して、デザインのフロー全体を短縮します。



先進のISEインプリメンテーション ツールにこれら一連の新技术が加わることで設計時間が短縮され、高集積デザインのフローが高速化して、プロジェクトの期間短縮とコスト削減が図れます。

PlanAheadが性能メリットを拡大

さらに高い設計パフォーマンスを実現するには、ザイリンクスのPlanAhead™ 階層フロアプランナが有効です。PlanAheadソフトウェアは、ISEソフトウェアのツールオプションで個別に購入が可能です。ISEソフトウェアは、高集積Virtex-4やSpartan™ -3Eのデザインに最適なツールです。

PlanAheadは、ブロックベースの階層設計手法を採用したソフトウェアで、設計サイクルの初期段階でインプリメンテーションの潜在的問題を解析・検出・修正し、より高い一貫性を確保し、配置・配線の時間短縮、設計作業の繰り返しの低減、使用率の厳密な管理、迅速なインクリメンタル デザインの変更などを実現します。PlanAheadソフトウェアは、ユーザーが行ったベンチマークで、ISEだけによる設計パフォーマンスをほぼ2倍に向上できることが確認されています。

また、すでにタイミング条件を満たした個別ブロックの配置結果をロックできるため、その後に反復される配置・配線作業が影響するのは変更が必要なブロックだけに限られ、結果として再インプリメンテーションのコンパイル時間が短縮されます。PlanAheadでは、エリア グループ、インクリメンタル デザイン、モジュール デザインなどの機能が、ASICレベルの機能を備えた1つのフロアプランナにまとめられています。詳細については、本誌、「階層設計・解析ツールPlanAheadでデザインを制御」の記事をご覧ください。

使いやすさが設計時間を短縮

ISE 7.1iソフトウェアには、Technology Viewer、Message Filtering、Design Summary、ISE Simulator、ModelSim Xilinx Edition-IIIといった競合他社のソフトウェアでは見られない数多くの新しいツールや機能が組み込まれています。これまでに例を見ないこれら優れた新技术を、先進のISEインプリメンテーション ツールと組み合わせることにより、設計時間の短縮化が図れるとともに、先進の高集積デザインのフローを高速化し、その結果プロジェクト全体の期間短縮とコスト削減を実現します。

さらに強化された新しいHDLシミュレーションを選択可能

ISE 7.1iソフトウェアでは、新たに先進のHDLシミュレーションツールとして、ISE SimulatorとModelSim Xilinx Edition-IIIの2つを利用することができます。これらの最先端のHDLシミュレーション ツールは、旧バージョンのISEソフトウェアよりも高い性能と設計機能を提供し、デザインフローへの新たな統合を可能にします。

ISE Simulatorは、ISEソフトウェアに組み込まれた新しいHDLシミュレータで、種々の最新機能を備えており、ISE Project Navigatorプロセス ウィンドウから直接シミュレーションが可能です。テストベンチとスティミュラスを自動的に生成することができ、図1に示すように、ISE Project Navigatorの表示ウィンドウに直接グラフが表示されます。ISE Simulatorは、VHDLとVerilog、ファンクション シミュレーションとタイミング シミュレーションをサポートしています。ISE Simulatorのライセンスは、現行のザイリンクス ソフトウェア登録IDプロセスを経て取得することもできます。

ISE Simulatorには2つのバージョンがあります。ISE BaseXとISE Foundation™ ソフトウェアには、ISE Simulator Liteが無償で提供されます。フル バージョンのISE Simulatorはデザイン オプションで、現在使用しているISE Foundationシートのアップグレー

ド、または、新規ISE Foundationシートの一部として購入することができます。

ザイリンクスとMentor Graphics社は、既に発表している拡張OEM契約によりModelSim Xilinx Edition-III HDLシミュレータをリリースしました。無償のMXE-IIIスタータは、旧バージョンと比べて50%高速のHDLシミュレーション環境と、20倍の設計能力を提供します。

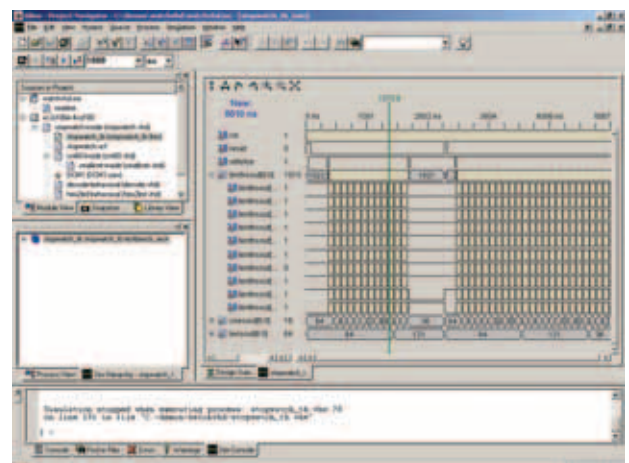
大規模デザイン向けには、フルバージョンのMXE-IIIが適しています。これは、MXE-IIIスタータの5倍の設計能力を備え、速度も30%以上向上しています。MXE-IIIを使用すると、最大200万システムゲート(コーディングにより異なる)のデバイスをシミュレーションすることができます。業界をリードするModelSim 6.0a HDLシミュレーション環境をベースにしたMXE-IIIは、GUIが改善されており、各機能を容易に使用することが可能で、迅速にデバッグを行えます。フルバージョンのMXE-IIIでは、従来のパラレルIDとEthernet IDに加えて、USB dongleによるソフトウェア ライセンスも利用可能です。

Technology Viewer

ISE 7.1iソフトウェアには、新たにTechnology Viewerが追加されました。このTechnology Viewerは、合成後のHDLベースのデザインをブロックレベル(回路図のような表示)で表示して、自分の設計がインプリメンテーション フローの中でどのように表わされているかが設計の初期段階で確認することができます。Technology Viewerは、RTL Viewerと同じグラフィック インターフェイスを使用しているため、新たにツールやメニューを習得する必要はありません。また、すべての階層が表示されるため、ピン、ネット、インスタンスの名称によってデザイン内の重要項目を強調表示して識別しながら、必要に応じてそのデザイン内容を詳しく検討することが容易にできます。

ISEソフトウェアでは、プログラマブル デザインフローの全工程で、従来よりも多くの方法を駆使し、HDLベースの設計インプリメンテーションの進捗状況を確認できます。RTL Viewerは合成前のデザインの詳細を、Technology Viewerは合成後のデザインをブロックレベルで表示します。また、FPGA Editorは、配置・配線後のFPGAデザイン結果の表示と編集に使用されます。

図1 ISE Simulatorのグラフ表示ウィンドウ

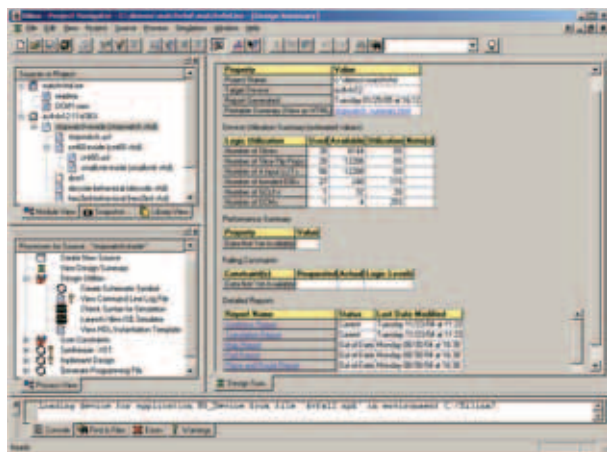




Display SummaryとMessage Filtering

ISE Project Navigatorには、新しいDesign Summary表示機能が含まれています。これは、一般に最も必要とされるデザイン情報を選択して1つの自動ディスプレイに表示するため、必要な情報を得るために複数のツールで作成されたレポートや出力をいくつも検索する必要がありません。Design Summaryは、新しいプロジェクトを開始する際、プロジェクト ロケーションやターゲット デバイスといったプロジェクトに関する重要な情報を表示します。Design Summaryは、デザインフローの進行課程で、ロジックの使用率、パフォーマンス サマリ、デザイン制約の各種結果など、より多くの情報を追加し更新していきます（図2参照）。Design Summaryにはリンクのリストも含まれています。これにより、さらに多くのインプリメンテーションの詳細レポートが参照でき、従来より多くの情報を簡単に入手することが可能です。Design Summaryは、ISEソフトウェアの重要な要素として位置づけられており、Project Navigator表示ウィンドウの選択タブから簡単にアクセスできます。

図2 ISE Project NavigatorのDesign Summary



Message Filteringは、デザイン レポート ツールとともに使用する新しいISEオプションで、設計プロジェクトに必要な情報だけを集めます。Message Filteringは、設計者が設計に重要でないと判断したレポート情報を選択して、以降のレポートからそれらの情報を除外します。Message Filteringを使用することで、より簡素化された適切なレポートを作成しプロジェクトに必要なデータを迅速に確認できるため、デバッグや検証を迅速かつ容易に行うことができます。

プロジェクト コストの削減

ISE 7.1iソフトウェアは、新製品Spartan-3Eデバイスのサポート、ISE WebPACK™ ソフトウェアおよびISE BaseXでのVirtex-4デバイスのサポート、Linuxオペレーティングシステムのサポート拡張、ソフトウェアの新しい電子配布など、コスト削減のための新しいオプションを提供します。

サポート デバイスの拡張

Spartan-3Eデバイスはザイリンクスが提供する最新の低価格FPGAで、FPGAのプライス ポイントをさらに引き下げるものです。ISE 7.1iソフトウェアは、新たにこのSpartan-3Eをサポートしました。Spartan-3Eデバイスは、NRE（初期開発費）を低く抑えるとともに、プログラマブル ロジックの高い柔軟性を活かしながら、コスト削減によりFPGAの守備範囲を量産製品まで拡張しました。Spartan-3E FPGAとISE 7.1i設計ツールを使用することにより、

ASICの損益分岐点を下げるとともに、総プロジェクト コストを低減します。

ISE 7.1iソフトウェアはまた、現在、より多くのコンフィギュレーションでVirtex-4 FPGAをサポートしています。ISE WebPACKソフトウェアは新たにVirtex-4 LX15およびLX25のサポートを追加し、ISE BaseXはVirtex-4 LX15、LX25、SX25、FX12のデバイスをサポートしています。ユーザーは、予算とデザイン要求に合わせて、ザイリンクス デバイスと必要なISEコンフィギュレーションを選択することができます。

ISE 7.1iソフトウェアは、Linuxオペレーティングシステムのサポートも拡張しました。ISE Foundationソフトウェアは、32ビットおよび64ビットのRed Hat Enterprise 3に対応しており、出荷される製品アップデートには両方のCDが付属しています。ISE WebPACKソフトウェアも、Linux Red Hat Enterprise 3に対応しており、無償のISEソフトウェアをダウンロードして、ユーザーのニーズに最も合ったプラットフォーム上で使用することができます。

ソフトウェアの電子配布

ザイリンクスは、メンテナンス契約をしているすべての顧客を対象に、ダウンロードによるISE FoundationソフトウェアとISE BaseXの提供を開始しました。ESD（Electronic Software Delivery：ソフトウェアの電子配布）の確立により、ISEのアップデートにあたり、従来からの郵送手段に加え、ザイリンクスの安全な配布システムによるダウンロードも利用できるようになりました。この結果、製品発表からわずか6日後にはISE 7.1iソフトウェアがダウンロード可能になり、郵送による配布を待つ必要がなくなりました。

また、ESDは、配布・登録システムを簡略化する役割も果たします。ユーザーの登録データはログイン時に取得・確認されるため、製品IDの入力ステップは不要になります。製品のダウンロードと登録用のキーはいずれも、迅速かつ安全な環境の下にオンラインで入手が可能のため、これまで以上に迅速にISEをアップデートしてユーザー システム上で実行することができます。ザイリンクスは、ロジック デザイン ツールのすべてをダウンロードにより提供している数少ないIPLDベンダです。

結 論

ISEソフトウェアは、7.1i設計ツールのリリースにより、プログラマブル デザインの水準をさらに向上させました。一段とレベルアップした高速性能、新しい設計ツール、先進のHDLシミュレーション、デバイス サポートとシステム サポートの拡充、ダウンロードによるソフトウェア配布により、CPLDベースの次世代ハンドヘルドPDAや、高集積FPGAをベースとした高速シリアル ブレード サーバなど、さまざまなアプリケーションにおいて、競合他社より多くのものを提供できると確信しています。ザイリンクスとISEソフトウェアは、ISE Foundation、ISE BaseX、ISE WebPACKソフトウェアによるロジック開発から、Platform Studioによるエンベデッド デザイン、System Generator for DSPによるシステム デザイン、ChipScope™ Proアナライザによるリアルタイム検証、PlanAheadデザインツールによるフロアプランニングに至るまで、さまざまなユーザー プロジェクトをカバーしています。

すべてのISE、ChipScope Proアナライザ、PlanAheadソフトウェア、MXE-III、ISE Simulatorはすべて、ザイリンクスのオンライン ストアまたは各販売代理店を通じて購入が可能です。



オシロスコープとロジックアナライザを組み合わせたデバッグ手法

自動ロジックアナライザによるオシロスコープのクロス トリガ、スキュー除去、オシロスコープ波形の入力により、1+1=2以上の大きな効果

Brad Frieden

Logic Applications Specialist
Agilent Technologies
Brad.frieden@agilent.com

今日、デジタル設計の高速化に伴い、基板の動作中にタイミングやシグナル インテグリティに関連する問題に直面することは珍しくありません。作業の多くは、その問題がロジックに起因するのか、シグナル インテグリティに起因するのかを識別することに費やされます。このように問題の識別に時間をかけすぎると、Time-to-Marketが遅くなり、本来集中する必要のある設計以外で、さらに大きな時間的プレッシャーがかかる可能性があります。

多くの設計者は、担当するシステムにおけるハードウェアの通電、動作確認、デバッグの段階で、リアルタイム オシロスコープとロジックアナライザが不可欠であることを認識しています。ただし、両者は単独で使われることがほとんどです。つまり、オシロスコープはシグナル インテグリティやタイミングに関する問題用に、ロジック アナライザはロジックの問題に対処するために使われます。

しかしこれらのツールは、一緒に連携して使用した場合に最も威力を発揮します。オシロスコープとロジック アナライザの統合を自動化するツールを利用することにより、デバッグ時の問題を大幅に削減することが可能です。本稿では、これらのツールと、主要なデジタル信号のアナログ特性を捕らえることにより、デジタル設計の問題をいかに早く理解できるかについて解説し、同時にその機能を紹介します。

問題例

起動時に何らかの障害が発生しているパケット通信システムを考えてみましょう。図1のシステムでは、パケット データがシリアルチャンネルを通してモニタに送られるはずが、データは受信されてい

ません。この問題の原因の正確な解明には、さまざまな方法で行うことができます。

まず、ロジック アナライザを使用し、デザインのステート マシンの状態を観察し、正常でないステートがないかどうかを調べます。もう1つの方法は、オシロスコープでシリアル チャンネルを調べ、特にシグナル インテグリティの視点で不適切な信号がないかどうかを確認します。最善の方法は、オシロスコープとロジック アナライザの両方を使用し、障害が発生している箇所の状況をより適切に把握することです。

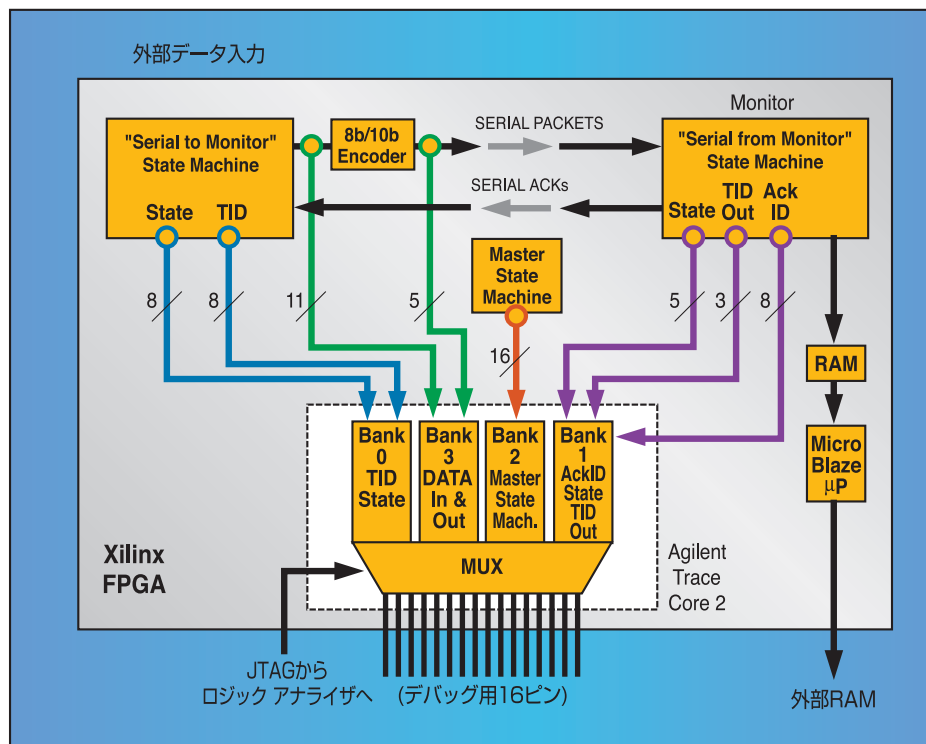
個別に作業した場合

ロジック アナライザで問題に対処する場合、いくつかの信号が調査対象になります。確認すべきは、パケット データの生成を行う送信側のステート マシン、およびデータとそのデータに関するトランザクションIDで何が起きているかということです。また、パケットを受信するデザインの受信側で何が起きているかについても確認が必要でしょう。ここでの調査対象の信号には、ステート マシン、受信データ、応答IDなどがあります。応答IDは、トランスミッタに返送され、データを受信したとデータを送り続けることを知らせる信号です。

この設計は、ザイリンクスのVirtex™-II FPGAでインプリメントされていますが、FPGA内の計測コアを使用してさまざまな位置にブローポイントを移動することが可能となり、ロジック アナライザベースのFPGAダイナミック ブロー アプリケーションでAgilent社のロジック アナライザに計測データを収集することができます。計測用には、4つの信号バンクと16本のFPGAピンを持つ計測コアを使用します(図1)。

データが受信されていない場合、これらの対象ポイントから調査を開始するのが妥当です。ロジック アナライザを使用して任意の

図1 Agilent社のトレース コアによって得られる対象観測ポイント



信号でトリガをかけ、何が起きているのかを見てみましょう。答えは簡単です。実際、トレースをする前の動作表示画面を見ただけでも、送信側のステート マシンがロックしているのが明らかです。バンク0から得られるデータにより、ステート マシンは「アイドル」状態、01Hのままであり、カウントしているはずのトランザクションID (TID)は0DHのままになっていることがわかります。

プローブポイントを、計測バンク1による受信側の対象信号に変更すると、同様にハング アップが発生し、受信側の「アイドル」状態、02Hのままになっています。

ロジック アナライザの優れたトリガ機能

送信側のステート マシンがハングアップした状況であることが確認できたので、ステート マシンがハング アップ状態になるまでの動きを調べるために、トリガ ポイントを別の値に再設定します。その結果、ハングアップ直前の通常のステート マシン サイクルと似た状況が観測されます。同様に、FPGAダイナミック プローブによってプローブポイントを受信側に切り替え、「アイドル」状態でない位置にトリガを定義することにより、再び通常のステート マシンが進行します。では、次にこの問題をオシロスコープで調べてみましょう。

オシロスコープでの調査

オシロスコープでの計測において、特に対象となるポイントは、シリアル チャネルの動きを調べて異常な部分を探すことです。前述の図1に、トランスミッタとレシーバ間のシリアル チャネルがありました。このリンクは差動であり、400 Mbpsで動作しているため、1.5 GHzの差動アクティブ プローブと、基板上の0.1インチ コネクタに接続できるアクセサリを使用します。

このリンクに接続してデータのアイ パターンを見ると、良好な状態に観測できます。グリッチ、アイ パターンのつぶれ、ノイズなどは見当たりません。起動からやり直してみると、1秒程度小刻みな動きを示しますが、予期しないグリッチや幅の狭いパルスが限りなく続く状態になります。そこで、幅の狭いパルスにトリガをかけること

ができます。オシロスコープを詳細表示用の設定にします(図2)。起動時にキャプチャした結果は、幅の狭いパルスのシングルショットです。これは興味深い結果で、システムの問題点を明らかにします。しかし、何が起きているかを判明する必要があります。

連携

この幅の狭いパルスをオシロスコープで捕えた場合、ロジック アナライザと共にクロストリガを行うとどうでしょう。シリアル チャネル上でこの状況が起こった場合、ロジックの状態を見ることが可能になります。

プロセスを自動化するために作られたE5850A時間相関治具で動作するロジック アナライザに搭載されたアプリケーション ソフトウェアは、比較的簡単にこれを実行することが可能です。ロジックアナライザとオシロスコープとの時間相関を取り、オシロスコープがキャプチャした波形をロジック アナライザに取り込むことにより、問題を発見するのに非常

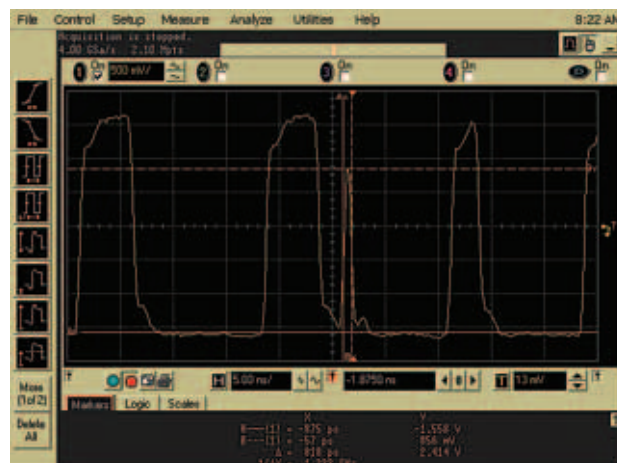
に役立つ観測ができます。

装置同士の時間相関

時間相関は、共通のリファレンス信号をロジック アナライザとオシロスコープの両方で二重プローブすることにより実行されます。一方の装置のトリガ出力コネクタと、他方の装置のトリガ入力コネクタを、それぞれ共通のBNCケーブルでつなぎます。また、装置同士はLANを介して接続されており、ロジックアナライザからオシロスコープを制御して、オシロスコープのデータを取り出すことが可能になります。

ロジック アナライザで行われるキャリブレーション作業では、「ロジック アナライザがオシロスコープをトリガする」方向と、「オシロスコープがロジック アナライザをトリガする」方向の両方で繰り返し測定し、それぞれの方向のクロス トリガでの遅延を割り出します。これらの遅延が分かると、ロジック アナライザに取り込んだ後のオシ

図2 シリアル チャネルのグリッチでのスコープ トリガと、リセット直後のキャプチャ波形のシングルショット





ロスコープのデータにこの遅延が適用され、ロジック アナライザとオシロスコープのデータの時間調整が可能になります。

良好な波形

それでは、オシロスコープをシリアル チャネル上で発生している幅の狭いパルスでトリガし、ロジック アナライザとクロス トリガを行い、キャプチャしたスコープ波形とロジック アナライザのデータの両方を1つの画面に表示してみましょう。これにより、シリアル チャネル上で幅の狭いパルスが発生した際、FPGA内で起きているステート マシンの動きの様子を正確に理解することが可能です。

このクロス トリガ機能は、時間相関アプリケーションにより設定されます。ユーザーは、幅の狭いパルスでオシロスコープをトリガするよう設定するだけです。

システムを再起動すると、ロジック アナライザにキャプチャした波形が観測され、これは非常に顕著な形をしています。幅の狭いグリッチが発生するオシロスコープのトリガ ポイントが明白で、この現象に時間相関があるステート マシンの送信状態も分かります。実際それは良好な状態を示します。

FPGAダイナミック プローブで「受信側」のステート マシンに切り替えると、このステート マシンも少なくとも最初は良好に見えます(図3)。しかし、時間目盛りを「マクロ」表示に切り替えると、ステート マシンがシリアル チャネルのグリッチから12パケット後に機能停止していることが分かります(図4)。トランザクションIDと応答IDはしばらくの間インクリメントしますが、まもなく止まります。これは容認できるものではなく、ステート マシンに、シリアル チャネル上のこの幅の狭いパルスと何らかの関係がある不正なデータが入力されている可能性を示しています。

時間相関の測定によって、これらが相互関連のある事象であることが実証できました。次のステップでは、どちらが他方の事象の原因になっているかの切り分けを行い、シリアル チャネルの幅の狭いパルスの原因となるロジックを修正するか、不正なステート マシンロジックの原因となる幅の狭いパルスを取り除く必要があります。

反対方向のクロス トリガリング

最初に幅の狭いパルスを見つけた際、それはステート マシンに関連した問題だと考えようとしていました。しかし、ステート マシンがロックする際、シリアル チャネルに幅の狭いパルスが必ず存在するのでしょうか? その答えは、ロジック アナライザがオシロスコープをクロス トリガするようにし、ロックしたタイミングでロジック アナライザをトリガさせることで求められます。

幸いなことに、アプリケーションがキャリブレーションによるクロス トリガの遅延を発生することが事前の検証でわかっているため、クロス トリガの方向を変えるために必要な操作は、ユーザー インターフェイスのボックスをチェックのみです。

受信側のステート マシンが、10H (TID)のすぐ後に続く02H (アイドル状態)の値でロックしていることが分かっているため、後に1クロック サイクルよりも長いアイドル状態が続くTIDを検出したときに、ロジック アナライザがトリガするように設定します。

こうして、連携するオシロスコープがシリアル チャネルからキャプチャした波形を取り込むことを何度も実行すると、最初の幅の狭いパルスとステート マシンがロックすることとの間に、直接的な関

図3 グリッチでスコープをトリガし、ロジック アナライザとクロス トリガして、内部の受信側ステート マシンをキャプチャした波形。最初には良好に見える

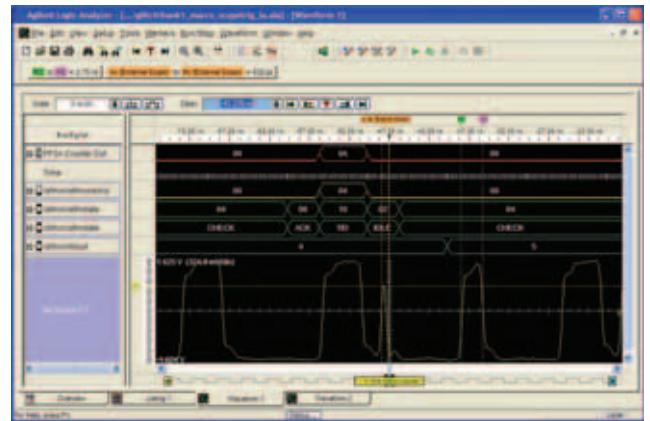
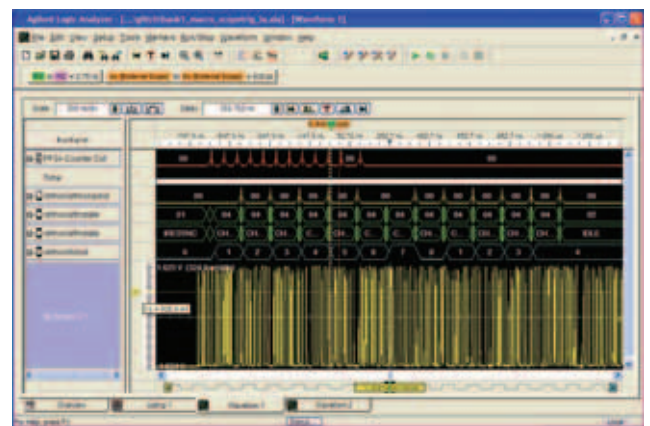


図4 ズームアウトすると、グリッチと12パケット後の受信側ステート マシンの機能停止との関連が分かる



係があることが分かります。オシロスコープでキャプチャするシリアル ストリームを調べ、E2681A EZJITジッタ解析ソフトウェア パッケージを使用して幅の狭いパルスの場所を見つけることにより、ロックする付近に必ず複数の幅の狭いパルスが存在することが検証できます。これで、問題の原因となりうる要素の絞り込みが大きく進展しました。

結 論

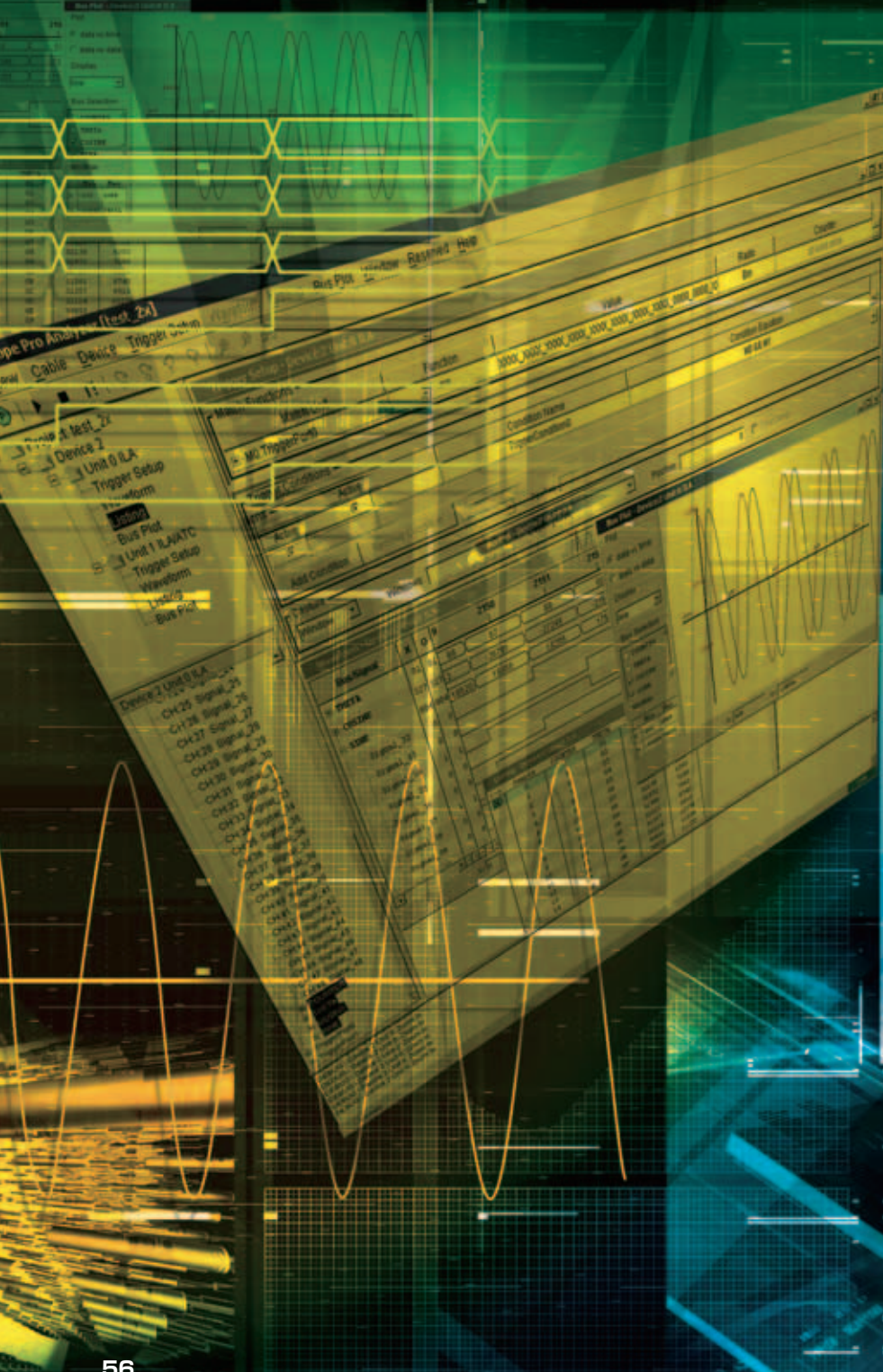
非同期のデジタル回路と、シグナル インテグリティの問題の影響を受けやすい高速のデータ レートとの間には、複雑な相互作用があるため、ロジック アナライザとリアルタイム オシロスコープを組み合わせることでより効果的な結果を得ることができます。それぞれの装置がキャプチャした信号を他方の装置と自動的に時間相関したり、オシロスコープの波形をロジック アナライザに取り込んだりする機能により、原因がロジックなのかシグナル インテグリティなのかという捕らえにくい因果関係の問題の特定が、従来よりもはるかに容易になります。

Agilent社のロジック アナライザとオシロスコープの詳細については、www.agilent.co.jp/find/logic/ および www.agilent.co.jp/find/scopes/ をご覧ください。



優位なリアルタイム デバッグ

ChipScope Proシステムを利用したデバッグ



Lee Hansen

Sr. Product Marketing Manager
Xilinx, Inc.
lee.hansen@xilinx.com

Brent Przybus

Sr. Product Marketing Manager
Xilinx, Inc.
brent.przybus@xilinx.com

検証作業は、最も時間のかかる作業で、しかも設計フローのなかでスピードが重要視されるフェーズです。ASICやストラクチャードASICの設計では、固定的な特性上、ボード上の問題の特定や発見に関する作業を極めて高い費用でしかも時間のかかるものになっています。

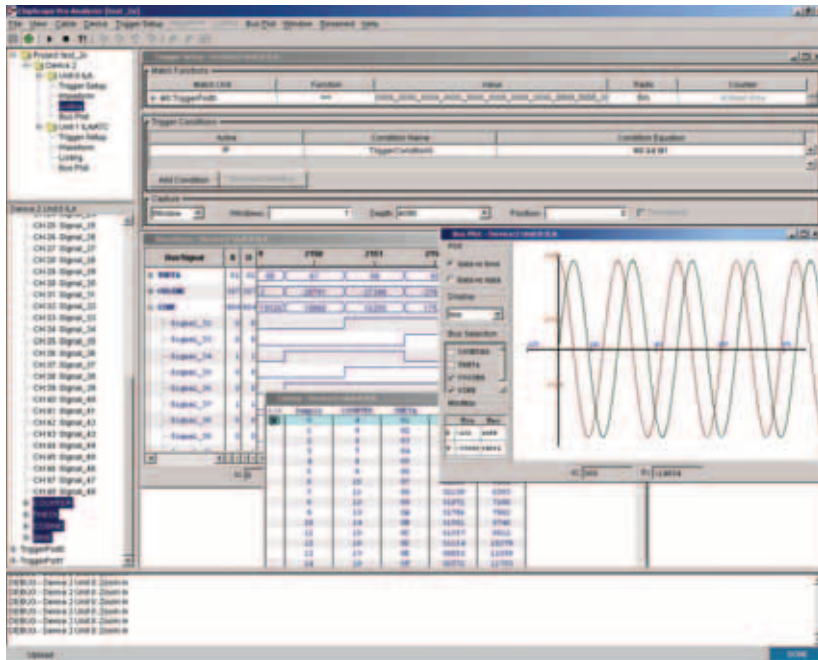
HDL検証ツールとタイミング解析ツールは、デザインのビヘイビアを予測する上で最先端の優れた機能を発揮しますが、FPGAのリアルタイム検証においては、ザイリンクスのChipScope™ Proシステムに勝る設計ツールはありません。

迅速なFPGA検証

ISE™ ソフトウェアのオプションであるChipScope Proシステムを利用することにより、ロジック設計者やエンベデッドソフトウェアの設計者は、FPGAをリアルタイムにデバッグすることができます。チップをボード上で動作させ、システムの他の部分と連携させながら、デザイン上の問題を迅速に発見することができます。問題の確認ができると、再プログラムが可能なFPGAの特性を活かして、デザインの変更内容を迅速にインプリメントし、FPGAのプログラミングケーブルを介してほんのわずかな時間でその内容をボード上のデバイスに戻すことができます。



図1 ChipScope Proロジック アナライザ



ソフトウェア コアによるデバッグ

ChipScope Proツールのパッケージには、ソフトウェア デバッグ コア、Core Inserter、CORE Generator™ ソフトウェア、統合ロジック アナライザが含まれています。ChipScope Proシステムは、ISE 設計ツールに直接差し込んで使用する個別のオプションで、60日間の無償評価版も提供されています。

ChipScope Proツールには、以下の4つのソフトウェア デバッグ コアが含まれています。

- ILA：最大315 MHzまでのロジック信号へのアクセスとキャプチャに使用します。ChipScope Proの旧バージョンより50%高速化されており、現在使用できるデバッグ コアの中でも最高速を誇ります。
- IBA：エンベデット プロセッサ バス信号のキャプチャ、プロトコル検出、コントロール信号、アドレスバス、データバスのデバッグおよび検証などに使用します。
- VIO：外部スイッチなどの仮想入力の設定、LEDなどの出力デバイスの模擬表現、外部ロジックのシミュレーションに使用します。
- ATC2：Agilent Technologies社の先進のTrace Core 2です。ChipScope Proシステムを、Agilent社製のロジック アナライザとFPGA Dynamic Probeへリンクするために使用します。

これらのローブファイル コアは、デザイン キャプチャの段階でCORE Generatorソフトウェアを使用することにより、簡単にコンフィギュレーションしてFPGAロジックへ挿入したり、あるいは、Core Inserterを使用してデザイン ネットリストへコアを直接挿入したりすることが可能です。これらのコアは、FPGAデザインに合成されインスタンス化されるため、FPGA内のあらゆる内部信号を観測することができます。

Virtex™-II ProやVirtex-4 FXファミリFPGAを使用してエンベデット プロセッサ システムの設計を行う場合、ChipScope Proシステムを使用することにより、IBM CoreConnectプロセッサのローカルバスや、IBM PowerPC™ 405プロセッサをサポートするオンチップ ペリフェラル バスを含む、エンベデット プロセッサ バスのデバッグが可能です。また、MicroBlaze™ ソフトプロセッサ コアの

エンベデット プロセッサ信号の表示とデバッグも可能で、ザイリンクスの先進のFPGAデバイス ファミリをすべてサポートしています。

信号は、OSの速度、あるいはそれに近い速度でキャプチャされ、プログラミング インターフェイスを通じて取り出されるため、ピンをデバッグ用ではなくデザイン用に空けておくことができます。ChipScope Proリアルタイム デバッグ ツールは、デザインの再合成や再配線を行うことなくプローブポイントを変更できる数少ないツールの1つです。また、ISE FPGA Editorを使用すると、信号プローブポイントを変更し、FPGAを直ちに再プログラムして、新しい信号セットのすべてを数分間でデバッグすることができます。

統合ロジック解析

キャプチャした信号は、ChipScope Proソフトウェア ロジック アナライザ (図1) で解析することが可能です。ChipScope Proロジック アナライザは、高度な機能を備えた表示/デバッグツールであるため、ロジックやバスの解析を簡単に行うことができ

ます。ChipScope Proロジック アナライザは、マルチ ウィンドウ表示とバス プロットをサポートしており、データ対時間形式でも、データ対データ形式でも表示が可能です。

キャプチャ モードでは複数のトリガ イベント後にキャプチャされたデータを比較し、また、信号フィルタリング機能を使用すると解析に余り重要でないデータ無視することができ、メモリと時間の節約を実現します。さらに、リスティング ビューアを使用すると、バス トークン ファイルをインポートして、実行順にインストラクションを表示することができます。

ChipScope Proのツールに加えてソフトウェア デバッグを使用するプロセッサ システムのデバッグ環境を支援するには、FPGAへのJTAG接続をChipScope Proアナライザと共有することができます。

ChipScope Proシステムには、データ キャプチャ機能に加え、業界初のリアルタイム仮想入出力コアへのインターフェイスであるVirtual I/Oコンソールも含まれています。Virtual I/Oコンソールを経由することにより、仮想入力とパルス トレインを制御し、出力動作を表示することができます。また、ChipScope Proシステムは、Windows、Solaris、Linux Red Hat Enterprise 3上でも動作が可能です。

新機能

ChipScope Pro 7.1iソフトウェアは、新たなレベルのリアルタイム デバッグを実現する新機能を提供します。その第一が新しいリモート デバッグ機能です。ChipScope Proツールは、TCP/IP接続を通じ、サーバー / クライアント モードで使用できるようになりました。ラボの隣室や地球の裏側からでもボードのリモートデバッグが可能となったのです。ラボ内の1つのボードやシステムを同じチームの他のデバッグエンジニアと共有したり、ヘルプデスク担当者が顧客サイトにおける問題をリモートでデバッグしたりすることが可能になります。

ChipScope Proシステムは、ザイリンクスの最新の低コストFPGAであるSpartan™-3Eファミリをサポートしています。

ATC2ソフトウェア デバッグ コアは、自動セットアップの面でも改善が加えられ、ATC2/FPGAピンがどのロジック アナライザのポッド信号に接続されているかをロジック アナライザで自動的に検知するため、より迅速かつ容易にセットアップを行うことができます。

ChipScope Proコアは性能面でも強化されています。システムデバッグを315MHz以上のクロック スピードで可能とするこのコアは、現在使用できる検証コアの中で最速のレベルを誇ります。

また、Core Inserterは、1つ以上のソースの複数ネットリストに対して使用できるようになったことから、デザインの1つのセクションごとにデバッグするのではなく、全体を同時にデバッグすることができます。また、ChipScope Proソフトウェアは、ザイリンクスの最も新しいUSBプロットフォーム プログラミング ケーブルもサポートしています。

Agilent社ロジック アナライザへのリンク

ChipScope Proシステムでは、内蔵のChipScope Pro ATC2コアを使用して、FPGA内部のデバッグをAgilent Technologies社のベンチトップ ロジック アナライザにリンクすることができます。このコアは、ChipScope ProシステムをAgilent社のFPGA Dynamic Probeソフトウェアに同期させます。FPGA Dynamic Probeソフトウェアはオプションで購入することが可能で、Agilent社製1680、1690、16900ロジック アナライザにプラグイン接続ができます。

ザイリンクスとAgilent社のユニークな提携関係により、従来よりも深い階層のトレース メモリ、高速クロック、多様なトリガ オプションが実現しました。さらに、より少ないピン数でFPGA上で使用することができます。他のFPGAやASICのリアルタイム検証ソリューションには、ATC2コアとFPGA Dynamic Probeのような先進技術のサポートは含まれていません。

FPGA Dynamic Probeは、新たなFPGA内部信号群の測定を数秒間で行います。この際、デザインを再コンパイルする必要もなく、デザインのタイミングに影響を及ぼすこともありません。この機能を使用すると、ピン1本あたり64個の内部プローブ ポイントを使用できるため、限られたピン数でより内部状態を観測することができ、デザイン用のFPGAリソースも節約できます。また、FPGAデザインからの

ロジック アナライザへの自動信号バス ラベリングや、ボード レイアウトからのロジック解析チャンネルへのFPGAピンのマッピングなど機能によって、エラーが発生しやすい作業や、時間のかかる作業を省くことができます。図2に、Agilent社ロジック アナライザ、FPGA Dynamic Probe、ChipScope Proソフトウェアをターゲット システムで使用した場合のセットアップ例を示します。

ATC2は、2、4、8、16、32、64バンクのいずれかをサポートすることができ、それぞれのバンクが4から128の信号幅をサポートします。オプションの2X TDMをステート デバッグ モードで使用することにより、プローブ可能な信号が2倍になり、1システム内で8,192の信号をデバッグすることが可能となります。また、JTAGプログラミング インターフェイスを使用して、デバッグ中でも入力バンクの変更が可能になります。ATC2には、1つのタイム ドメインで機能的なデバッグを行うステート モード(最も広範囲の信号をキャプチャ)と、複数のタイム ドメインにわたって測定を行うタイミングモードという2つのモードがあり、いずれかのモードを選択して使用できます。

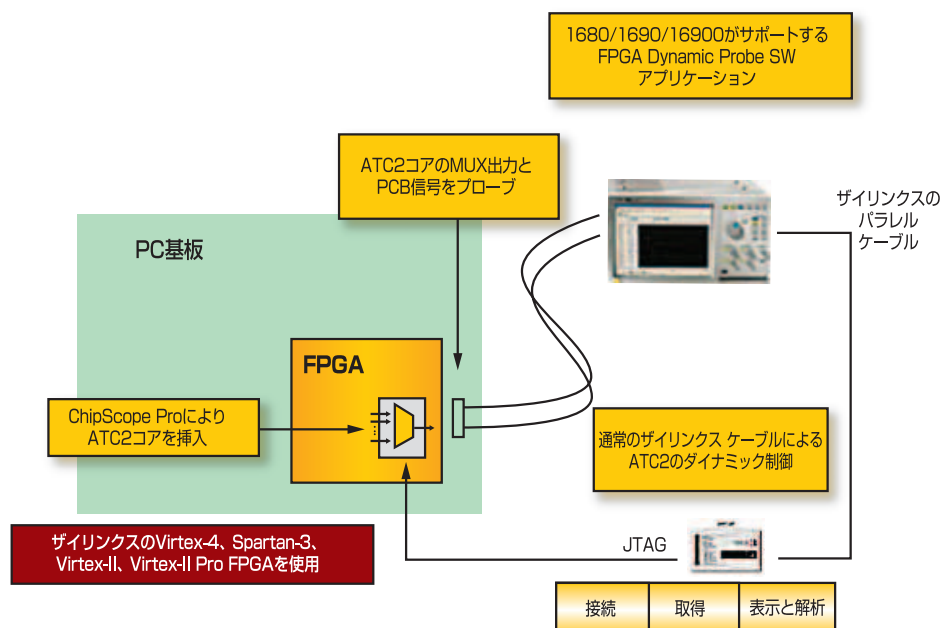
ATC2ソフトウェア デバッグ コアは、自動セットアップの面でも改善が加えられ、ATC2/FPGAピンがどのロジック アナライザのポッド信号に接続されているかを、ロジック アナライザで自動的に検知するため、より迅速かつ容易にセットアップを行うことができます。また、位相オフセットと電圧オフセットの両方における各ATC2/FPGAピンの理想的なサンプリング ポイントを自動的に発見することができます。また、使用可能なマルチプレクサ バンク入力の数、32から64に増加しています。さらに、既知のバンクを選択してATC2デバッグを開始することも可能になりました。

結 論

ChipScope Proツールは、デザインスペースやI/Oピンに与える影響を最小限に抑えつつ、システムの動作速度またはそれに近いスピードでのリアルタイム検証を可能にします。また、システムと連

携しながら、ボード上でFPGAを動作させた状態で内部の信号をキャプチャすることができます。FPGAやASICの検証において、このような機能を備えたソリューションは他にありません。これに、再プログラムが可能というFPGAの利点が加わると、これまでになく短時間でデバッグを簡単に行えます。詳細はザイリンクスの各販売代理店までお問い合わせください。●●●

図2 ATC2コア、FPGA Dynamic Probe、ChipScope Proシステム





PlanAhead

階層設計・解析ツール でデザインを制御

迅速な解析、フィードバック、ブロックベースのフローにより、性能向上を図り、デザイン クロージャまでの時間を短縮

Salil Raje

Software Development Director
Xilinx, Inc.
salil.raje@xilinx.com

David Knol

Senior Staff Engineer
Xilinx, Inc.
david.knol@xilinx.com

Brian Jackson

Product Marketing Manager
Xilinx, Inc.
brian.jackson@xilinx.com

Mark Goosman

Product Marketing Manager
Xilinx, Inc.
mark.goosman@xilinx.com

FPGAの性能や集積度の限界に挑戦している最中、デザインの納期を危うくするような問題に遭遇することがよくあります。これら問題の主な原因として、配置・配線の実行に長い時間がかかることと、結果の反復性が挙げられます。

従来のFPGA向けデザインツールは、プッシュボタン式のフラットなインプリメンテーション方式を採用していますが、このようなデザインフローは、設計ゴール達成の改善策に対する手がかりがほとんどなく、必要な変更さえ行うことができません。

ザイリンクスは、このような課題に取り組むことが可能な場合、ユーザー自身がデザインを制御できる新しい設計ツールを提供しています。PlanAhead™ は、階層構造の設計・解析ツールで、複雑なFPGAに対してASICの設計手法を使用することができます。図1に示すように、PlanAheadソフトウェアは、ユーザーの現在のフローの合成と配置・配線との間に簡単に組み込まれます。配置・配線を行う前に、多くの潜在的な問題点を解析、検出して修正することができます。また、ブロックベースのインクリメンタル機能を使い、ブロックごとにデザインを確定していくことができます。

解 析

PlanAhead設計ツールは、合成済みのEDIFネットリストを入力とし、1個または複数のUCF (User Constraint File) 制約ファイルを取り込みます。使い易い強力なグラフィカル環境上に、ユーザーがターゲットにしているザイリンクス デバイスが表示されます (図2参照)。表示された環境上で、このツールを利用しデザイン領域を検討することが可能になります。



タイミング解析

TimeAheadは、PlanAheadソフトウェアに組み込まれている柔軟なタイミング解析ツールです。このツールを使用すると、配置・配線を実行する前に配線遅延を見積もることができます。PlanAheadのブロックベースのアプローチにより、デザインのブロックが1個ずつ配置・配線されていくと同時に、予測したタイミングの精度が向上していきます。

また、TimeAheadは、デザイン内の小さな領域にある性能上の問題を特定し、解析することも可能です。ユーザーはこのフィードバックを活用して、再合成やフロアプランニングの改善を行うことで、より良い結果を得ることができます。

図1 ユーザーの既存のデザインフローに適合するPlanAheadソフトウェア

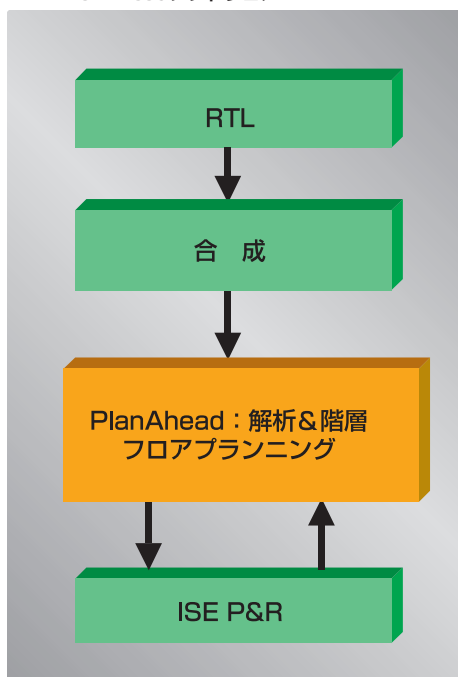
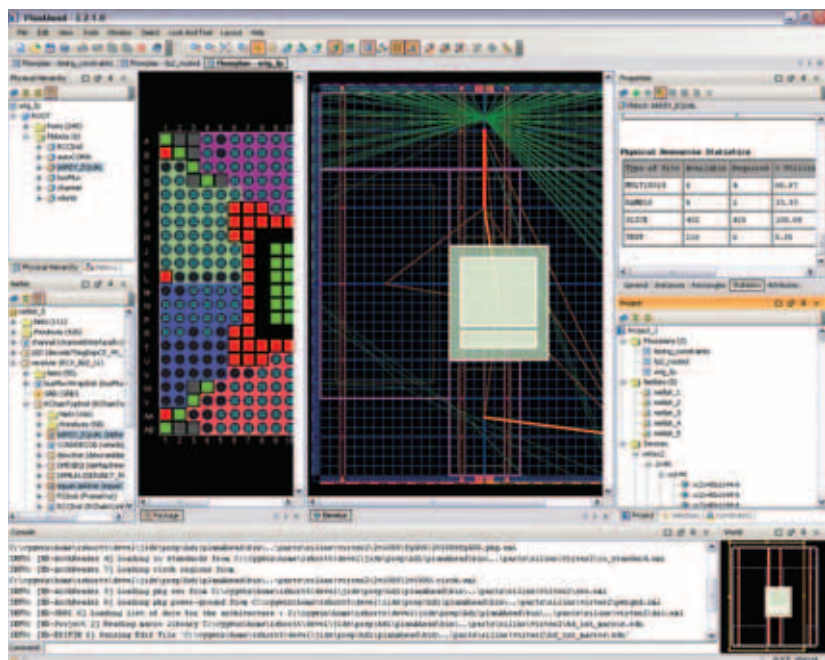


図2 PlanAhead解析環境



デバイスの選択

PlanAheadは、同一のネットリストに関して複数のデバイスビュー（フロアプラン）をオープンできるため、あるネットリストに対して、互換性のあるファミリ内で異なるデバイスを容易に検討することができます。PlanAheadをTimeAheadと組み合わせることで、ユーザーの目標性能を満たすスピードグレードを選択し、最適な規模のデバイスを決定することができます。同時に、ピン数やパッケージの選択にも利用できます。

複数のフロアプラン

PlanAheadソフトウェアは、同一のネットリスト上で複数のデバイスビューをオープンし、そのデバイスビューごとに異なるフロアプランを作成することができます。最終的な配置・配線を実行する前に、フロアプランごとに使用率や性能特性を解析することができます。このため、デザイン領域の検討に際し、強力なwhat-if解析を実行することができます。

統計

クロックやリソースの使用率、RPM、キャリチェーン、クロック領域、内部ネット数対外部ネット数などの詳細な統計的情報について、デザインのすべてのブロックについて示すレポートを作成することができます。これにより、特定のブロックやモジュールに対して、デザイン上の問題点の絞り込みを行うことができ、別のオプションを使って再コード化あるいは再合成することが可能です。

Schematic Viewer

包括的なSchematic Viewerは、タイミングパスのナビゲーションや、ロジック各部のトレース、フロアプランされたブロックの接続活性の決定に利用できます。Schematic Viewerに搭載された簡単なネットおよびピントレース機能により、VHDL/Verilogファイル作業に伴う時間を短縮することができます。

コネクティビティの表示

PlanAheadソフトウェアは、フロアプランされた2個のブロックをバンドルしているすべてのネットを1本のラインにまとめます。同時に、ラインの太さと色にそのネット数を反映させます。このようにまとめられたコネクティビティは、デザイン全体のデータフローを示すもので、求めるフロアプランに到達する上で非常に有用になります。

制約の編集

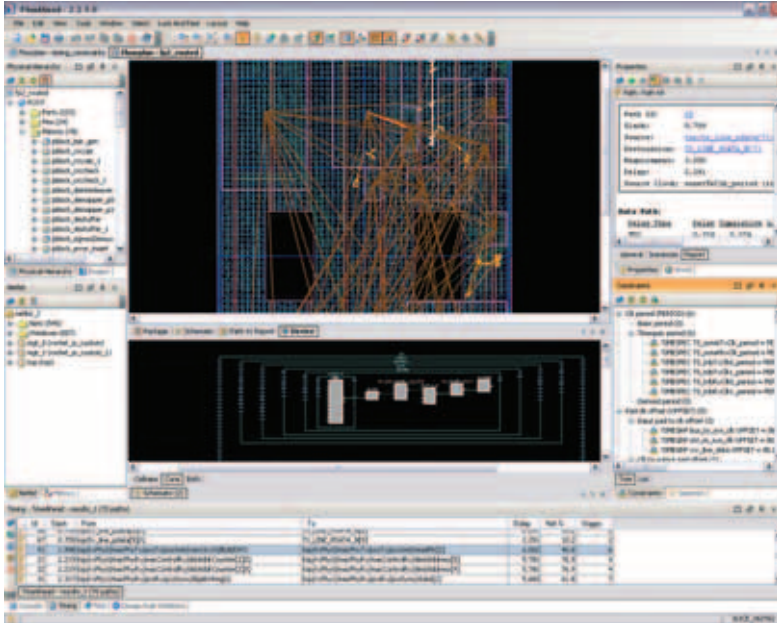
制約を表示して修正や追加、削除などを行った後、TimeAheadを再実行することで、タイミング制約の変更によって受ける影響を確認することができます。これにより、単に制約の変更による影響を確認するだけで、時間のかかる配置・配線を再実行する必要がなくなります。パスがあまり重要でないと判断した場合、それを対象から除外したり、クロック要件をより厳しくしたり、曲がりくねった長いネットにMAX_DELAYコンストレイントを追加するなどの決定を行うことができます。

デザインルールチェック(DRC)

PlanAheadソフトウェアは、長時間の配置・配線を実行する前に、潜在的な問題の発見を可能する、



図3 TimeAheadとSchematic Viewerで配置を解析



以下のような幅広いデザインルール チェックを実行します。

- SSO限度違反
- I/Oバンク ルール違反
- クロック領域に関するルール
- キャリ チェーンの高さ
- DSP48内部レジスタの最適化

配 置

PlanAheadにより、ユーザーブロックやデザイン全体の配置を取り込み、配置場所の変更を行うことができます。PlanAheadデザインツールは、ネットリストのツリー表示、回路図、配置、タイミングパス、およびユーザーがフロアプランしたブロックの各項目間で容易な機能のクロス プローブ(相互対比)を可能にします。

図3に配置・配線後の環境を示します。PlanAheadの種々の解析機能を組み合わせることで、物理的なインプリメンテーションが性能に及ぼす影響を把握することができます。

メトリック マップ

最新リリースのPlanAheadに搭載されたメトリック マップを使用すると、配置表面上のある階層モジュール内に見られる一群の不活性インスタンスのような問題箇所を検知することができます。また、過密配線や使用率の問題も検出できます。高速でより優れた精巧なビジュアル化により、FPGAを確実に制御し、問題の修正にかかる時間を短縮することができます。

ブロックベースのデザイン

超高集積FPGAを納期内に市場投入しようと懸命に取り組んでいる際、より管理しやすくするために、デザインを小さいブロックに分割する方法を検索することがあります。まず、重要なブロックを重点的に最適化し、インプリメントして性能を検証してからデザインの残りの部分を作業するというフローを想像してみてください。また、チーム間でデザインを分割して作業できるフローがあればと思うかもしれません。

PlanAheadソフトウェアは階層デザインツールとしてまったく新し

く開発されたツールで、その中心は、PBlock (Physical Block) で構成されます。PBlockは、1つまたは複数のロジック (RTLまたは構造化EDIF) 階層インスタンスを含む物理デザイン エンティティです。

単にPBlockを作成し、それに領域を割り当て、そのネットリストと関連の配置・配線用の制約をエクスポートし、その配線結果をインポートしてからタイミングを検証します。PBlockテクノロジーにより、次に挙げる重要な手法が可能となります。

柔軟なブロック分割

PBlockの構成要素として、任意の数の階層インスタンスまたはロジック素子 (LUT、FF) を持つことができます。PBlockは最初の論理階層を維持する必要がなく、ユーザーの作業フロー全体を通じて必要なときにいつでもダイナミックに再定義することが可能です。このテクノロジーの利点は次の通りです。

性能ベースのフロアプランニング

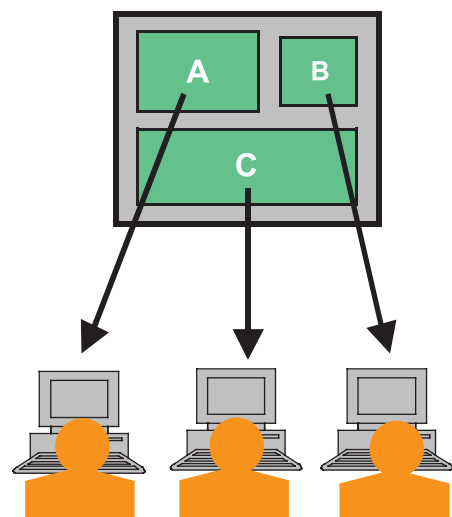
PBlockは、ロジックをまとめてグループ化することで、デザインの性能を向上させることができます。クリティカル パスをデバイス上のより小さな領域にまとめることで、配線遅延を低減し、性能の向上を実現します。PBlockの生成やフロアプランを作成するには、PlanAheadのいずれの解析機能も使用することができます。フロアプランは一度定義すると、ネットリストに対する多少の変更はもとより、中程度の変更まで対応でき、配置・配線結果を予測可能な状態に保持します。

ブロック解析

デザイン解析の結果、クリティカル パスがいくつかの階層インスタンスに含まれていることが判明した場合、次のような手法を検討することができます。それらのインスタンスを含むPBlockを作成し、それを配置・配線にエクスポートします。PlanAheadソフトウェアはインスタンスに関連するタイミング制約もエクスポートします。

配置・配線結果は、タイミングの確実性をチェックするのに役立ちます。試行のPBlockがタイミング要求を満たさない場合、そのロジックは、全体に組み込んでもタイミング要求を満たさないことを確信できます。このように、デザインの中で作業の中断を招く要因を容易に特定し、対応することができます。

図4 チームによるブロック別の設計





ボトムアップ フロー

PBlockを配置・配線し、望ましい結果が得られた場合、そのPBlockの配置結果を、強力なチーム間でのデザインフローで使用することができます。たとえば、デザイン マネージャによりそのロジックをいくつかのPBlockに分割し、各チームメンバに割り当てることができます（図4）。チームメンバは、自分に割り当てられたPBlockごとに、満足な結果を得ることに注力することができます。

デザイン マネージャは、チームメンバから届いた各PBlockの結果を順にPlanAheadソフトウェアにインポートすることにより、デザインを一つに縫い合わせていきます。PlanAheadデザインツールは配線を固定しないため、デザインを完成させるために最終的な配線を実行する必要があります。

IPコアの再利用

PlanAheadソフトウェアは、どのようなIPモジュールもエクスポートすることができます。エクスポートされたモジュールに対して、後から配置・配線を実行することもできます。いったん性能仕様を満たしたモジュールについては、そのモジュールとその配置情報を自分のチームのIPライブラリに保存しておくことができます。そうすることで、別のチームメンバがそのIPと配置情報をまったく新しいデザインにインポートすることができます。

PlanAheadデザインツールを使って、IPコアをデバイス上で移動させることもできます。そのIP内のロジック素子の相対的な配置は保持されるため、そのネットの配線遅延の変動を最小限にとどめることができます。一度性能仕様を満たすIPモジュールの設計に費やした時間を、同じIPコアを使用するデザインごとに繰り返す必要がなくなります。

インクリメンタル デザイン

配置・配線に関するザイリンクスISE™ ソフトウェアのインクリメンタルなガイド付きインプリメンテーション フローでは、ユーザーがデザインをフロアプランする必要があります。このガイド付きフローでは、以前のインプリメンテーション結果をユーザーのフロアプランと組み合わせて再利用することで、新しい インプリメンテーションでもその結果が保持されます。PlanAheadソフトウェアを使うと、インクリメント方式のガイド付きフローに必要なフロアプランを容易に生成することができます。

より大規模なFPGAデザインの場合、結果が予測不能で、配置・配線の実行に長い時間がかかる点が問題として指摘されています。PlanAheadのブロックベースのフローにより、大規模デザインの制御を可能にし、ますます増大するデザインの複雑化に対処できるようになります。

表1は、PlanAheadによる手法を導入後に得られた結果の例を示しています。

表1 PlanAheadソフトウェアにより性能と生産性が向上したユーザーデザイン例

	デバイス	PlanAhead導入前	導入後
顧客A	XC2V1000	一貫性のない結果： 25 MHz～60 MHz	常に63 MHz以上
顧客B	XC2V8000	9時間の配置・配線： 147 MHz	3時間の配置・配線： 172 MHz
顧客C	XC2VP70	54 MHz	102 MHz
顧客D	XC2V6000	3週間の設計時間： 160 MHz	3日間の設計時間： 178 MHz
顧客E	XC2V4000	120 MHz	170 MHz
顧客F	XC2V4-LX60	93 MHz	109 MHz

結 論

FPGAのさらなる高集積化や高度化の進行の一方で、FPGA設計者に求められる性能要求やTime-to-Marketへのプレッシャは依然として変わりません。既存のデザインフローや設計手法は、FPGAの進歩に追いつくよう改善が重ねられていますが、PlanAheadソフトウェアは、ユーザーの現在のデザインフローに革命的な進歩をもたらします。

直観的でパワフルな設計解析およびブロックベースの階層デザイン機能により、ユーザーはデザインを有効に制御することができます。PlanAheadデザインツールの詳細についてはwww.xilinx.co.jp/planahead/をご覧ください。

Xcell journal
THE AUTHORITATIVE JOURNAL FOR PROGRAMMABLE LOGIC USERS

**パートナの皆様
御社の製品・サービスを
Xcell 誌上で多いに
PRしてみませんか？**

ザイリンクスの技術広報誌Xcellジャーナル（季刊誌）は、日本はもとより世界のプログラマブル ロジックユーザー向けに、設計の短縮化、ならびに設計の高品質化に貢献できるよう、最新の製品&技術情報をはじめ、最新設計・アプリケーション等の解説、サードパーティ各社のツール情報などをタイムリに提供しています。

是非、御社の製品・サービスを本誌で宣伝してください。

広告掲載に関するお問い合わせ先
有限会社 エイ・シー・シー
Xcell広告係りまでe-mailにてお願いします。
e-Mail : tsohyama@jcom.home.ne.jp

XILINX®

Withの力

FPGA設計におけるデザインエントリ、シミュレーション、論理合成を統合してサポートする強力な環境。ソリトンがお届けします。

Active-HDL™
Complete FPGA Verification Environment

With

Synplify®

「Active-HDL with Synplify」は、業界最高水準のポイントツールを高度に結合することでスムーズなデザインフローを実現し、大規模かつ複雑化する FPGA の設計生産性を大幅に向上します。

▼特長

→ デザインエントリ環境

- ブロック図やステートマシンエディタによる直感的な設計が可能です。
- 既存のデザインをインポートし、グラフィック変換や、設計資産としてデータベース化できます。
- 波形エディタやテストパターン生成機能によりテストベンチ作成を支援します。

→ 高速シミュレーションエンジン

- VHDL/Verilog/EDIF が混在したデザインでも高速検証が可能です。
- Windows ベース・シミュレータとしては業界最高水準のパフォーマンスを発揮し検証時間を短縮します。
- 豊富な HDL デバッグ機能を搭載します。
- MATLAB/Simulink との協調検証インタフェースを備えています。

→ Synplify ソフトウェアによる高品質な論理合成

- 業界標準論理合成ツールSynplifyソフトウェアは、独自の合成アルゴリズムBESTテクノロジーにより短時間で FPGA の性能を最大限引き上げる合成結果を出力します。
- Synplify ソフトウェアの全機能を搭載した製品版を提供します。

この強力なソリューションを体験したい方のために無償ワークショップをご用意しております。

Active-HDL 無償ワークショップ開催中

●詳細/お申し込みは、右記URLをご参照ください。 <http://lsi.soliton.co.jp/training/>

Active-HDL with Synplify

Active-HDL™
Complete FPGA Verification Environment

デザインエントリ

テストパターン生成

Active-HDL™
Complete FPGA Verification Environment

論理シミュレーション

機能デバッグ

Synplify®

論理合成

FPGA インプリメントツール

配置・配線



* Active-HDLはAldec社の商標です。* SynplifyはSynplify社の登録商標です。* その他の製品及び名称は各社の登録商標、商標です。

株式会社ソリトンシステムズ LSI システム オペレーション

本社 〒160-0022 東京都新宿区新宿 2-4-3 TEL 03(5360)3851 e-mail: information@lsi.soliton.co.jp

Soliton®

<http://lsi.soliton.co.jp/>

Hydraプロジェクト

クラスタ コンピューティングと微粒パラレルFPGAを統合した
最先端アプリケーションである世界最強のチェス プログラム Hydra

Chrilly Donninger
Programmer
Nimzo Werkstatt OEG
c.donninger@wavenet.at

Ulf Lorenz
Researcher
Paderborn University
flulo@upb.de

国際コンピュータゲーム協会(ICGA: International Computer Games Association) は、コンピュータ チェスの世界選手権を定期的に行っています。この大会では、非常に長い間、汎用大型コンピュータが優勝を収めてきました。しかし、1992年以降、チェスの世界チャンピオンの座は、すべてPCプログラムが占めてきました。PCプログラムは世界に君臨し、試合での強さを1年に約30ELOずつ高めてきました(ELOは、100点差が勝率64%に相当すると見なす統計的尺度。一定のELOの点数によって技能のレベルを定める。初心者=1,000ELO、インターナショナルマスタ=2,400、グランドマスタ=2,500、世界チャンピオン=2,830)。

今日、コンピュータ チェス団体は、バーチャル リアリティを駆使した特別仕様のマシン サイトやクローズド/オープン of the 試合用サイトを備え、高度な発展を見せています。誰もがインターネットを通じてグランドマスタや強力マシンと対戦することが可能です。

Hydra

Hydraプロジェクトは、アラブ首長国連邦 (UAE) のアブダビを拠点とするPAL Computer Systems社の資金提供の下で国際的に運営されています。チームの中核を構成するのは、プログラマー Chrilly Donninger氏 (オーストリア)、研究者 Ulf Lorenz氏 (ドイツ、パーダーボルン大学)、チェスのグランドマスタ Christopher Lutz氏 (ドイツ)、プロジェクト管理者 Muhammad Nasir Ali氏 (UAE、アブダビ) です。サイリンクスのFPGAは、イギリスのAlphaData社製PCIカードに搭載して提供されています。また、計算クラスタはドイツのMegware社によって構築され、パラレル コンピューティングについてはパーダーボルン センタがサポートしています。このプロジェクトには、台湾も参画しています。

Hydraプロジェクトの目標は、文字どおりコンピュータ チェス界で世界をリードする存在の1つになること、すなわち人間のプレーヤーに勝利することです。実際我々は、2005年にはコンピュータが世界で初めてチェス界で最強の存在になるものと確信しています。

本格的に王座を狙う候補としては、次の4つのプログラムが頭角を現しています。

- Shredder (シュレッター)：開発者 Stefan Meyer-Kahlen、過去10年以上トップにあったプログラム
- Fritz (フリッツ)：開発者 Frans Morsch、最も有名なプログラム
- Junior (ジュニア)：開発者 Amir BanおよびShay Bushinsky、現在のコンピュータ チェスの世界チャンピオン
- 我々のプログラムHydra (ヒドラ)：我々の考えでは現時点で最強のプログラム

上記4つのプログラムは、2003年の世界選手権で、対戦相手に対し点数の95%以上を獲得しました。チェスに関する高度な知識とコンピュータの計算速度が、チェス プログラムで最も重要な要素です。FPGAは、スピードと高度なプログラム要求を満たすことによって、Hydra内で重要な役割を果たしています。その上、以下のメリットも提供しています。

- より多くの知識のインプリメンテーションには追加スペースが必要だが、追加の計算時間はほとんど不要。
- FPGAのコードは、ASICのような長い開発サイクルが不要で、ソフトウェアと同様にデバッグと変更が可能。チェス プログラムの進化には終わりがなく、コンピュータ チェスのダイナミックな進歩が開発サイクルの短縮化を要求していることを考えると、これはFPGAの重要な特長となる。したがって、柔軟性はスピードと同じくらい重要性が高い。
- 多くの微粒パラレルizmを使用可能。

技術的説明

最強の人間プレーヤーと同等、あるいはそれ以上の試合運びをコンピュータ チェス プログラムが実現する重要な機能は、探索アルゴリズムです。コンピュータ プログラムは、あるポジション (局面) で、自分には何が出来るか、対戦相手は次に何をしてくるか、その後、自分はどうすればよいのかななどを予測します。

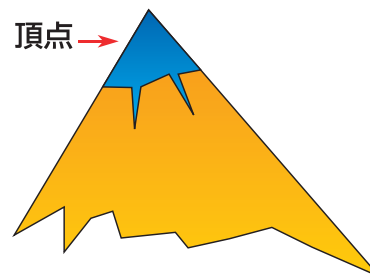
最新のプログラムは、予測の結果得られるゲームのツリーを検討するために変形のAlphabetaアルゴリズムを採用しています。ゲーム ツリーの深さを t 、均質の分岐幅を b と仮定すると、ほとんどの場合 b^t 個の多数リーフ (枝

葉)に代わって $O(b^{t/2})$ 個の多数リーフ (枝葉)のみを検討するという最適なアルゴリズムです。このアルゴリズムは、探索プロセス中に収集した情報を利用し、上限および下限を使って、残りの探索ツリーが常に少なくなるようにします。これは、パラレル化の困難なシーケンシャル プロシージャを生み、単純な手法ではリソースの浪費を発生してしまいます。

Alphabetaアルゴリズムは有用ですが、チェスのようなゲームでは、あらゆるポジション (局面) に対する真の値を計算することはできません。ゲームのツリーは、途方もなく大きなものであるため、我々はツリー探索を近似的なプロシージャで行うことにしました。初めに、完全なゲーム ツリーの頂点近くにルートを持つ部分ツリーを検査用を選択します。通常、そのツリーは最大の深度パラメータを利用して選択されます。次に、あらかじめ選択した部分ツリーの疑似リーフにヒューリスティック値を割り当てます (たとえば、一方がクイーン以上の駒を持っているからそちら側が恐らく勝つだろう、というような値)。それらの値を真の値だと仮定してツリーのルートまで伝達します (図1)。

過去40年間にわたるコンピュータ チェスのデータで注目すべき重要な点は、ゲームのツリーがエラー フィルタとして機能することです。検討するツリーが大きく、その形状が精巧であるほどエラー フィルタの特性は向上します。したがって、必要なのはスピードです。

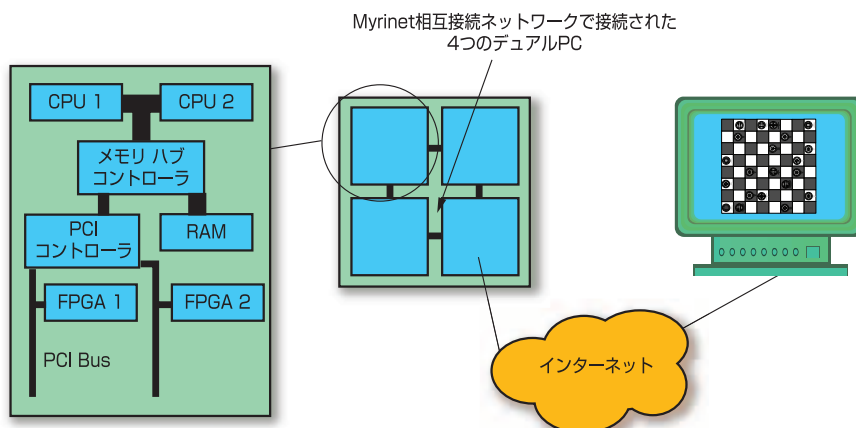
図1 ゲーム ツリーの探索(ブルーの部分)は近似的なプロシージャによる



ハードウェア アーキテクチャ

Hydraは、Windows XPのPC上で動作するChessBase/FritzのGUIを使用します。これはsshを使用してインターネットに接続し、我々のLinuxクラスタに接続します。このクラスタ自体は、同時に2つのPCIバスを処理可能なデュアルPCサーバ ノード8個で構成されています。各PCIバスには、1つのFPGAアクセラレータ カードが含まれています。1つのMPI (Message Passing Interface) プロセスが各プロセッサ上にマップされます。FPGAの1つも、それと関連付けられます。Myrinetネットワークはサーバ ノードを相互接続します (図2)。

図2 2枚のFPGAで構成されるデュアルPCのクラスタ
各々がインターネットを介してGUIに接続される



ソフトウェア アーキテクチャ

ソフトウェアは、クラスタのPentiumノード上で動作する分散探索アルゴリズムとザイリンクスFPGAに搭載されたソフト コプロセッサの2つに分割されます。

我々のパラレル化の背後にある基本的な発想は、work-stealingという考え方を利用したものです。これはツリーを分解するもので、ツリーの各部分をパラレルに探索して負荷のバランスを動的に保ちます。

まず、特別なプロセッサ P_0 が探索問題を受け取ると、それがシーケンシャルに動作するかのように予測アルゴリズムを実行し始めます。同時にその他のプロセッサは、任意に選択された自分以外のプロセッサに対して仕事の要求を出します。 P_i (仕事を既に与えられているプロセッサ) は、その要求を受け取ると、評価待ちの自身の探索ツリーに未検討の部分があるかどうかをチェックします。それらの未検討の部分はすべて、 P_i の探索スタックにあるノードの正統な兄弟姉妹(枝葉)にルートを持っています。 P_i は、要求を出したプロセッサ P_j に対して、仕事を実行できないというメッセージを返信するかワークバケット(限界を持つチェス ポジション)を送ります。このように、 P_i は自らマスタになり、 P_j は単独でシーケンシャル探索を開始します。プロセッサは同時にマスタとワーカーになることが可能です。

両者の関係は、計算中に動的に変化します。 P_j が自分の仕事を終わると(場合によっては他のプロセッサの助けを借りて)、応答メッセージを P_i に送ります。 P_i と P_j 間のマスタ/ワーカーの関係は解除され、 P_j は仕事のない状態になります。 P_j はネットワーク内に再び仕事の要求を送り始めます。プロセッサ P_i が自分のワーカーの1つ(P_j)に誤った $\alpha\beta$ ウインドウを送信したことに気づくと、 P_j にウインドウ メッセージを送ります。 P_j は探索を中止し、ウインドウを修正して先ほど行っていた探索を最初から始めます。メッセージに無用の仕事を示す“cutoff(切断)”が含まれていた場合、 P_j は単純に仕事を中止します。16のクラスタ エンティティ上でファクタ12の高速化を実現します。このことは、Hydraが今や1秒につき3,600万ノードを調べることを意味します。

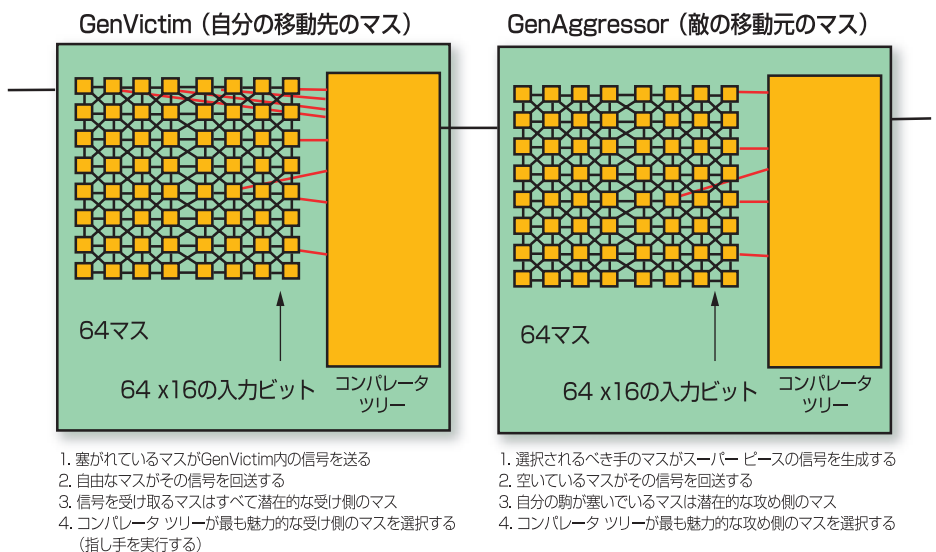
分岐があるレベルに達すると、残りの問題はConfigwareコプロセッサを利用して解決可能なほど小さく、アプリケーション内部の微粒パラレル化が持つ利点を享受できます。チップ上には、探索、評価、指し手の生成、指し手の実行または取り消し用の各モジュールで構成された完全なチェス プログラムが装備されています。現在、67のブロックRAM、9,879のスライス、5,308のTBUF、534のフリップフロップ、18,403のLUTが使用されています。探索ノードあたりのサイクル数の上限は9サイクルです。純粋なソフトウェアソリューションでは、少なくとも6,000 Pentiumサイクルが必要だと推定されています。Virtex™TM 1000上では、最長パスは51のロジック レベルで構成され、このデザインは30 MHzで動作します。プログラムが50 MHzで動作できるようにするため、デザインをVirtex XC2VP70-5に移植したところ です。

ソフトウェアでは、指し手ジェネレータは通常重ループとしてインプリメントされます。重ループには、すべての駒タイプに対する1ループ、そのタイプの駒に対する内部ループ、その駒が移動可能

なあらゆる方向に対するもう1つの内部ループ、そして現在の方角を考慮して駒が移動できるマスに対する最も内側のループがあります。特に、駒獲得のための指し手を指し手リストの先頭に進める必要があることを考えると、これはまさにシーケンシャル プロシージャです。

しかし、微粒パラレル デザインには、働きの非常に異なる、高速で小型の指し手ジェネレータが装備されています。指し手ジェネレータは図3に示すように、原則として2つの8×8チェスボードから構成されています。GenAggressorおよびGenVictimのモジュールは、それぞれ64マスのインスタンスを示します。両モジュールは、入力信号を隣接するどちらのマスに送るべきかを判定します。

図3 Genモジュールが指し手ジェネレータを形成



マスのインスタンスは、それぞれの駒情報の信号を送り(そのマスに駒がある場合)、広範囲に及び駒の信号を隣接するマスのインスタンスに転送します。そのほか、各マスは“victim found (取れる駒が見つかった)”信号を出力します。その結果、そのマスが“victim (取れる駒)” (自分が正当な指し手で移動できる敵の駒があるマス)であることがわかります。すべての“victim found”信号の集合は、最も興味ある未検討の“victim”を選択するアービタ(コンパレータ ツリー)に入力されます。

GenAggressorモジュールは、アービタの出力を入力として取り込み、スーパー ピース(あらゆる駒の組み合わせ)の信号を送信します。たとえば、敵のrook-move (ルークは将棋の飛車に相当)信号が自分自身のルークをヒットすると、それは“aggressor (侵略してくる駒)” (敵が正当な指し手で移動できる敵側の駒があるマス)であることがわかります。このように、多くの正当な指し手がパラレルに生成されます。

これらの指し手はソートする必要があるため、すでに検討済みの指し手をマスクしなければなりません。指し手のソートは別のコンパレータ ツリーを使用して行われ、選択されるべき手はツリーの6レベル以内で判定されます。ソート基準は、攻撃される駒の値とその指し手がキラー指し手かどうかをベースにしています。

図4に、再帰的Alphabetaアルゴリズムの有限ステート マシンを示します。図の左側に、ヒューリスティックなヌルムーブ(nullmove: 新しい指し手を必要としない)を含む通常探索のステートが表示されています。右側は、静止探索のステートを示します。サブロジックの一部(評価と指し手ジェネレータ)が1サイクルではなく2または3サイクルを必要とする場合があるため、タイミングの管理が重要になります。探索はFS_INITから開始します。実行すべきことがある場合、

またヌルムーブが適用不能な場合は、フル探索の開始 (FS_START) に移ります。

場合によっては、探索の深さを増やしてから (図4には表示なし) 状態FS_VICTIMに入り、その後、上述したように次の正当な指し手を実行するFS_AGGRに入ります。状態FS_DOWNに到達することは、1ポイントのウインドウ($\alpha, \alpha + 1$)のAlphabetaアルゴリズムを再帰的に呼び出すことを意味します。探索の残りの深さがゼロより大きい場合、状態FS_STARTで指し手を探します。ゼロ以下の場合、評価検討から始まる静止探索に入ります。静止探索では、駒獲得とチェック(詰め)の回避の指し手だけが考慮されます。

探索スタック (図中表示なし) はデュアルポートRAMの6ブロックによって実現され、16ビット幅のRAMとして構成されます。したがって、2つの16ビットワードが1つの32ビットワードを一度にRAMに書き込むことができます。探索FSMによって制御される深度変数は、データフローを制御します。さまざまなテーブルが再帰的探索の多様なローカル変数を収集します。

結 論

我々は、非常に楽観的ではありますが、Hydraが既に他の誰よりも優れたチェスプレーヤーであると考えています。いずれにしても、Hydraの強さをこれから一連の試合で証明する必要があります。

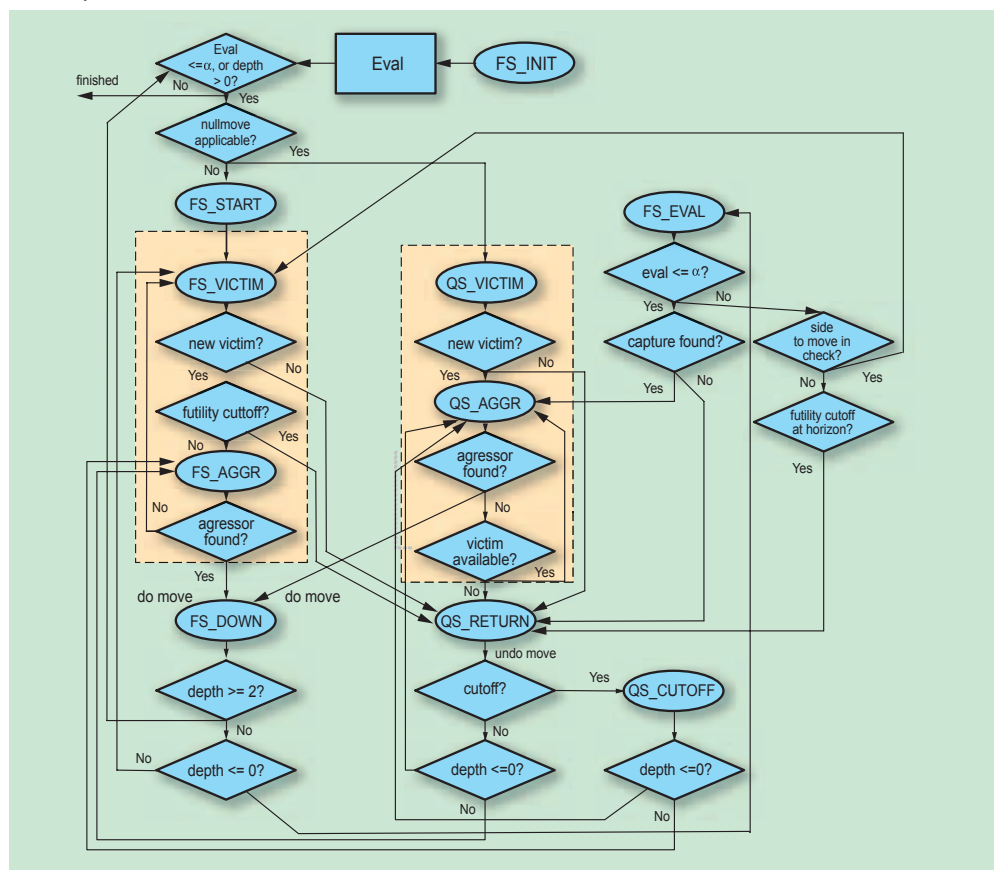
同時に、Hydraと他のコンピュータプレーヤー間の距離を維持し、さらに拡大したいと考えています。したがって、Hydraの将来のバージョンでは、ザイリンクスFPGAをより新しい世代のバージョンに切り換え、プロセッサ数を一層増やして評価機能を微調整していく計画です。

詳細については、www.hydrachess.comならびにwww.chessbase.comをご覧ください。🌈

現代のコンピュータ チェスの歴史

- **1940-1970年** : プログラマーが人間のチェス スタイルを真似ようとするが、出来上がったプログラムは能力不足
- **1970年代** : Chess 4.5は、ツリー検索を強化した初のプログラム。トーナメントで人間に勝った初めてのプログラム (ミネソタ オープン1977)
- **1983年** : Belleが2,100ELOを獲得してナショナルマスタになる
- **1988年** : Hitecがグランドマスタに初めて勝つ
- **1988年** : IBM社のDeep Thoughtがグランドマスタ レベルで競技をする
- **1992年** : Ed Schröder氏が開発した従来型のPCプログラム ChessMachineが世界チャンピオンになる
- **1997年** : IBM社のDeep Blueが6ゲーム マッチでKasparov氏を打ち負かす
- **2003年** : Hydraの 前任 機種が人間のグランドマスタ トーナメントで11ポイント中9ポイントを獲得して勝利。2,768ELOに達する
- **2004年2月** : Hydraが国際バーダーボルン コンピュータ チェス選手権で1位に輝く
- **2004年4月** : HydraがChessBase チェス サーバ 上で 2,920ELOに到達
- **2004年8月** : Hydraが対Shredder戦で5.5:2.5を記録。また2,650ELOのグランドマスタとの対戦では3.5:0.5を記録する
- **2004年10月** : Hydraが、人間チームとの対戦でマシン ワールド チーム チャンピオンの栄冠に輝く。再び2,950ELOを達成

図4 Alphabetaアルゴリズムを操作する56状態のFSMを示す簡略化したフロー チャート



Virtex-4を採用した ビデオプロセッサ開発ユニットの 開発秘話

来栖川電工有限会社 代表取締役
FPGAコンソーシアム会員
井倉 将実

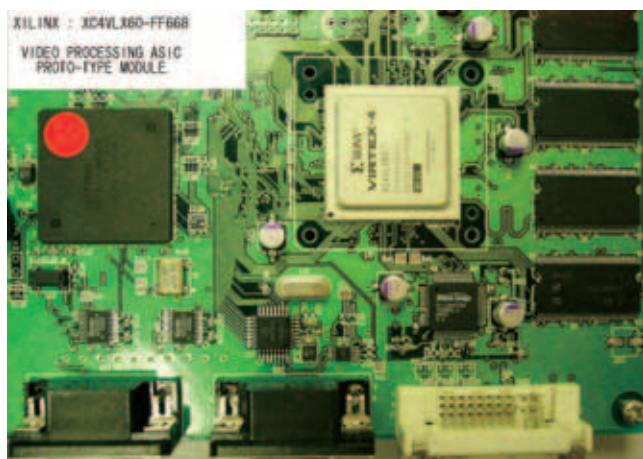
2004年末、筆者が取締役を勤める企業内で、ルネサス社SH4 (SH7750RBP240) と接続して使用する特殊目的のビデオプロセッサ開発案件が浮上しました。この案件では、機能検証後に約120万ゲート規模相当のASICを起こすという前提があったため、当時、最大規模でかつ超高速（システムクロック140 MHz）で回路が安定動作するFPGAを探していました。

システム設計時点では、ザイリンクスのVirtex-II Pro (XC2VP100) や競合他社の大規模FPGAも検討しましたが、折しもザイリンクス社よりVirtex-4 LX (XC4VLX60) が発表され、開発ツールのISE6.3i SP3でも正式にサポートされたことを知り、直ちに評価対象としました（その後ISE7.1iに移行）。

当社の案件にとってなにより魅力だったのは、Virtex-4の大幅に増加された内蔵メモリ（BlockRAM）とXtremDSPユニットによる乗算・加算器の搭載でした。筆者が必要とする設計では、MAC（Multiply and Accumulator）機能とパレルシフタが必ず搭載されるのですが、Verilog-HDL言語で設計したこれらの回路性能がVirtex-4上でどの程度のものなのかをタイミングカリキュレータや遅延シミュレーションでテストを行い解析しました。

結果は、Virtex-II Proや競合他社のフラグシップFPGAに比べて全体的に1.6～2.2倍という優秀なもので、性能とコストを検討した結果、若干のアーキテクチャの違いはありますが、Virtex-4はASICのプロトタイプシステムに十分に適応できるという結論を導き出しました。

図1 SH4とVirtex-4搭載のビデオチップASICプロトタイプボード



Virtex-4を使うメリット

従来使い慣れた製品と比較して、新製品で追加された機能は大変に魅力的なものです。使いこなすことで設計を簡易化することができ、安定して駆動させることができるのであれば積極的に採用したいものです。

しかしながら、一般的にハードウェア設計担当者にとって、新製品が出るたびに追加される新機能を進んで取り入れることは、発生し得るリスクを考慮する必要があります。問題が発生することなく利用できるのであればよいのですが、高度な機能は往々にして技術習得に時間がかかり、またサポート情報も乏しいためトラブルが起きた際の対処が困難で、解決に時間がかかる危険があります。

その点Virtex-4は、既存のVirtex-IIやVirtex-II Proで採用されている技術を最新のプロセスで高度に高めたものであり、基本的にはそれまで会得した技術をそのまま使えるというメリットがあります。

内部の乗算器BlockRAM、DCMなどは、アーキテクチャを周到しつつ性能を向上しているため、よほど特殊な機能を使わない限り、いままで設計した回路を大きな変更することなくVirtex-4に移行できるということも魅力のひとつでした。

特に、DCMとXCITE-DCI機能は、SSTL/HSTL、Rambusといった特殊メモリーインターフェイスをサポートする場合、適切に利用することで非常に強力に機能します。

ただし、LogiCoreで作成した既存ライブラリの多くはアップデートが必要で、Virtex-4固有の機能として全I/Oパッドに付加されたChipSync機能や拡張されたDCMIについても、既存の回路に別途取り込む必要がある点は注意が必要です。

このように、Virtex-4 LXファミリを採用するにあたっては、Virtex-IIやVirtex-II Proの延長線上で考えることができるという点は大変に魅力的です。

Virtex-II ProからVirtex-4への乗り換え時の注意点

最新のFPGAでありながら、従来の技術を周到して設計が行えるという魅力を持つVirtex-4ですが、今回の当社案件におけるビデオチップ開発ASICプロトタイピングデバイスとして採用した場合に、いくつかの注意点が必要になりました。

ここでは、筆者が気になった以下3点についてご紹介します。

●FPGA設計

当社では、主に速度と積算器性能に対する要求からVirtex-II Proを多く採用しています。Virtex-4 LXは、基本的にVirtex-II Pro機能のほとんどを提供していますが、Virtex-II Proのプリミティブライブラリや専用リソースを多用した設計では若干の手直しが必要となりました。



そこで、DDR-266対応のDDRメモリコントローラを例に紹介しましょう。

一般的に、DDRメモリコントローラを設計する際にはI/O特性のタイミングを満たしたり、動作クロックを向上させたりするために、設計対象のFPGAがもつ専用リソースを使用します。

Virtex-II Proの場合は、IOBに実装されているDDRレジスタや、内部回路の駆動やDQS信号を作るためのDCM、DCI機能を使用した場合のIO標準属性IOPADです。このほか設計によっては、CoreConnectバスやPCIブリッジなどとの接続を実現するBlockRAMを使う場合もあるでしょう。

これらの機能を使った設計をVirtex-4に移行すると、いくつかの機能でワーニングやエラーが出力される場合があります。当社の設計では、DCM機能とDPRAM機能がVirtex-II Proアーキテクチャとの相違により、そのままでは動作せず一部変更を行いました。新機能をつかっているわけではないのでエラーの原因をメッセージから推測することは比較的容易でした。

表1は、Virtex-II ProからVirtex-4への乗り換え時に筆者が遭遇した修正点を示したものです(ISE7.1.01i)。

6月中旬時点でVirtex-4を使い始めて約4ヶ月が過ぎました。通常最新デバイスを使用した設計ではソフトとハードの両面で不明瞭な点が見受けられますが、いまのところ乗り換えに際して不可解な点に遭遇することはほとんどなく順調にVirtex-4設計ができております。

表1 Virtex-II Proとの互換性がなくVirtex-4への移行時に行った修正点

機能	解決策
DCM構成	変更前のものを参考にして再度作成 「Single DCM ADV V7.1i」を使用
各種DPRAM	Virtex-II Proとの互換性は無し CoreGENから「Regenerate-Core」を選択する か再生成で対応

DDRメモリ設計で困難なのは、やはり、動作速度によって位相をずらした内部CLKや、外部ピンフィードバッククロックを使用したり、位相を微妙に調整したりと試行錯誤を繰り返す点にあります。ザイリンクスのVirtex-4アーキテクチャの特徴であるChipSync機能を使用すると、設計指南資料が提供されており、この資料を参考にして周波数に依存しない安定した設計コードを作成することができるようになります。詳細は、ザイリンクスのアプリケーションノート「Memory Interfaces Data Capture Using Direct Clocking Technique」<http://www.xilinx.co.jp/bvdocs/appnotes/xapp701.pdf> を参照してください。

最新製品への移行は、悪いことばかりではありません。数値演算の点では、Virtex-II Proでは18x18乗算器だけでしたが、Virtex-4では18x18+48の乗算/加算器が提供されます。このため、従来ではSLICEで作っていた加算ブロックの部分は、乗算器よりも速度が遅く、クリティカルパスになっていましたが、この部分をXtremDSP機能に置き換えることで速度遅延を意識する必要がなくなりました。

ソースコードの書き直しは必要ではありませんでしたが、その分、飛躍的な速度向上が実現し筆者が非常に満足できる結果となりました。

●回路図設計

Virtex-4はVirtex-II Proなどと同様にVCCIO、VCCAUX、そしてVCCINTの3種類電源を必要とします。そしてVirtex-4では、バンク0（一部バンク2）にコンフィグレーションピンが集中したため、このバンクにのみVCCAUXを供給することで回路図設計が容易になりました。

これは、従来のVirtex-II Proでは、バンク4とバンク5に分かれて

いるため、VCCAUX(2.5V)の供給が必須でした。しかしながら、動作中にダイナミックにVCCIO/VCCAUXへ切り替えるわけにはいかないため、バンク4とバンク5にはVCCIO=VCCAUX=2.5Vという制約ができました。今回は、それをまったく意識する必要がなかったため非常に有効でした。

これにより、他のバンクにはコンフィグレーションに関するIOピンが存在しないため、ユーザIOピンはすべて自由に使えるようになり、VCCIOに供給する電圧もVCCAUXに制限される必要がなくなりました。

このほか、従来の2倍近くクロックピンが増えた点も周辺のDDRメモリやDVIデバイス、SH4マイクロプロセッサなどへの接続の際、配線が容易になりました。特に今回の設計では、表2に示すように、複数のクロックの入出力が行われます。Virtex-II Proでは、クロックピン数がギリギリだったため、配線の引き回しで苦労したのですが、今回はかなりの余裕をもって引き回すことができました（対ノイズ特性を向上するために、GNDガードを行いながら配線を行ったため、実使用本数以上にピン数が必要でした）。

既存設計では、オシレータやPLL/VCOの配置にもそれなりに制約がありましたが、今回はグローバルクロックピンを包括するバンク3とバンク4がパッケージ正面から見て左右両辺に移動されたことで、基板設計時では他の信号とのクロストーク削減や差動配線の引き回しが楽になりました。

表2 クロックリソース

マイクロプロセッサ系統	66MHz~120MHz	1系統
DDRメモリ系統	33MHz~166MHz	1:3系統 (フィードバック含む)
DVIコントローラ系統	108MHz~140MHz	2系統 (フィードバック含む)
シリアルポート系統	3.579545MHz	1系統
ビデオ画素クロック	25MHz~400MHz	2系統 (フィードバック含む)

Virtex-II Proファミリを使い慣れている立場からみたもう1つの注意点は、パッケージによってバンク数が異なることに戸惑った点です。

今回の案件では、XC4VLX60のFF668を使用しましたが、このパッケージのバンク数は11でした。FX100-FF1157では、これが15になります。従来は、どんなにパッケージが大きくても8バンクしかありませんでしたが、これは、複数のVCCIOを使い分けてさまざまなIOリソースへの接続が可能になったのだと筆者は納得しています。

●電源設計

今回のシステムでは、電源部分についてかなり力をいれて設計を行いました。それは、今回採用したVirtex-4 FPGA (XC4VLX60) が、かなり大規模であること、UXGA対応のDVI回路やFPGA内部は200MHz強でパイプライン動作することなどから、電源へのストレスは相当なものであると推測されたためです。

さらに、DDRメモリコントローラはDDR1とDDR2に対応した多ビットバス制御回路であるため、基板上の配置制約が厳しく、外部にスタブ抵抗を搭載する場所をとることができません。そこで、FPGA内蔵のDCI機能が必須となるのですが、DCI機能は、FPGA内部で等価抵抗を作り出す方法であるため、従来外付け抵抗で消費される電流がFPGA内部で消費されることになります。このことから、FPGAの消費電力はさらに増大します。

表3は今回使用したDCI使用のIO標準を示します。

表3 IO標準一覧

信号グループ	IOSTANDARD	VCCIO / VREF
CS*/RAS*/CAS*/WE*	OBUF_SSTL2_I	2.5V / -
AD[12:0]/BA[1:0]	OBUF_SSTL2_I_DCI	2.5V / -
DQM[7:0]	OBUF_SSTL2_I_DCI	2.5V / -
DQS[7:0]	IOBUF_SSTL2_II	2.5V / 1.25V
DQ[63:0]	IOBUF_SSTL2_II_DCI	2.5V / 1.25V

さて、200 MHz強のパイプライン駆動や多ビットバス幅の高速ドライブにより注意が必要になるのは、同時スイッチング時における電圧低下です。実際に、今回設計したボードでも、駆動時においてこの低下がVCCINT、VCCIOの両電圧に対して発生します。この影響を最小限に抑えるには、十分なコンデンサを用意することではなく、電圧変動に対して応答特性の良い電源と高周波リプル成分を除去する複数の小容量コンデンサのペアを使用することです。

特に、Virtex-II ProからVirtex-4では、VCCINTが1.5Vから1.2Vに低くなっているため、簡易的なLDOで対応することができません（通常LDOの最低出力電圧は1.24V～となります）。また、XC4VLX60を200 MHzで駆動した場合の消費電流を6Aと見積もった場合、電圧ロスを考慮するとDC/DCが効率的です。

そこで今回は、Virtex-II Proの電源回路として実績のあるベルニクス社のDC/DCコンバータを採用しました。図2は、ある会社の低価格DC/DCと今回採用したBSV-HのVCCINT出力電圧波形です。パソコンの位置や測定箇所は同一です。1.2V出力時に対して他方は約10%程度のリプルが発生していますが、BSV-Hは全域で3%以下のリプルでした。

無論、ここまでDC/DCの特性を引き出すには、図3にあるように、FPGAと電源の出力を極力近づける必要があり、レイアウトに苦労する場合もありますが、それに見合った特性を得ることができます。

このほか、パワーオンシーケンスを制御する回路も搭載しましたが、この機能は、DC/DCからのPowerGOOD信号をANDしてからFPGAのPROGRAM*をネゲートするというものであり、Virtex-II Proでの経験があれば違いを起こすことはないでしょう。

結 論

Virtex-4アーキテクチャでは、LX/SX/FXという3種類のファミリが登場しました。そのうちPowerPCの有無によりLXがFXが従来のVirtex-II Proの次期製品として採用検討されるのが妥当でしょう。

Virtex-4で追加された新機能は、いずれ技術習得をすることとしますが、とにかくにも高速かつ大規模なFPGA必要になった際、Virtex-4 LXは特別な技術が必要とすることなく十分に使用することができ、製造段階において回路設計が行い易くなったことにより、で上がった基板品質のミス混入比率が低くなったことは評価に値します。

とかく新製品は新しい機能に目を奪われがちですが、新製品とはいえ基本を抑えた設計思想を持っていることは、設計者が製品選択する際に重要な点であり、この面ですでに新機能の学習する余裕の無かった筆者にとって、Virtex-4 LXは非常に扱いやすい製品でした。

現在、本ボードを使用したASIC開発が順調に進んでおりますが、次の開発案件ASICでは、XC4VLX60はすでに小規模の部類になってしまったため、現在LX200を採用した外販向け基板開発が始まっております。また、XC4VFX12/XC4VFX60を採用した製品開発も平行して進められております。

機会があれば、実際にDDR2メモリ設計事例やLinuxポーティング事例など、高度な組込みシステムの設計事例をご紹介します。

本稿がVirtex-4に対する理解の一助になれば幸いです。

図2 電源のリプル測定波形-2種類

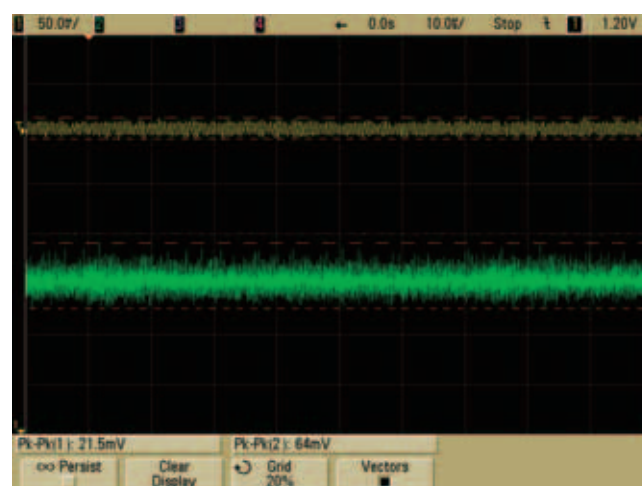
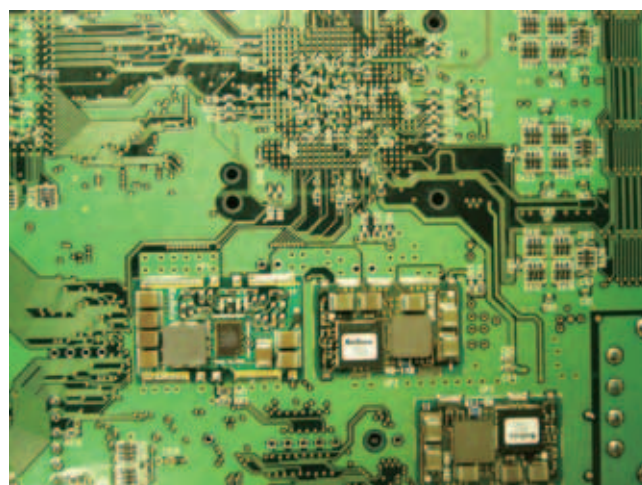


図3 基盤裏面・電源部位全景図



参考資料：

CQ出版社発行「デザインウェーブマガジン」誌
2003年11月号、2004年1月号
井倉将実著「量産時でもぐくぐ動くDDRメモリ・コントローラを設計する」



ザイリンクス イベント カレンダー

7~9月

ザイリンクスは年間を通じて多数のトレードショーやイベントに参加しています。これらのイベントは、ザイリンクスのシリコンやソフトウェアの専門家がお客様からのご質問に答えたり、最新製品や他のザイリンクスのカスタマのサクセスストーリーをご紹介する機会です。

ザイリンクス ウェブ セミナ



>>>ハードウェア/システム設計者、プロジェクトマネージャ必見!!

**シグナル インテグリティ理論と
Virtex-4 シグナル インテグリティの特性を解説**

◆対 象：ハードウェア設計者、システム設計者を始め、トータルのプロジェクトマネージを行う方

◆所要時間：25分程度

◆概 要：業界のシグナル インテグリティの第一人者 Dr. Howard Johnson のラボ計測値やシミュレーションにより、競合 90nm FPGA に比べて7分の1の少ないクロストークに抑えていることが実証されたVirtex-4 FPGAは、最先端のパッケージ テクノロジーを利用してクロストークを抑え、それによりデザインサイクルの短縮とデザインコストの削減を可能にしています。本Web 세미나では、このVirtex-4のシグナル インテグリティの特性をご紹介します。

好評開催中  www.xilinx.co.jp/webseminar

2005年7月26日 セロックシカ・テクノロジー・セミナー

ザイリンクスが講演と展示を行います。

◆日本セロックシカ株式会社 主催

◆ホテルバシフィック東京

<http://www.celoxica.co.jp/seminar/default.asp>

2005年8月25日 DSP&FPGAデザイン・ワークショップ2005

ザイリンクスがベンダ・セッション講演と展示を行います。

◆CQ出版社 主催

◆バシフィコ横浜 アネックスホール

<http://it.cqpub.co.jp/tse/IFDW200508/gaiyou.asp>

ザイリンクス販売代理店イベント

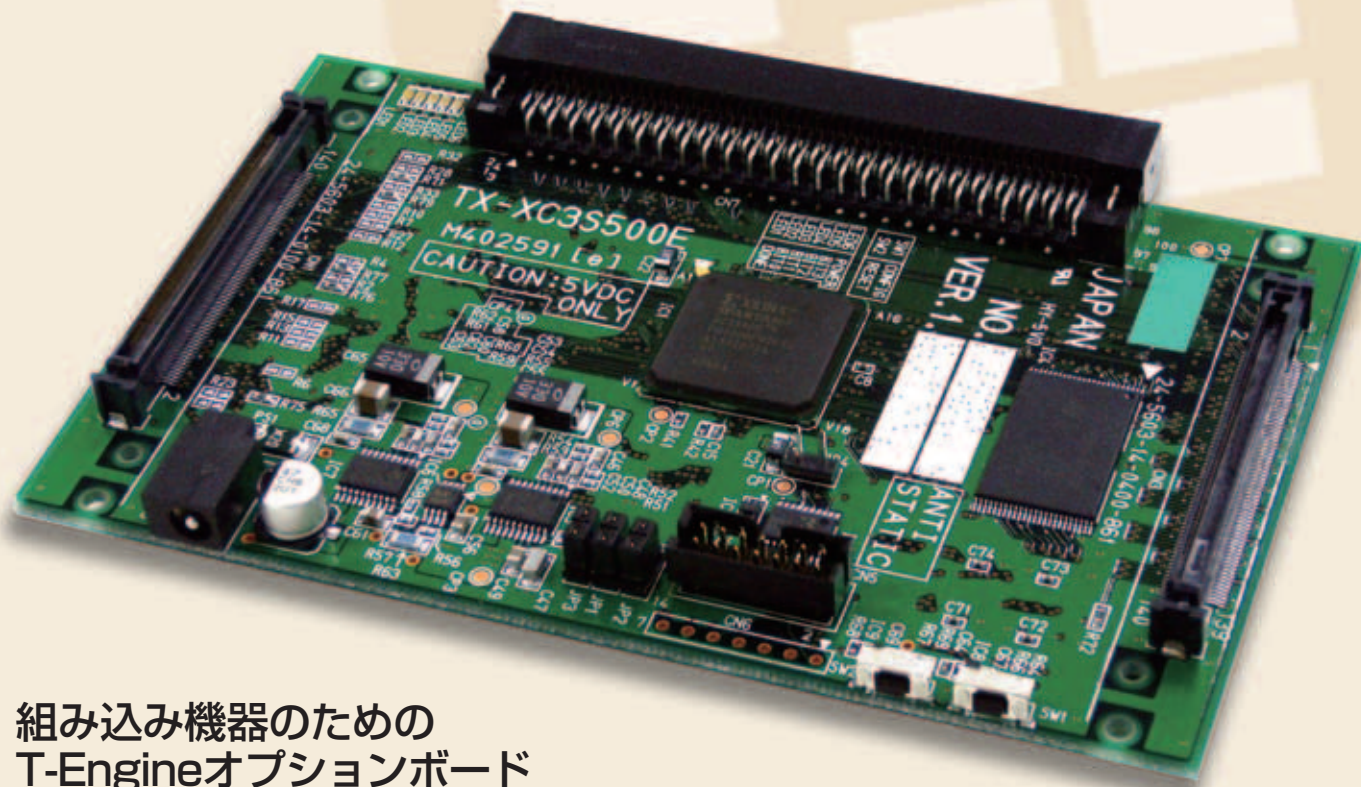
日 程	イベント内容	開催地
7月11日(月)	東京エレクトロニクス主催「TED Solution Seminar 2005」 http://ppg.teldevice.co.jp/m_event/tedsolution/index.htm	京 都
7月15日(金)	メメック ジャパン主催「X-FEST 2005」 http://www.memec.co.jp/html/xilinx/campaign/xfest2005/index.htm	東 京
7月19日(火)	東京エレクトロニクス主催「TED Solution Seminar 2005」 http://ppg.teldevice.co.jp/m_event/tedsolution/index.htm	名古屋
7月22日(金)	メメック ジャパン主催「X-FEST 2005 DSP Workshop」 http://www.memec.co.jp/html/xilinx/campaign/xfest2005ws/index.htm	東 京
7月29日(金)	メメック ジャパン主催「X-FEST 2005 DSP Workshop」 http://www.memec.co.jp/html/xilinx/campaign/xfest2005ws/index.htm	大 阪
8月25日(木)	東京エレクトロニクス主催「TED Solution Seminar 2005」 http://ppg.teldevice.co.jp/m_event/tedsolution/index.htm	金 沢
8月29日(月)	東京エレクトロニクス主催「TED Solution Seminar 2005」 http://ppg.teldevice.co.jp/m_event/tedsolution/index.htm	福 岡

ザイリンクスおよびザイリンクス販売代理店のイベントに関する最新情報はwww.xilinx.co.jp/events/schedule.htmをご覧ください。

新光商事

新光商事 株式会社

T-Engine/ μ T-Engine用XILINX拡張ボード



組み込み機器のための T-Engineオプションボード

XILINX拡張ボードは、複数メーカから提供されている10種類を越えるT-Engine、 μ T-Engineすべてに直接接続が可能です(※)。

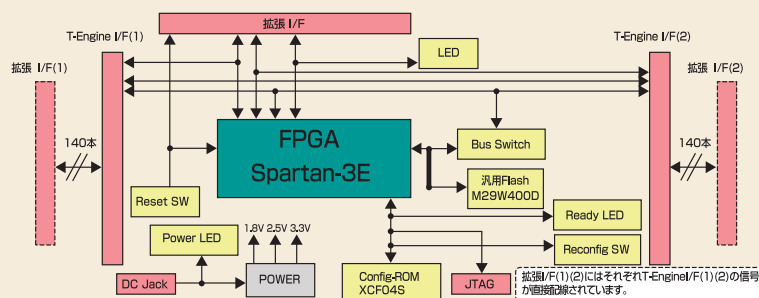
Spartan-3Eを搭載することにより、50万システムゲートまで拡大され、従来の2倍以上の規模の回路の評価が可能です。また、ネットワークへの接続が必要なケースを想定し、拡張コネクタ経由でネットワークへの接続が可能なソリューションも提供しています。

特長

- すべてのT-Engineに対応(※)
- 汎用フラッシュメモリによるコンフィグレーションが可能
- ザイリンクスSpartan-3Eを搭載
—ゲート数：50万システムゲート
—使用可能I/O数：130本以上
- 拡張コネクタ実装
- 無償開発ツールISE WebPackにて設計可能

(※) 一部のT-Engine、 μ T-Engineへの接続には、変換アダプタ(別売)が必要となります。
(動作確認済みのT-Engine情報は、新光商事Webサイトに掲載する予定です。)

*この拡張ボードは、株式会社内藤電誠町田製作所と新光商事株式会社により共同開発されたものです。



102,900円(税込)で以下をご提供します。

- TX-XC3S500Eボード(本体)
- SE WebPack(CD-ROM)
- 回路図、ユーザズ・マニュアル(CD-ROM)
- 電源アダプタ

新光商事株式会社

製品に関するご質問や製品購入に関するお問い合わせは
X-pro@shinko-sj.co.jpまでご連絡ください。



東京エレクトロンデバイス

Spartan-3搭載評価ボード TD-BD-TS101

inrevium



主要機能

- FPGA XC3S400-4 (40万ゲート相当)
- FPGAコンフィグレーション用ROM
- 赤色7セグメントLED×4桁
- 単体LED×8個
- ボタンスイッチ× 8個
- ディップスイッチ× 4bit
- ADコンバータ(10bit分解能) × 4ch - Sampling rate : 625Ksps
- DAコンバータ(10bit分解能) × 4ch - Settling Time : 30 μ s
- 32Mbit Flash ROM (2M x 16bit)
- ボタンスイッチ× 8個
- 64Mbit SDRAM (4M x 16bit)
- 外部インタフェース

ザリンクスSpartan-3 FPGAの
評価に最適なプラットフォーム

東京エレクトロンデバイス株式会社

製品に関する詳細情報は以下Webサイトをご参照ください。

http://ppg.teldevice.co.jp/m_board/

ご質問や製品購入に関するお問い合わせは

x2marketing@teldevice.co.jpまでご連絡ください。

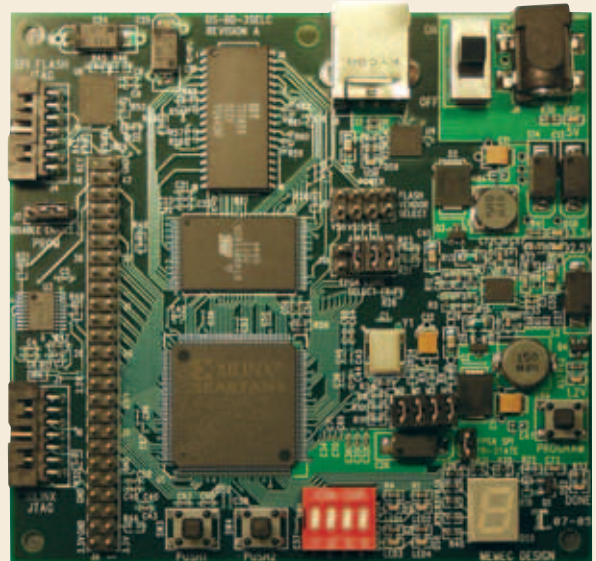
メメック ジャパン

Spartan-3E ボードソリューション

主要機能

- XC3S100E-4TQ144 FPGA
- IDT 512K x 8 SRAM
- Atmel 2M x 8フラッシュメモリ
- Atmel 16MB シリアルデータ フラッシュメモリ
- System Ace™ インターフェイス/ユーザー I/Oヘッダ
- XCFO1Sプラットフォーム フラッシュ ISP PROM
- テキサス・インスツルメンツ社TPS75003レギュレータ
- 低コスト

メメックSpartan-3E LC開発キットは
低コストの評価プラットフォームで
柔軟性の高いコンフィギュレーション
プロトタイピングを実現



メメック ジャパン株式会社

製品に関する詳細情報は以下Webサイトをご参照ください。

www.memec.co.jp

ご質問や製品購入に関するお問い合わせは

xilinx@memec.co.jp までご連絡ください。





Xilinx FPGA スタータ キット

Spartan-3 ファミリの完全なプラットフォーム機能へのアクセスを提供し、高容量デザインを低コストで予定どおりに迅速に実現



主要機能

- ザイリンクス Spartan-3 20万ゲートの Platform FPGA XC3S200-4FT256C
- ザイリンクス 2M ビット Platform Flash Configuration PROM - XCF02S
- 1M バイトの迅速な非同期 SRAM (512Kx16 または 256Kx32)
- 3ビット、8 色 VGA ディスプレイ ポート
- 9ピン RS-232 シリアル ポート
- PS/2 スタイル マウス/キーボード ポート
- 4特性、7セグメント LED ディスプレイ
- 8つのスライド スイッチ
- 8つの個別 LED 出力
- 4つの瞬時コンタクト プッシュ ボタン スイッチ
- 50 MHz クリスタル クロック オシレータ
- 3つの40ピン 拡張コネクション ポート
- ユニバーサル電源 100-240V AC、50/60Hz*
- JTAGケーブル
- Spartan-3リソースCD
- ISE Foundation評価CD
- EDK評価CD

注文番号

- DO-SPAR3-DK-J (日本バージョン)

Spartan-3 FPGA

スタータ キット99ドルで
Spartan-3ファミリの完全な
プラットフォーム機能への
アクセスを提供し、高容量
デザインを低コストで迅速
に実現

Spartan-3 FPGA スタータ キットに関する詳細は以下
Webサイトをご参照ください。
www.xilinx.co.jp/s3boards/

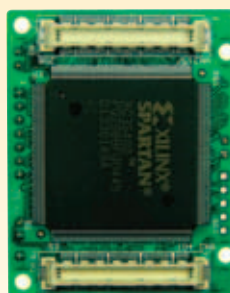
Spartan-3 FPGA スタータ キットに関する詳細は以下
Webサイトをご参照ください。
www.xilinx.co.jp/s3boards/



試作・実験のエースカード、クレジットカードサイズボード。

FPGA/CPLD 評価ボード

スバルタンⅢ小型モジュール。
ハーフカードサイズで新登場。



スバルタンⅢ ブレッドボード

XCM-101

XC3S200-4PQ208Cまたは
XC3S400-4PQ208Cを搭載。
ハーフカードサイズ

NEW

標準価格 ¥21,000 (税込22,050) ~



スバルタンⅢ ブレッドボード

XCM-001

XC3S200-4PQ208Cまたは
XC3S400-4PQ208Cを搭載。

標準価格 ¥19,000 (税込19,950) ~



XC9500CPLDブレッドボード

XCM-002

XC95144-15PQ160Cまたは
XC95216-15PQ160Cを搭載。

標準価格 ¥14,000 (税込14,700) ~

※SDRAM搭載



Virtex-II Pro ブレッドボード

XCM-003

Virtex-II Proを搭載したブレッド
ボード。

標準価格 ¥49,900 (税込52,395) ~



スバルタンⅡ ブレッドボード

XCM-004

Spartan II (208pin)を搭載した
ブレッドボード。

標準価格 ¥27,000 (税込28,350) ~

※SDRAM搭載



スバルタンⅢ ブレッドボード

XCM-005

XC3S2000-4FG456Cまたは
XC3S1500-4FG456Cまたは
XC3S1000-4FG456Cを搭載。

標準価格 ¥64,000 (税込67,200) ~

学習用ボード

そのほか各種評価ボードの情報は、<http://hdl.jp>へ



FPGAトレーナ

EDX-001

USBケーブルでコンフィグレーション
可能な学習専用ボード。プラスチック
ケース、ACアダプタ対応。

標準価格 ¥48,000 (税込50,400)



xilinx対応FPGAトレーナ

EDX-002

USBケーブルのみで動作、コンフィグ
レーション可能な学習専用ボード。

標準価格 ¥14,800 (税込15,540)

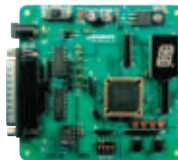


スバルタンⅡ 学習用ボード

XSP-006

スバルタンⅡ 学習用ボード。パラレル
ダウンロードケーブル回路内蔵。

標準価格 ¥45,000 (税込47,250) ~



CPLD学習用ボード組立キット

XSP-019KIT

CPLD学習用ボード組み立てキット。
パラレルダウンロードケーブル回路内蔵。

標準価格 ¥8,800 (税込9,240)

- EDX-002はUSBから電源をとり、USBからコンフィグレーションすることができます。
- お手軽にVHDLやVerilogの学習を行うことができます。
- EDX-001はプラスチックケースに実装し、学校などでのご利用に最適です。

※仕様等の詳しい製品情報はホームページでご覧いただけます。





編集長 Carlis Collins
editor@xilinx.com

編集 Forrest Couch
forrest.couch@xilinx.com

編集アシスタント Charmaine Cooper Hussain

Xcellオンライン編集 Tom Pyles
tom.pyles@xilinx.com

アートディレクタ Scott Blair



Xilinx, Inc.
2100 Logic Drive
San Jose, CA 95124-3400

ザイリンクス株式会社
〒163-1118 東京都新宿区西新宿6-22-1
新宿スクエアタワー 18階

©2005 Xilinx, Inc. All rights reserved.

XILINXや、Xilinxのロゴ、その他本書に記載の商標は米国Xilinx, Inc.の登録商標です。PowerPCは、米国またはその他の国におけるIBM社の商標です。他すべての名称は各社の登録商標または商標です。

本書は米国Xilinx, Inc.が発行する英文季刊誌を、ザイリンクス株式会社が日本語に翻訳して発行しています。

米国Xilinx, Inc.およびザイリンクス株式会社は、本書に記載されたデータの使用に起因する第三者の特許権、他の権利、損害における一切の責任を負いません。本書の一部または全部の無断転載、複写は著作権法に基づき固く禁じます。

Printed in Japan

低コストで高性能と柔軟性を 実現し、幅広いアプリケーション で採用いただけます

本号のXcellジャーナルは、量産および低コスト向けの民生機器や、それらをインプリメントする際の設計ツールを中心にご紹介しています。

BUSINESS VIEWPOINTS

“BUSINESS VIEWPOINTS”では、Semico Research社のASIC Service担当シニアアナリスト、Rich Wawrzyniak氏による独自のビジネス展望を紹介しています。同氏の記事「低コストFPGAにより変貌を遂げるシステム ランドスケープ」では、先進のプロセス技術によりどのようにFPGAのコストを削減し、ASSP/ASICのクロスオーバーポイントに変化をもたらしているかを解説しています。

HIGH-VOLUME SOLUTIONS

およそ1年前、ザイリンクスの技術者は、市場で最も低コストかつ高集積のFPGAファミリを開発してほしいとの要請を受けました。ここでは、新製品のSpartan™-3Eデバイスを量産アプリケーションに使用した記事を紹介しています。Spartan-3Eは低コスト化により、これまでASICやゲートアレイテクノロジーが独占してきたアプリケーションで成功を収めています。

INDUSTRY EXPERT

「高速シリアルリンクの高性能化」では、シグナルインテグリティの著名な専門家Howard Johnson氏が、シリアルリンクの帯域と性能を向上させるために3種類のイコライゼーションを組み込んだVirtex™-4 RocketIO™ トランシーバについて解説しています。

DESIGN TOOL

Spartan-3Eファミリでは、最新のISE™ 7.1iツールの利用が可能です。ここでは、ザイリンクスやパートナー企業より、完全なソリューションをインプリメントするための設計ツールの使用について解説しています。

BOARD ROOM

“BOARD ROOM”では、ユーザーがアプリケーションや設計タスクに応じて最適なプラットフォームを選択できるように、Spartan-3ハードウェア開発ボードとその他のデザインソリューションについて紹介しています。



Forrest Couch

編集

Forrest Couch



真のリーダー 真の価値 真の性能



ロジックに
最適



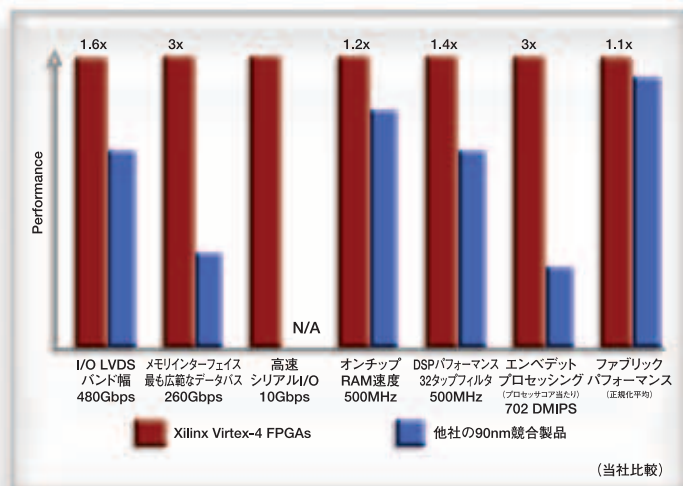
DSPに
最適



プロセッシング/
コネクティビティに最適



Virtex-4 FPGAは、どの競合90nm FPGAと比較しても3倍のパフォーマンスと集積度、1/10の消費電力、最高の「シグナル+パワー」インテグリティをお届けします。



Virtex-4™プラットフォームFPGAは、システムのあらゆる局面で優れた性能を発揮します。他のどんなFPGAも、I/Oバンド幅、オンチップRAM速度、DSPおよびエンベデッド プロセッシング、さらにロジック・ファブリックの性能すべてにおいてVirtex-4の敵ではありません。的確な機能すべてを装備していることが、最少コストで飛躍的な性能を達成する唯一の方法です。

世界最高最速クラスと低消費電力を両立させたFPGA!

Virtex-4 FPGAは、他の90nm FPGAに比べ1/10以下の電力消費によりインラッシュ消費電力(電源投入時にかかる消費電力)で最高94%、スタティック消費電力で最高78%、ダイナミック消費電力で86%もの低消費電力化を達成することにより設計者の方々に業界最高レベルの性能を維持しながらこの低消費電力のメリットを十分に活かすことが可能となりました。



すぐに使いこなせる
ソフトウェア

www.xilinx.co.jp/virtex4/

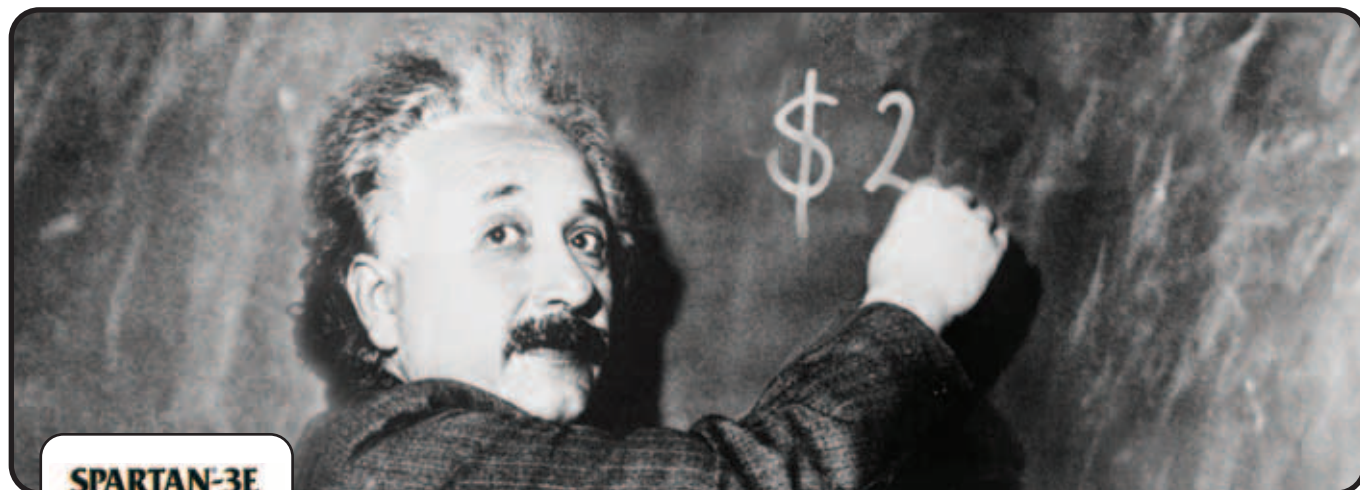
最少のシステムコストで、最高のシステム・パフォーマンスを。



The Programmable Logic CompanySM

Virtex-4は、米国Xilinx, Inc.の登録商標または商標です。
他の全ての名称は各社の登録商標または商標です。

$$E = \frac{\$2}{10\text{万システムゲート}}$$



いまだかつてない低コストを実現!!

高性能90nmプラットフォームFPGAがわずか2ドル*で購入できます。最新のSpartan-3Eデバイスは、ロジック重視のデザインに最適化された製品で、特にデジタルコンシューマ・アプリケーションに最適な機能を備えています。

従来比30%以上安価になったSpartan-3E FPGAは、ASICを置き換えるだけでなく、柔軟でかつタイムトゥーマーケットを実現できます。

最大級の投資対効果を提供

Spartan-3E FPGAは、わずか2ドル*でさまざまな機能を提供します。10万システムゲートの柔軟なアーキテクチャに加え、低コスト、ハイパフォーマンス信号処理を実現可能な高性能エンベデッド乗算器、72KビットのブロックRAM、柔軟なクロックシステムを構築することのできるDCM、デジタルクロックマネージャ機能に加え、miniLVDS、RSDSインターフェースを含むさまざまなI/O標準をサポートしています。また、Spartan-3Eファミリでは、最大160万システムゲートまでの高集積度をサポート。これらは、既に実証済みの90nmプロセスを使用しており、これら業界最先端クラスの製造技術とコスト効率に優れたアーキテクチャの融合で今までにないプライスポイントと最高の価値をお届けします。



すぐに使いこなせる
ソフトウェア
Spartan-3Eの機能を
最大限に生かす
ISE7.1i 同時リリース

→ **MAKE IT YOUR ASIC**

*XC3S100Eの2006年7月以降、50万個での価格です。
また、出荷時期および納期は変更される場合があります。



The Programmable Logic Company™

www.xilinx.co.jp/spartan3e

FORTUNE®
100 BEST COMPANIES TO WORK FOR

2005

ザイリンクス株式会社

本

社

〒163-1118 東京都新宿区西新宿6-22-1 新宿スクエアタワー18階

大阪営業所

〒532-0003 大阪市淀川区宮原3-4-30 ニッセイ新大阪ビル13階

製品のお問い合わせは下記の販売代理店へどうぞ

- | | | |
|-----------------|---------------------------|---------------------------|
| ■新光商事(株) | 東京 TEL (03) 5721-2062 (直) | 大阪 TEL (06) 6303-3826 (代) |
| ■菱洋エレクトロ(株) | 東京 TEL (03) 3546-5011 (直) | 大阪 TEL (06) 6301-1221 (代) |
| ■メック ジャパン(株) | 東京 TEL (03) 5978-8201 (直) | 関西 TEL (06) 6391-1874 (代) |
| ■東京エレクトロデバイス(株) | 本社 TEL (045) 474-7089 (直) | 大阪 TEL (06) 6399-1523 (直) |

Xilinx, SPARTANは、米国Xilinx, Inc.の登録商標または商標です。
他の全ての名称は各社の登録商標または商標です。