

概要

このアプリケーション・ノートでは、XC9500 のバウンダリ・スキャン・インターフェイスについて説明し、XC9500 CPLD のプログミングとテストに使用できるソフトウェア例を示します。アベンディックスでは JTAG 動作のまとめを行い、さらにイン・システム・プログミング用に XC9500 CPLD でサポートしているその他の動作について説明します。

ザイリンクス・ファミリ

XC9500

はじめに

IEEE バウンダリ・スキャン標準 1149.1 は JTAG としても知られており、ソフトウェアを使用してコストを削減するテスト標準です。この標準の第一の利点は、プリント基板の難しいテストを、ソフトウェアにより効率良くより構造化された問題に変換できる点にあります。この標準では、これらの問題解決に使用するハードウェア・アーキテクチャおよびメカニズムを定めています。

JTAG 標準では、それ自体でインストラクションを定義していません。このインストラクションは、機能テスト、インターコネクト・テストに使用され、また組み込みセルフ・テストの手順を決めるのにも使用できるものです。この標準にベンダ固有の拡張機能を追加すると、保守アプリケーションと診断アプリケーションの実行やリコンフィギュラブル部品のプログミング・アルゴリズムの実行が可能になります。

バウンダリ・スキャン・チェーン内でのデバイス接続

チェーン内の全てのデバイスは TCK 信号と TMS 信号を共用します。システム TDI 信号は、バウンダリ・スキャン・チェーン内の先頭デバイスの TDI 入力に接続します。先頭デバイスの TDO 出力信号はチェーン内の 2 番目のデバイスの TDI 入力に接続し、以下同様に接続します。チェーン内最後のデバイスでは、TDO 出力をシステム TDO ピンに接続します。

図 2 に、この構成を示します。

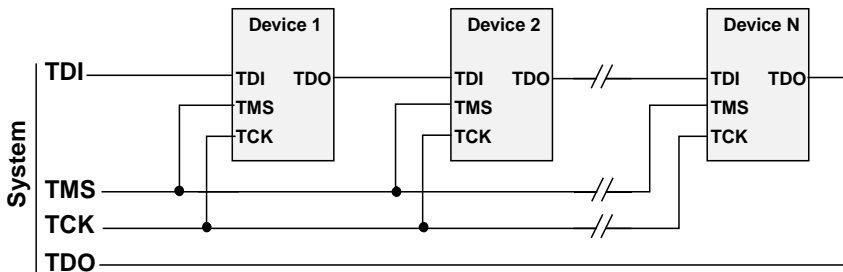


図 2: シングル・ポートのシリアル・バウンダリ・スキャン・チェーン

デザイン・ファイルのダウンロード

JTAG ダウンロード・ケーブル (図 1) は、PC のパラレル・プリンタ・ポートに接続します。ケーブルには、システムを駆動する際に信号をバッファするドライバが含まれており、ドライバの電源はターゲット・システムから得るようになっています。ケーブルの VCC 線と GND 線はターゲット・システム上の対応する信号に接続され、残りの 4 本の線はターゲット・システム上の対応する TAP 入力に接続されます。このケーブルのピンにはラベルが見えやすく付けてあります。JTAG ダウンロード・ケーブルは TRST をサポートしていません。システム内の部品が TRST を持っている場合には、このピンをプルアップ抵抗を付加して VCC に接続してください。

図 3 に、プログミングを行う際の PC 基板に対するケーブルの接続方法を示します。6 本のリード全てをターゲット・ボードに接続して、電源投入シーケンスの推奨事項を参照してください。

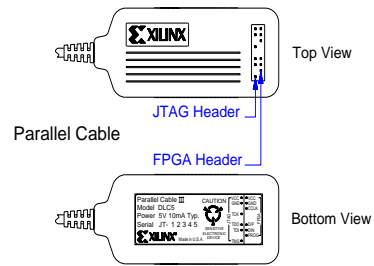


図 1: XC9500 JTAG ダウンロード・ケーブル

電源投入シーケンス

ケーブル保護機構により、通常のケーブル操作でパラレル・ポートが損傷を受けないように保護しています。安全のために、必ずターゲット・システムより先にPCの電源を投入してください。

電源を切るときは、ターゲット・システムの電源を切断了後に、PCの電源を切断了ください。

EZTag ダウンロード・ソフトウェア

EZTagダウンロードソフトウェアを起動すると、JTAGダウンロードケーブルの接続の有無を調べるためにパラレル・ポートがチェックされます。確認が正常に行われるためには、ターゲット・システムの電源がONになっており、かつケーブルが接続されている必要があります。ケーブルが見つかりません、またはJTAGダウンロードケーブル以外のケーブルが検出されましたというエラー・メッセージが返された場合には、ケーブルの電源接続をチェックしてください。

図4に、EZTagソフトウェアのユーザ・インターフェイスを示します。

EZTagの使用法

ダウンロード・プロセスの概要を次の手順に示します。

1. EZTagを起動します。
2. チェーン内でシステムTDIからTDOへの順で接続されている各デバイスに対するファイルを選択します(XC9500デバイスに対してはJEDECファイルを、その他のJTAG準拠デバイスに対してはBSDL ファイルをそれぞれ使用してください)。
3. 各 XC9500 部品に必要とされる動作を選択します。
4. "execute" ボタンを選択すると、ダウンロードが開始されます。ダウンロードのプロセスとエラー状態についての詳細情報がシステム・ログ・ファイル内に表示されます。

XCheckerケーブルの使用法

XCheckerケーブルを使用してXC9500 デバイスをプログラムすることもできます。この場合は、TDI、TCK、TMS、VCC、GNDの各ピンをリード線を使用してターゲット・ボードに接続します(図5)。TDO 信号の機能が"RD" とラベル表示されたXChecker信号により実行されます。EZTagソフトウェアは自動的にコンピュータ/Oポートを調べて、XCheckerケーブルの有無を検出します。

現在サポートされている特定のJTAG機能の詳細についてはアペンディックス1を参照してください。

サード・パーティのバウンダリ・スキャン・テスト・ツールに対するインターフェイス

サード・パーティのバウンダリ・スキャン・ボード・テスト装置(ATE)、自動テスト・パターン・生成ソフトウェア(ATPG)、JTAGベースの開発およびデバッグ・システムにインターフェイスするときはBSDLファイルが必要です。

供給中のXC9500 デバイスの全パッケージ・タイプに対するBSDLファイルは、EZTagソフトウェアの"data"ディレクトリに収容されています。表1にBSDLファイル名を示します。

表 1: BSDL ファイル

Part Type	Package	BSDL File Name
XC9536	PC44	xc3644p.bsd
XC9536	VQ44	xc3664v.bsd
XC95108	PQ100	xc108100.bsd
XC95108	PQ160	xc108100.bsd
XC95108	PC84	xc10884.bsd
XC95108	TQ100	xc108tq.bsd
XC95216	PQ160	xc216160.bsd
XC95216	HQ208	xc216208.bsd
XC9572	PQ100	xc72100p.bsd
XC9572	TQ100	xc72100t.bsd
XC9572	PC44	xc7244.bsd
XC9572	PC84	xc7284.bsd
XC95288	HQ208	xc288208.bsd

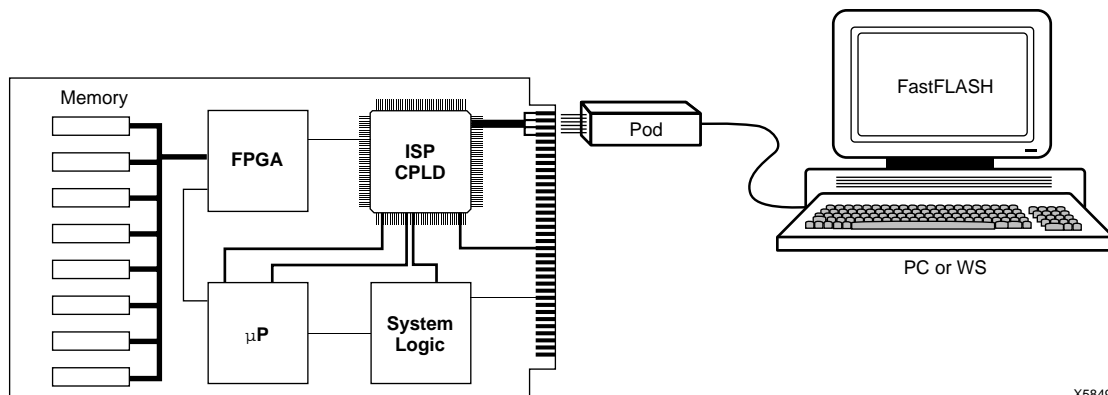


図3: ターゲット PCB の接続 (プログラム / テスト用)

X5849

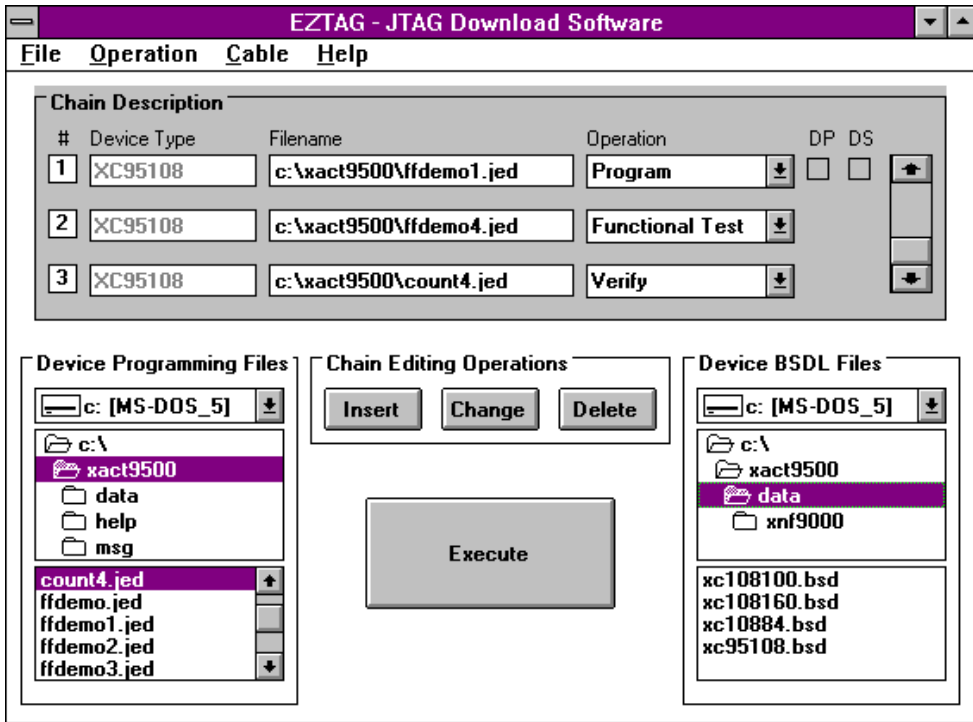


図 4: EZTag ダウンロードのユーザ・インターフェイス

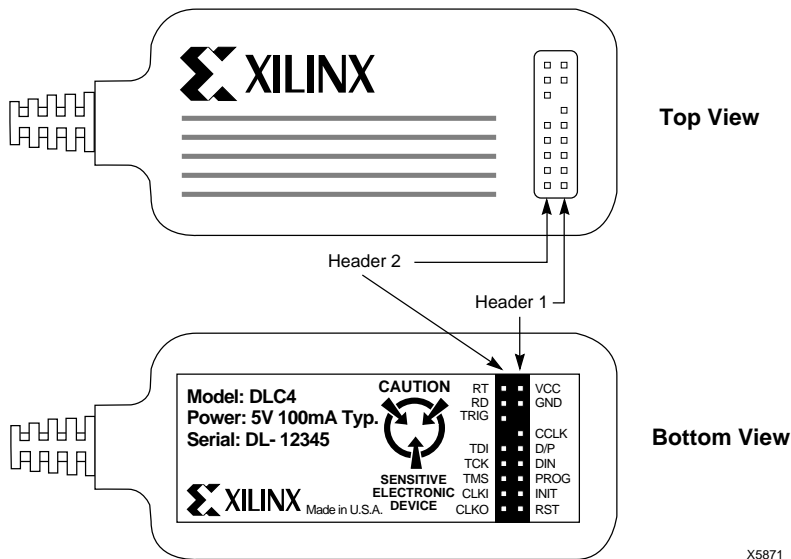


図 5: XChecker ケーブル

X5871

アペンディックス 1 - JTAG の詳細

IEEE 標準 1149.1 で定められているテスト・ロジックの最上位レベル回路図には、幾つかの重要なブロックが含まれています (図 6)。

TAP コントローラ

TAP コントローラはテスト・アクセス・ポート (TAP) から入力されたコントロール・シーケンスに反応して、他の回路ブロックに必要なクロック信号とコントロール信号を発生します。

インストラクション・レジスタ

インストラクション・レジスタはシフトレジスタ・ベースの回路であり、実行する動作を選択するインストラクションがシリアルにロードされます。

データ・レジスタ

データ・レジスタはシフトレジスタのブロックで構成されています。現在のインストラクションにより選択されたデータ・レジスタに、動作に必要な入力パターンが、シリアルにロードされます。動作実行後に、その結果がシフトアウトされるので、これにより動作を確認することができます。

JTAG テスト・アクセス・ポート

JTAG テスト・アクセス・ポート (TAP) にはピンが 4 本あり、これらのピンを使用して回路ブロックを駆動し、特定動作の制御を行います。TAP はインストラクションおよびデータのロードとアンロードを行います。これらの 4 本の TAP ピンは、TMS、TCK、TDI、TDO と呼ばれます。各 TAP ピンの機能を次に説明します。

- **TMS** このテスト・モード・セレクトは、TAP コントローラに対するモード入力信号です。TAP コントローラは 16 ステートの有限状態マシン (FSM) であり、JTAG エンジンを制御します。
TCK の立ち上がりエッジで、TMS は TAP コントローラのステート・シーケンスを決定します。TMS には内部にプルアップ抵抗が付いていますので、TMS が駆動されていないときにシステムに対してロジック "1" が入力されることとなります。
- **TCK** JTAG テスト・クロック。この TCK により、TAP コントローラや全ての JTAG レジスタのシーケンスが制御されます。
- **TDI** このテスト・データ入力は、全ての JTAG インストラクション・レジスタおよびデータ・レジスタに対するシリアル・データ入力です。TAP コントローラのステートおよびインストラクション・レジスタの内容により、任意の動作に対して、TDI から入力されたデータをどのレジスタに渡すかが決定されます。TDI には内部にプルアップ抵抗が付いていますので、TDI が駆動されていないときにシステムに対してロジック "1" が入力されることとなります。TDI は TCK の立ち上がりエッジで JTAG レジスタにロードされます。
- **TDO** このテスト・データ出力は全ての JTAG インストラクション・レジスタおよびデータ・レジスタのシリアル・データ出力です。TAP コントローラのステートおよびインストラクション・レジスタの内容により、特定の動作に対して、どのレジスタを TDO に出力するかが決定されます。どの JTAG 動作でも、TDI と TDO の間には 1 つのレジスタ・インストラクションまたはデータしか接続できません。TDO のステートは TCK の立ち下がりエッジで変化し、デバイス内でデータ・シフト中のみアクティブになります。TDO は、その他の全ての場合にスリーステートです。

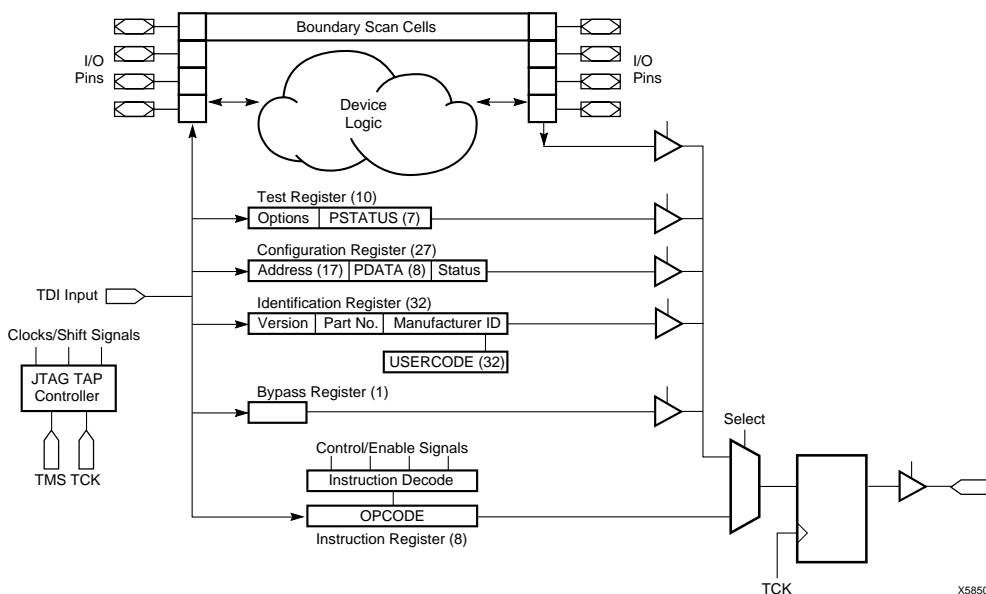


図 6: JTAG アーキテクチャ

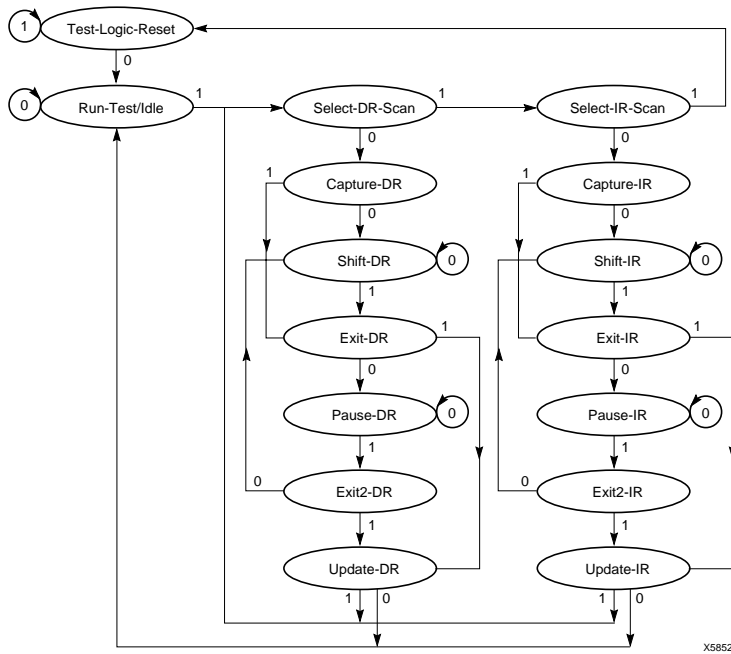


図 7: TAP コントローラの状態遷移図

JTAG TAP コントローラ

JTAG TAP コントローラは16ステートのFSMであり、様々なJTAGレジスタに対するデータのロードを制御します。TAP コントローラの状態遷移図を図7に示します。

TCKの立ち上がりエッジにおけるTMSの状態、ステート遷移のシーケンスが決定されます。TDIでの信号サンプリングに対しては、基本的には2つのステート遷移パスがあります。1つはインストラクションレジスタに対する情報のシフトで、もう1つはデータレジスタに対するデータのシフトです。

JTAG TAP コントローラのステート

Test-Logic-Reset

デバイスのパワーアップ時に、TMSがHighに保持されてから少なくとも5個のTCKクロックが経過したときに、このステートになります。このステートに入ると、全JTAGロジックが通常の部品ロジックに干渉しないようにリセットされ、IDCODEインストラクションがインストラクションレジスタにロードされます。

Run-Test-Idle

このステートでは、現在のインストラクションに応じて何らかの動作が発生します。XC9500ファミリに対しては、対応するISPインストラクションがアクティブの場合、"Run-Test-Idle"によりプログラム、検証、消去、POR(パワーオンリセット)のためのパルスが生成されます。

Select-DR-Scan

このステートは、データレジスタに対するスキャン動作の実行前に、またはSelect-IR-Scanステートに遷移するときを通過する中間的なステートです。

Select-IR-Scan

このステートは、インストラクションレジスタに対するスキャン動作の実行前に、またはTest-Logic-Resetステートに戻る時に通過する中間的なステートです。

Capture-DR

"Capture-DR"では、現在のインストラクションにより選択されたデータレジスタに対して、パラレル入力からTCKの立ち上がりエッジでデータがロードできます。選択したデータレジスタがパラレル入力を持っていない場合は、レジスタの状態は保持されます。

Shift-DR

このステートでは、現在選択中のレジスタ内のデータが、TDIからTDOの方向へ1段シフトされます。シフト動作は、TCKの各立ち上がりエッジで1段ずつシフトされます。

Exit1-DR

このステートは、Pause-DRステートへの遷移またはUpdate-DRステートへの直接遷移を可能にする中間的なステートです。

Pause-DR

このステートは、データのシフトを一時的に停止することを可能にする待ちステートです。

Exit2-DR

このステートは、Update-DRステートへの遷移またはShift-DRステートへ戻りデータ入力を継続することを可能にする中間的なステートです。

Update-DR

このステートでは、選択中のデータ・レジスタの内容がラッチ付きパラレル出力(このようなラッチを持つレジスタの場合)に、このステートに入った後のTCKの立ち下がリエッジでロードされます。パラレル・ラッチは、シフトの過程でパラレル・レジスタ出力で発生する出力変化を防止します。

Capture-IR

このステートでは、データがパラレル入力からインストラクション・レジスタにTCKの各立ち上がりエッジでロードされます。パラレル入力の下位2ビットの値は"01"である必要があります。残りの6ビットは、ハード・コード化されるかセキュリティ、およびデータ保護ビットの監視に使用されます。

Shift-IR

このステートでは、インストラクション・レジスタの値が、TCKの各立ち上がりエッジでTDO側に1段シフトされます。

Exit-IR

このステートは、Pause-IRステートまたはUpdate-IRステートに遷移するオプションを可能にする中間的なステートです。

Pause-IR

Pause-IRステートは、インストラクションのシフトを一時的に停止します。

Exit2-IR

このステートは、Update-IRステートへの遷移、またはShift-IRステートへ戻ってデータのシフトを継続可能にする中間的なステートです。

Update-IR

このステートでは、インストラクション・レジスタの値が、TCKの各立ち下がリエッジでパラレルにラッチ出力されます。このパラレル・ラッチは、シフトの過程でインストラクション・レジスタのパラレル出力で発生する出力変化を防止します。

XC9500製品でサポートされているJTAGインストラクション

必須のバウンダリ・スキャン・インストラクション

BYPASS

BYPASSインストラクションは、スキャン・レジスタをバイパスして直接TDOに渡すようにデバイスを設定します。

SAMPLE/PRELOAD

SAMPLE/PRELOADインストラクションを使用すると、検査対象となる部品の通常動作のスナップショットをとることができます。また、他のバウンダリ・スキャン・テスト・インストラクションを選択する前に、バウンダリ・スキャン・シフトレジスタのラッチ付きパラレル出力上にデータ値をロードすることができます。

EXTEST

EXTESTインストラクションを使用すると、チップ外にある回路と基板レベルのインターコネクトのテストができます。

XC9500のその他のバウンダリ・スキャン・インストラクション

INTEST

INTESTインストラクションを使用すると、部品を実装した状態でオンチップのシステム・ロジックのテストができます。

HIGHZ

HIGHZは、XC9500製品の全出力をハイ・インピーダンス(スリーステート)モードにする自動配置を可能にします。この条件は、基板テスト方法に対して便利です。

IDCODE

IDCODEインストラクションを使用すると、システム内にどんな部品が存在するかを調べるために、プリント基板に組み込まれた部品について無差別に問い合わせを行うことができます。

USERCODE

USERCODEインストラクションを使用すると、ユーザ・プログラムブルな識別コードをシフトアウトさせて調べるすることができます。この機能を利用すると、部品にプログラムされた機能を調べることができます。

XC9500のリコンフィギュレーション・インストラクション

ISPEN

ISPENインストラクションは、XC9500製品をイン・システム・プログラミング機能用に起動します。

FPGM

FPGMインストラクションは、指定されたアドレスでビットをプログラムします。

FERASE

FERASEインストラクションは、プログラミング・セルのブロックを消去します。

FVIFY

FVIFYは、指定されたアドレスでプログラミングを検証します。

ISPEX

ISPEXは、XC9500メモリ・セルの内容を内部の低電力コンフィギュレーション・ラッチに転送します。

デバイス動作

プログラミング情報は、フィッターソフトウェアにより生成された JEDECファイルから抽出されます。JEDECファイル名のデフォルトは design_name.jed です。

ユーザが使用できるデバイス動作のオプションは次の通りです。

プログラムおよび検証

JEDECファイルの内容をデバイス・プログラミング・レジスタにダウンロードします。デバイスをコンフィギュレーションした後にデバイス・プログラミング・レジスタの内容をリードバックして、JEDECファイルと比較します。違いをユーザに報告します。

検証

デバイス・プログラミング・レジスタの内容をリードバックして、JEDECファイルと比較します。

消去

デバイスのコンフィギュレーション情報をクリアします。

機能テスト

JEDECファイルから得たユーザ指定の機能ベクタをデバイスに入力して、得られた結果を期待値と比較します。違いを報告します。

デバイス ID の読み出し

JTAG IDCODEレジスタの内容を読み出して表示します。

ユーザ・シグネチャの読み出し

シグネチャ値はプログラミング時にユーザにより設定されます。シグネチャ値はプログラミング終了後にのみ有効になります。この機能では、JTAG USERCODEレジスタの内容を読み出し、その結果を表示します。

バイパス

JTAG バウンダリ・スキャン・チェーン内でデバイスのアドレッシングを行うときに、このデバイスを無視します。

リードバック

デバイス・プログラミング・レジスタの内容を取り出して、その結果を使用して新規 JEDEC ファイルをつくります。

チェックサム

デバイス・プログラミング・レジスタの内容を取り出し、チェックサムを計算して期待値と比較します。

BSDL 説明のまとめ

バウンダリ・スキャン記述言語 (BSDL) は、部品のバウンダリ・スキャン機能を記述します。システムは、XACTバスに従って、カレント・ディレクトリ内の BSDL ファイルを検索します。BSDL ファイルは JTAG チェーン内にある非 XC9500 デバイス毎に指定する必要があります。

BSDL ファイルの名前は、device_name.bsd と想定されています。

JEDEC 説明のまとめ

JEDEC ファイルは ASCII ファイルであり、コンフィギュレーション情報を含み、さらにオプションとして検証ベクタを含みます。このベクタはコンフィギュレーションされたデバイスの機能動作を検証するときに使用することができます。JTAG チェーン内に存在する XC9500 デバイス毎に 1 つの JEDEC ファイルを指定する必要があります。システム内の各 XC9500 デバイスに対して 1 つの JEDEC ファイルがフィッターソフトウェアにより生成されます。

JEDEC ファイルの名前は、design_name.jed と想定されています。

Reference

1. IEEE Std. 1149.1a 1993 Standard Test Access Port & Boundary-Scan Architecture. 1993
2. The Boundary-Scan Handbook, Ken Parker, Klewer Academic Publishers, 1992
3. JEDEC Standard, Standard Data Transfer Format Between Data Preparation System and Programmable Logic Device Programmer JESD3-C, June 1994.
4. IEEE Std. 1149.1b Supplement (B) to Standard Test Access Port & Boundary-Scan Architecture, IEEE Std. 1149.1 - 1990, 1994.

