

概要

このアプリケーション・ノートではXC9500タイミング・モデルの使用方法を説明します。

ザイリンクス・ファミリ
XC9500

はじめに

全てのXC9500 CPLD は統一されたアーキテクチャと同一のタイミング・モデルを採用しており、非常に理解しやすく、かつ使い易いものになっています。タイミングの詳細を決定するときは、ここで説明するタイミング・モデルを使用して、注目するパスをアーキテクチャの図に比較して、インクリメンタルに遅延時間を加算するだけで済みます。

デバイス・タイミングの概要

外部信号はデバイス・ピンに入力されると、I/Oブロックを経由してFastCONNECTスイッチ・マトリクスに入力されます。スイッチ・マトリクスからこれらの信号は様々なファンクション・ブロック (FB) に分配されます。信号がFBに入力されると、このFB内部での信号の処理方法に応じてインクリメンタルに遅延時間が追加されていきます。例えば、全てのロジック信号がANDアレイを通過する必要がある場合、信号は積項に遭遇しここで遅延時間が追加されます。また、信号がカスケード・ロジックを通過して直接接続されている積項よりは遙かに離れた所に位置するマクロセルに向かう場合にも遅延時間が追加されます。

この他にも、信号がフリップフロップを通過する際のセットアップ・タイムやクロックから出力までの時間などのようなタイミング条件があります。信号がフリップフロップから出力されると、I/Oピンを経由してデバイス外部に出力されるか、あるいはFastCONNECTスイッチ・マトリクスにフィードバックされてさらにロジック処理を受けます。

デザインのタイミングは個々の信号として手動で解析することができます。各信号は容易に計算できる独自のタイミング・パラメータを持っています。しかし、ザイリンクス・ソフトウェアを使用すると、詳細なタイミング・レポートを得ることができます。このレポートは指定した全てのパスについての計算と一覧表を表示してくれます。このタイミング・レポートはここで説明するモデルをベースにしており、タイミング関係を識別して表示してくれる便利なテキストベースのレポートです。

図1に示すタイミング・モデルはザイリンクスXACTstep開発ソフトウェアのM1リリースで使用されています。この開発ソフトウェアはXC9500ファミリに対する完全なフィットやシミュレーションと詳細静止タイミング・レポートに使用するタイミング・モデルを提供しています。

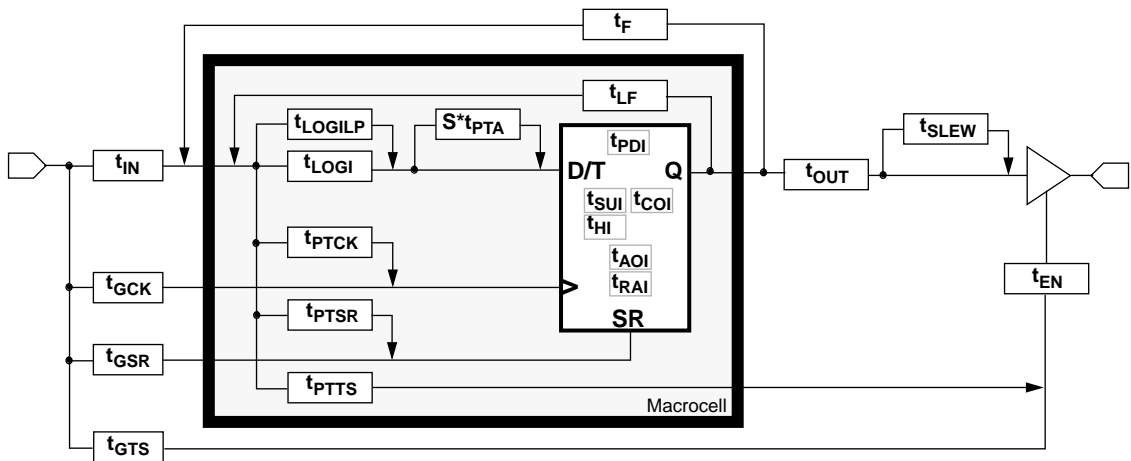


図 1: XC9500 の詳細タイミング・モデル

タイミング・モデル

図1に示すタイミング・モデルはXC9500マクロセルに似ていますが、FastCONNECTスイッチ・マトリクスとI/Oバッファを考慮した遅延時間が追加されています。XC9500デバイス内を信号が進むに連れて、これらの遅延が加わっていき、その信号についての累積遅延時間が定まります。図1に示す各パラメータの定義を表1に示します。各デバイスに対するこれらのパラメータの正確な値はデータシートに記載されています。

表1: XC9500の主要な内部タイミング・パラメータの定義

Symbol	Parameter
Buffer Delays	
t_{IN}	Input buffer delay
t_{GCK}	GCK buffer delay
t_{GSR}	GSR buffer delay
t_{GTS}	GTS buffer delay
t_{OUT}	Output buffer delay
t_{EN}	Output buffer enable/disable delay
Product Term Control Delays	
t_{PTCK}	Product term clock delay
t_{PTRS}	Product term set/reset delay
t_{PTTS}	Product term 3-state delay
Internal Register and Combinatorial Delays	
t_{PDI}	Combinatorial logic propagation delay
t_{SUI}	Register setup time
t_{HI}	Register hold time
t_{COI}	Register clock to output valid time
t_{AOI}	Register async. S/R to output delay
t_{RAI}	Register async. S/R recovery before clock
t_{LOGI}	Internal logic delay
t_{LOGILP}	Internal low power logic delay
Feedback Delays	
t_F	FastCONNECT matrix feedback delay
t_{LF}	Function Block local feedback delay
Time Adders	
t_{PTA}	Incremental product term allocator delay
t_{SLEW}	Slew rate limited delay

タイミング計算の例

表2に、内部タイミング・パラメータから種々の外部タイミング・パラメータを求める方法を示します。例えば、 t_{PD} は入力バッファ遅延時間(t_{IN})、ロジック遅延時間(t_{LOGI})、フリップフロップ通過遅延(t_{PDI})、出力バッファ遅延時間(t_{OUT})の和として求められます(図2)。入力バッファ遅延は、信号がFastCONNECTスイッチ・マトリクスを通過するときに生じる遅延時間と組み合わせてあることに注意してください。

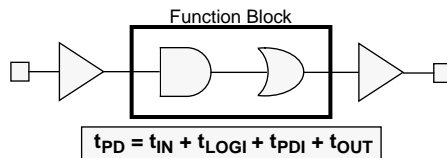


図2: 簡単な t_{PD} の例

表2: 表1から得られる主要タイミング・パラメータの式

Symbol	Parameter	Calculation
t_{PD}	Propagation delay*	$t_{IN} + t_{LOGI} + t_{PDI} + t_{OUT}$
t_{SU}	Global clock setup time*	$t_{IN} + t_{LOGI} + t_{SUI} - t_{GCK}$
t_H	I/O hold time after GCK	$t_{GCK} + t_{HI} - t_{IN} - t_{LOGI}$
t_{CO}	Global clock-to-output*	$t_{GCK} + t_{COI} + t_{OUT}$
f_{CNT}	16-Bit counter frequency	$1/(t_{COI} + t_{LF} + t_{LOGI} + t_{SUI})$
f_{SYSTEM}	Internal system clock period*	$1/(t_{COI} + t_F + t_{LOGI} + t_{SUI})$
t_{PSU}	P-term Clock setup time*	$t_{IN} + t_{LOGI} + t_{SUI} - t_{IN} - t_{PTCK}$
t_{PH}	I/O hold time after p-term clock	$t_{IN} + t_{PTCK} + t_{HI} - t_{IN} - t_{LOGI}$
t_{PCO}	Product term clock-to-output	$t_{IN} + t_{PTCK} + t_{COI} + t_{OUT}$
t_{OE}	GTS to output enabled/disabled	$t_{GTS} + t_{EN}$
t_{POE}	P-term OE to output enabled/disabled	$t_{IN} + t_{PTTS} + t_{EN}$
t_{POD}		

* ACテーブル・パラメータ参照

図3に、カスケード接続の積項を追加した別の簡単な t_{PD} の例を示します。入力Aからの遅延時間は、積項の追加により t_{PTA} 値が1個増えて少し変わっています。XC9500では積項のやり取りが両方向に可能です。そのため t_{PTA} 遅延時間でこのことが処理できるようになっています。また、非隣接マクロセルから積項を受け取ることができます。この場合も t_{PTA} の追加が必要になります。このために、場合によっては、デザイン・ソフトウェアが1つのカスケード遅延を選択しないこともあります。このカスケード・タイミングはタイミング駆動最適化手法を使用して制御することができます。詳細についてはデザイン最適化のアプリケーション・ノートを参照してください。

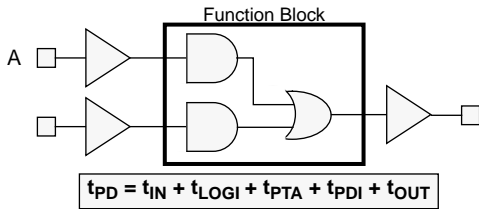


図3:カスケード接続された積項による t_{PD}

図4に、シングル・パス・ロジックを別のマクロセルを通過するパスを追加して補足した結果を示します。このケースでは、入力バッファと出力バッファを通過するパスが1個、マクロセル・ロジックを通過するパスが2個、フィードバック・パスが1個あります。フィードバック・パスは、.CSTファイルで指定されたタイミング制約条件に応じて、一般のフィードバック(t_F)またはローカル・フィードバック(t_{LF})、いずれかを通過します。

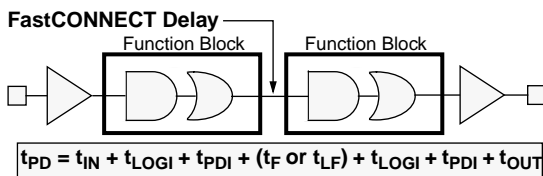


図4:複数のパスを持つロジックによる t_{PD}

図5に、グローバル・クロック信号(GCK)により駆動される単純なフリップフロップの場合を示します。この配置に対しては、表2に示す t_{CO} 、 t_H 、 t_{SU} の式が有効です。

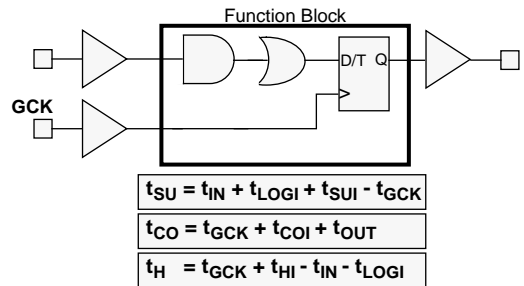


図5:単純な Flip-Flop のパス
(注:グローバル・クロック)

図6に、図5のケースにマクロセル・ロジックをもう1レイヤー追加したケースを示します。 t_{CO} と t_H の式は変更されませんが、.CSTファイルで指定されたタイミング制約条件に応じて t_{SU} の式は($t_{LOGI} + t_{PDI} + (t_F \text{ OR } t_{LF})$)だけ増えます。

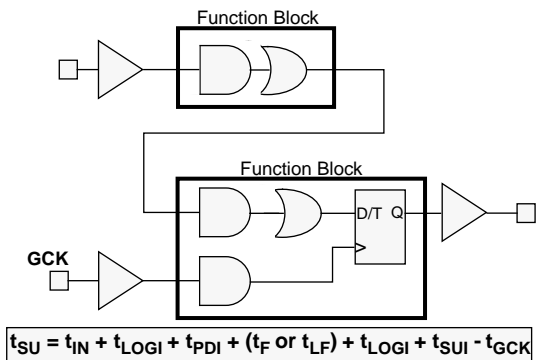


図6:複数パス・ロジックを持つフリップフロップ
(注:グローバル・クロック、 t_{CO} と t_H は不変)

図7に、1レベルのロジックで接続された2個のフリップフロップ（グローバル・クロックで駆動）を示します。フリップフロップAの t_{SU} と t_{HI} は図5の場合と同じです。

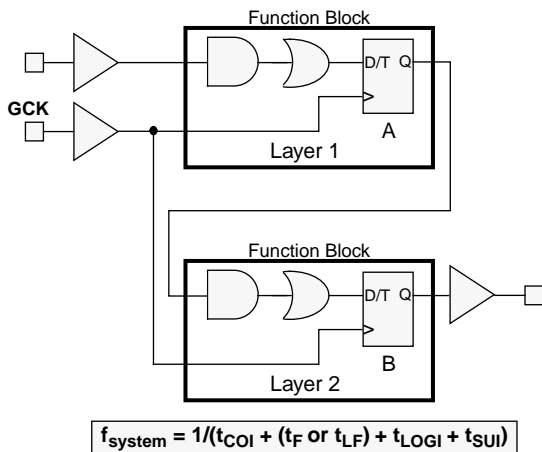


図7: 1レベルのロジックを持つ複数のフリップフロップ (注:グローバル・クロック)

図8に、積項クロックで駆動されるフリップフロップを示します。この配置はクロック入力を積項クロックから得ている点のみが図5と異なっています。表2に示す t_{PCO} の式はこの相異を反映しています。 t_{PSU} と t_{HI} に対するタイミングは積項クロック・タイミング・パラメータを使用して計算されます。

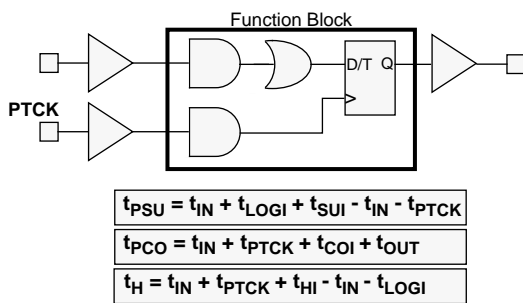


図8:積項クロックで駆動されるフリップフロップ

図9に、有効データをバスへ出力するタイミングを示します(立ち上がりのクロック・エッジが基準)。これは高速なバスで使用される一般的な構成です。これは t_{VAL} と呼ばれることもあります。この例では、ファンクション・ブロックのフィードバックがローカル・フィードバック・バスを通過するものと仮定しています。

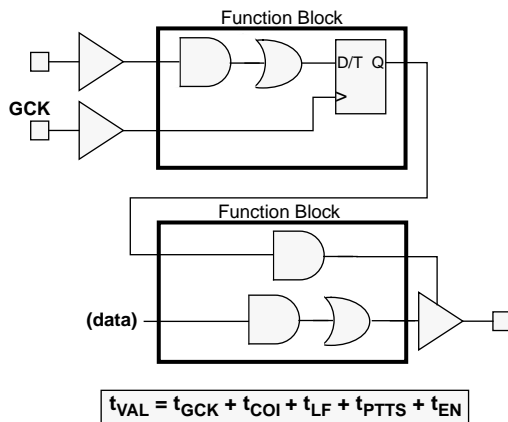


図9:フリップフロップで制御される出力イネーブル

まとめ

これらの例は多くのデザイン構成を十分に説明しています。他の例はタイミング・モデルから容易に導出することができます。手動による計算の場合は、必要に応じて全体のタイミングに t_{SLEW} や t_{LOGILF} のような他のタイミング遅延を容易に加算することができます。