

LVDS ソース同期の DDR デシリアライズ (最大 1,600Mb/s)

著者 : Marc Defossez, Nick Sawyer

概要

ザイリンクスの 7 シリーズ FPGA は、入力 SerDes (ISERDES) プリミティブを備えているため、デシリアライズ回路の設計が容易になり、ビットごとのスキュー調整を行った場合にチャンネルあたり最大 1,600Mb/s の動作 (使用するデバイスファミリおよびスピード グレードによって異なる) が可能です。このアプリケーション ノートでは、データ送信にエッジアラインの DDR クロックと LVDS (低電圧差動信号) を使用して 1:n のデータ受信を行うために ISERDES を効率的に使用する方法を説明します。

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、[8 ページの「リファレンス デザイン ファイル」](#) を参照してください。

はじめに

[図 1](#) に、DDR クロッキングを使用する 1:4 インターフェイスを示します。このアプリケーション ノートで提供するマクロは、1:4、1:6、および 1:8 の SerDes 比率に対応し、変更を加えることで 1:10 にも対応できます。

これらのマクロでは、各クロック ラインで受信する LVDS データ ライン数をパラメータ指定できます。1 つのチャンネルのすべてのデータ ビットは 7 シリーズ デバイスの 1 つの I/O バンクに割り当て、入力クロック信号ペアはクロック兼用 I/O ピンに割り当てする必要があります。

受信されるデータはスキューが調整されます。つまり、7 シリーズ FPGA では、内蔵されている入力遅延 (IODELAYE2) を使用して、電圧と温度の変動によって生じるスキューや PCB およびパッケージのスキューをピンごとにリアルタイムで調整します。これのため、設計者は PCB の配線スキュー要件を緩和してより厳しいタイミング マージンを与えることができます。リアルタイムのスキュー調整では、各ピンに個別のステート マシンを使用するため、正常に機能するにはデータ ライン上でステートの遷移が必要になります。このステート マシンによって、Chipscope で表示できる各ラインのアイの開口データを生成することも可能です。

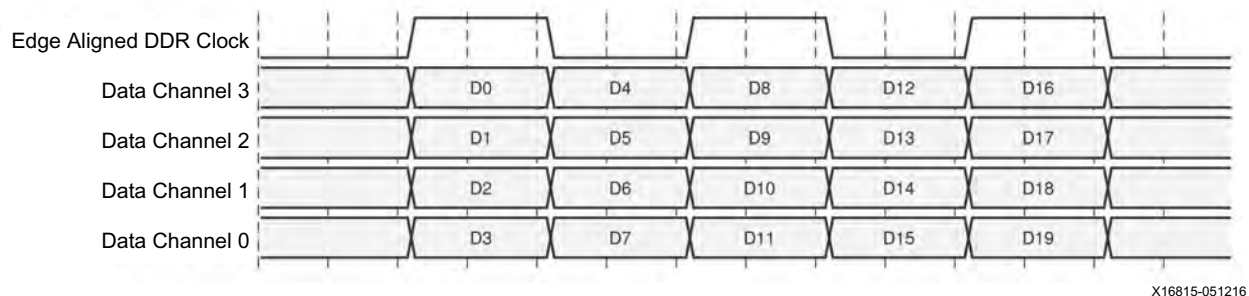
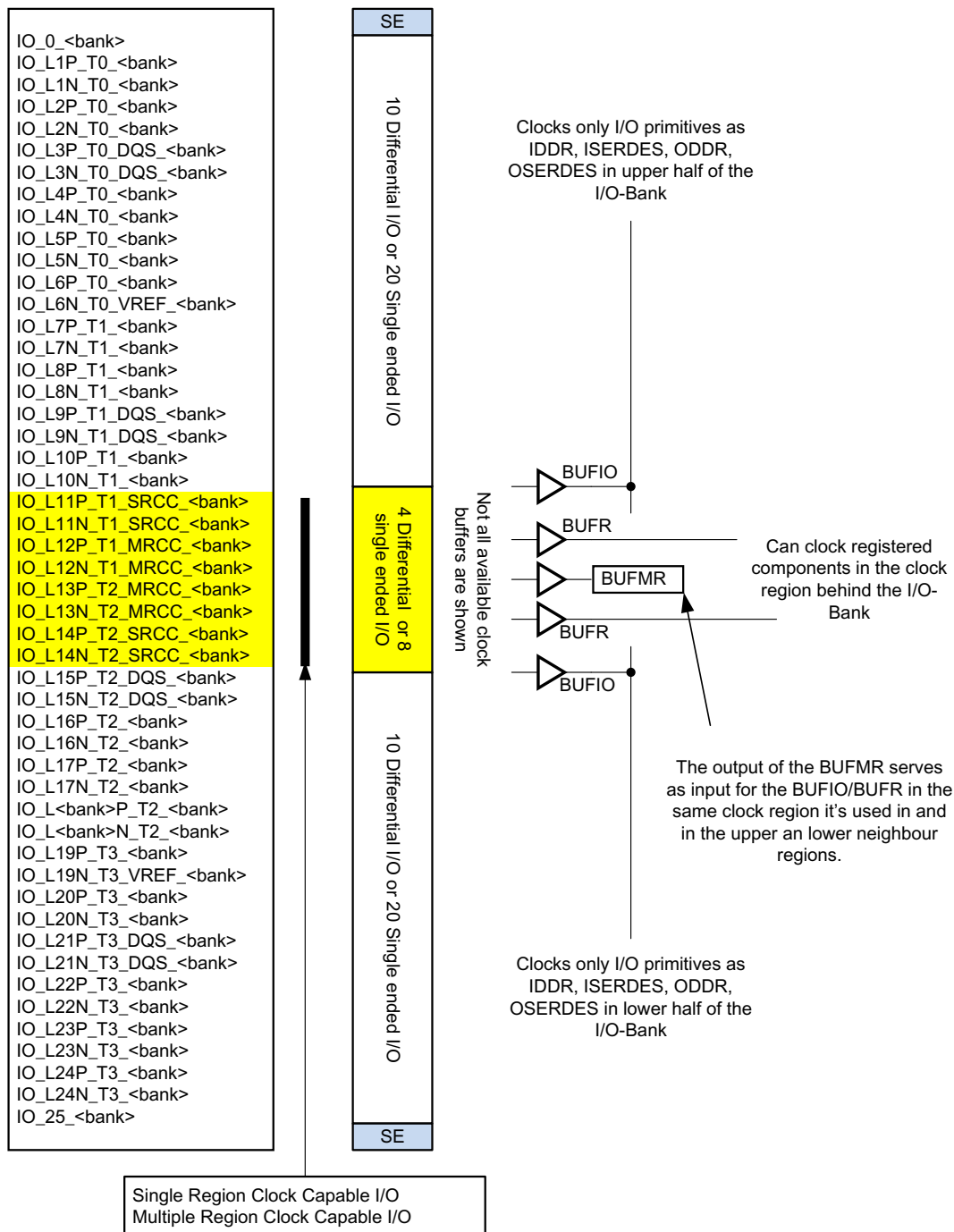


図 1: DDR クロッキングを使用する 4 ビット データ ストリームと 1:4 データ フォーマット

ISERDES のガイドライン

7 シリーズ FPGA には、HR (High Range) バンクと HP (High Performance) バンクがあります。各 I/O バンクには 50 個の I/O が含まれており、そのうち 2 つは常にシングルエンドとして使用され、残りの 48 はシングルエンドまたは差動 I/O として使用できます。図 2 に示すように、8 つのシングルエンドまたは 4 つの差動 I/O をクロック入力として使用可能です。各シングルエンド I/O は、HR バンクと HP バンクの両方にある専用のシリアライズ回路 (OSERDES) またはデシリアライズ回路 (ISERDES) プリミティブのいずれかまたは両方へ接続できます。



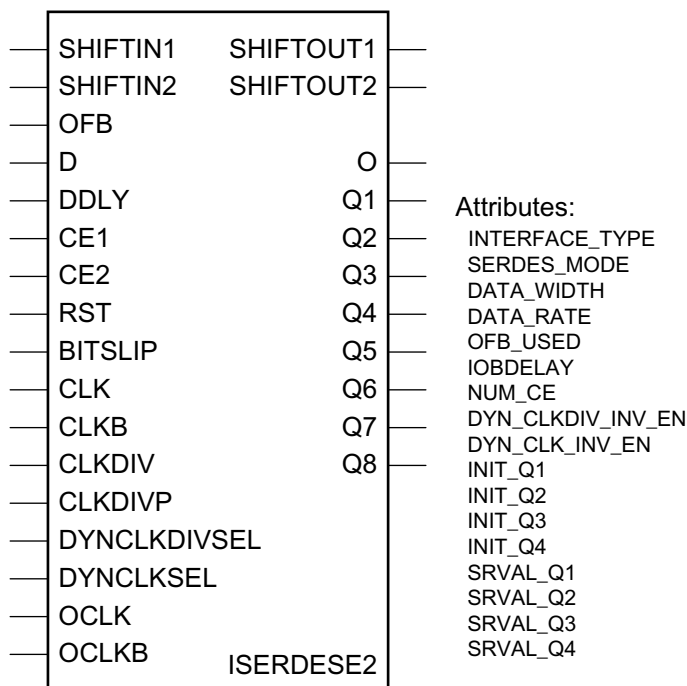
X16817-041916

図 2 : I/O バンクとクロッキングの詳細

このアプリケーション ノートでは、ISERDESE2 (図 3) プリミティブと IDELAYE2 (図 4) プリミティブに焦点を当てています。隣接する 2 つのブロック (マスターとスレーブ) にある ISERDESE2 をカスケード接続すると、10 ビットまたは 14 ビットのブロックを構築できます。これにより、ダブル データ レート (DDR) 動作の場合は 1:2、1:4、1:6、1:8、1:10、1:14 の ISERDES 入力比が可能になります。

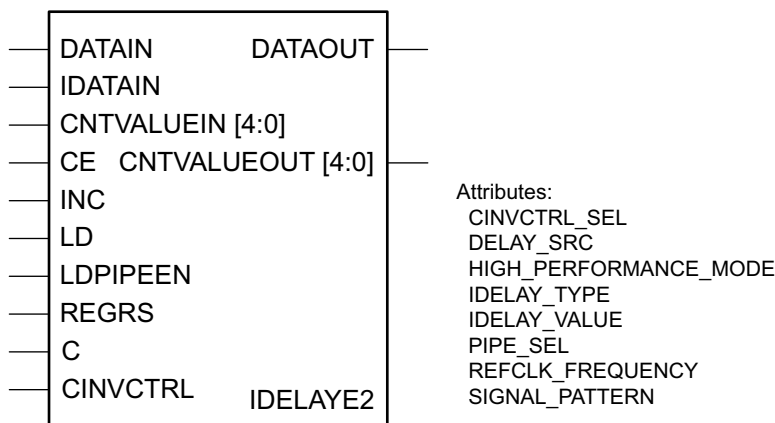
差動信号規格は ISERDESE2 コンポーネントに関連する 2 つの I/O ロジック タイル (マスター、スレーブ) を使用するため、これらの規格の信号を使用しているときは、ISERDESE2 ブロックをカスケード接続しても問題ありません。このため、事実上 2 つの ISERDES の使用に関する制約はありません。

HR バンクは 2.5V の LVDS を、HP バンクは 1.8V の LVDS をサポートします (V_{CC0} レベル)。HR および HP I/O バンク、ISERDESE2/IDELAYE2 コンポーネントの詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』[参照 1] を参照してください。



X16816-041916

図 3 : ISERDESE2 プリミティブ



X16824-041916

図 4 : IDELAYE2 プリミティブ

クロッキングのガイドライン

前述のデザインでは、1つのクロック領域内の BUFIO と BUFR を使用しています。複数のクロック領域を使用する場合は、BUFR クロック ネットワークからグローバル クロック ネットワークへのドメイン移動が必要です。別の方法として、7シリーズ内の BUFMR クロック バッファを使用し、垂直方向に隣接する3つの領域内の BUFR を有効にすることも可能です。詳細は、『7シリーズ FPGA クロッキング リソース ユーザー ガイド』[参照 2] の付録 A を参照してください。7シリーズ FPGA のグローバル クロック および PLL/MMCM の仕様は、表 1 に示しています。7シリーズ I/O バンクにおける BUFIO、BUFR、および BUFMR のセットアップは、2 ページの図 2 に示しています。

表 1: 7 シリーズ FPGA のグローバル クロック と PLL/MMCM の仕様

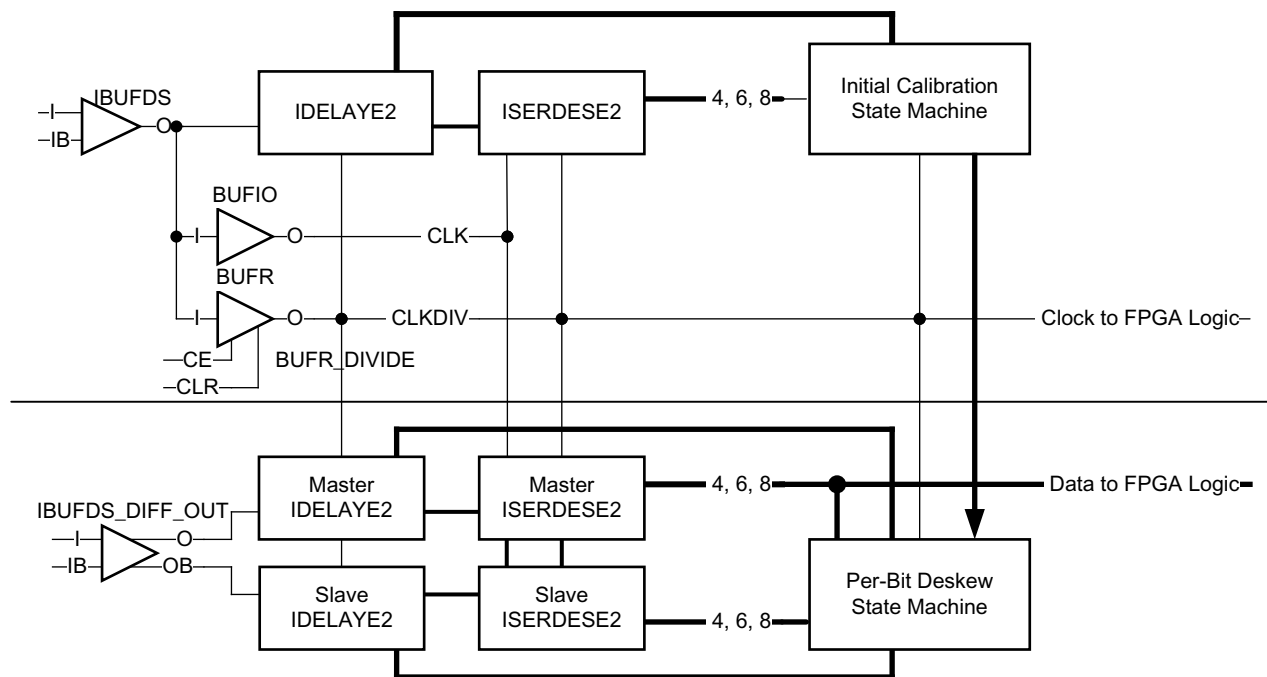
FPGA	スピード グレード	I/O クロック ネット ワークの最大値 (BUFIO)	リージョナルクロック ネットワークの最大値 (BUFR)
Artix™-7	-1	600MHz	315MHz
Artix-7	-2	680MHz	375MHz
Artix-7	-3	680MHz	420MHz
Kintex™-7	-1	710MHz	450MHz
Kintex-7	-2	800MHz	540MHz
Virtex®-7	-1	710MHz	450MHz
Virtex-7	-2	800MHz	540MHz
Virtex-7	-3	800MHz	600MHz

デシリアライズとデータ受信

クロック受信

このメカニズムのトポロジは非常にシンプルです。受信した DDR クロックは、クロック兼用入力ピン ペア (差動) またはピン (シングル エンド) から入力遅延を介さずにクロック領域内の BUFIO と BUFR の両方へ転送されます。BUFR は、n で分周されるように設定されます (n は必要なシリアル-パラレル レートの半分)。BUFIO クロックは入力 ISERDESE2 のレシーバー データをサンプルするために使用され、BUFR は入力 ISERDESE2 からのパラレル データにクロックを供給するため、さらに制御ステート マシンにクロックを供給するために使用されます。ユーザー ロジックへのクロック供給には BUFR の出力を使用します。また、受信クロック信号は、入力遅延エレメント (IDELAYE2) を通過して入力シリアル-パラレルプリミティブ (ISERDSE2) へ転送されます。シリアル-パラレルプリミティブからのデータは、最初のトレーニングを行うためにマクロ内部でのみ使用されます。

電源投入後またはリセット後、初期キャリブレーション ステートは受信クロックをトレーニング信号として使用し、データ ビット レシーバーで必要となる初期遅延設定を決定します。最初のキャリブレーションを決定するには受信クロックがあればよく、この動作のためにデータ ライン上に特定パターンは不要で、必要であれば固定できます。図 5 の上部にクロック レシーバーを示しています。



X16818-041916

図 5: クロックおよびデータ レシーバー ロジック

データ受信およびビットごとのスキュー調整

図 5 の下部に示すように、受信した LVDS データラインは IBUFDS_DIFF_OUT 入力バッファを介してマスターとスレーブ両方の入力遅延に送られて、その後マスター ISERDESE2 とスレーブ ISERDESE2 へ転送されます。ISERDESE2 からのパラレルデータはユーザー ロジックへ転送され、さらに制御ステート マシンへも転送されます。ISERDESE2 からのパラレルデータは、制御ステート マシンでのみ使用されます。

最初のデータ遅延は、前述の「クロック受信」で説明したように決定され、データライン上の IODELAYE2 へ渡されます。これによって適切な場所に即座に遅延が適用されるため、ビットごとのスキュー調整アルゴリズムは、各データラインをその後に微調整するためだけに使用されます。

通常マスターデータの初期遅延はアイの中央に設定されます。スレーブ遅延は、1/2 ビット周期分前または後ろへずらして設定されます。その結果、1/2 ビット周期分離した 2 つのサンプル値が入力データラインで取得されます。1/2 ビット周期内のタップ数を算出するために、マクロにはユーザーが 16 ビットの定数 (16 進数) で直接ビット レートを指定できる 16 ビットの入力データバスがあります。たとえば、622Mb/s を指定するには、定数 216'h062 (X"0622" in VHDL) を使用する必要があります。

正しいサンプリング遅延を判断するために使用されるアルゴリズムは、次のように動作します。1/2 ビット周期離れた (次の遷移の) 2 つのサンプル値が同じ場合は、サンプリング ポイントが遅すぎるため入力遅延を 1 タップ減らす必要があります (図 6)。(次の遷移の) 2 つのサンプル値が異なる場合は、サンプル ポイントが早すぎるため入力遅延ラインを 1 タップ追加します (図 7)。このメカニズムは、入力データが変化することが前提です。データラインが固定 0 または固定 1 の場合、遅延は初期値のままとなります。サンプリング クロックに同期するリアルタイムな比較は不可能なため、パラレル受信データが使用されます。つまり 2 つのサンプル (各入力ラインで 4、6、または 8 ビット) が必要です。

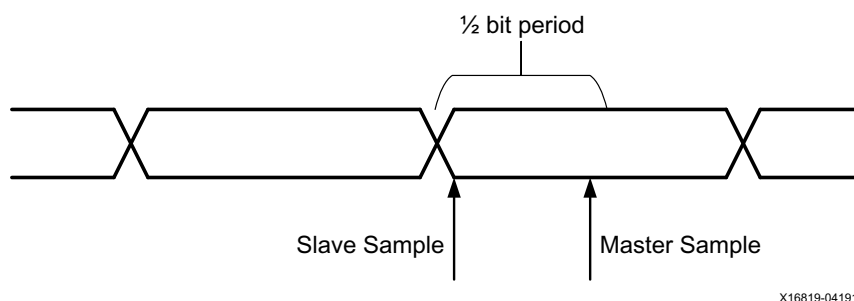


図 6: データ サンプリング遅延 (長すぎる)

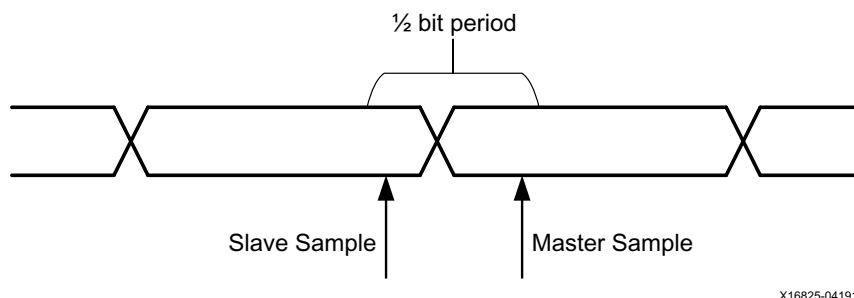


図 7: データ サンプリング遅延 (短すぎる)

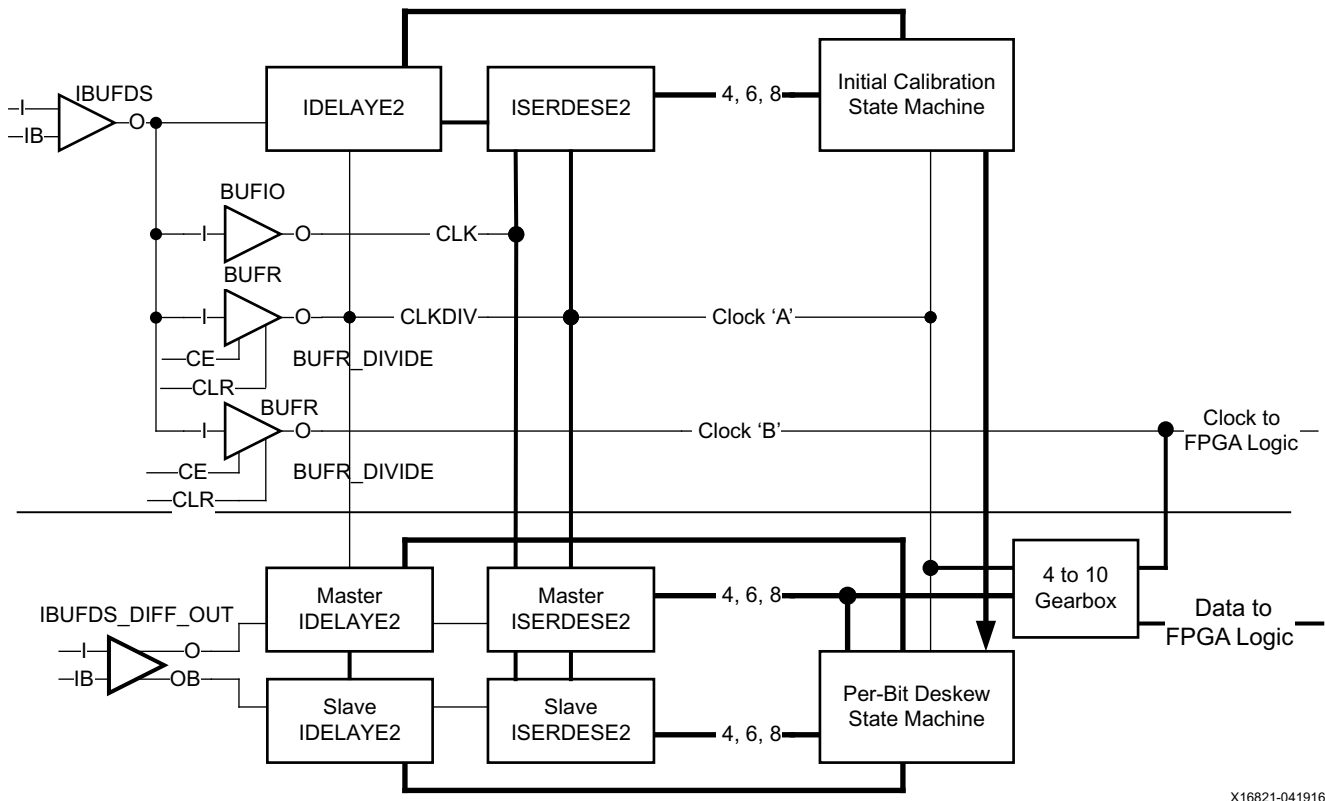
このアルゴリズムでは、不正 (パソロジカル) 動作が起こる場合が 2 つあります。マスター遅延値が 0 へ向かってラップアラウンドされる場合と 0 から離れてラップアラウンドされる場合です。いずれの場合でも、1 つのビットが二度受信されたり、まったく受信されないといったデータの破損が生じます。これらの状況によるデータ破損を防ぐため、ロジックには、これらの状況を検出して適切にパイプラインを追加するためのレジスタと乗算器が含まれています。

この方法の短所は、インプリメントに多数のロジックを必要とすることです。長所は、正しいデータ受信が保証されると同時に各入力ラインを個別にリアルタイムでスキュー調整できることです。これにより、スキューの原因となる PCB 配線、ピン遅延、およびトランスミッターピンのばらつきは、タイミング解析から除外されます。

スキュー調整アルゴリズムは、どちらの方向でもビット変動の程度に関係なく動作しますが、入力およびクロックラインのスキューは、各チャンネルで $\pm 1/4$ UI 以内をすることを推奨します。この範囲を超えても回路は機能しますが、ワードのスキュー調整には、ユーザー ロジックがさらに必要になる場合があります。

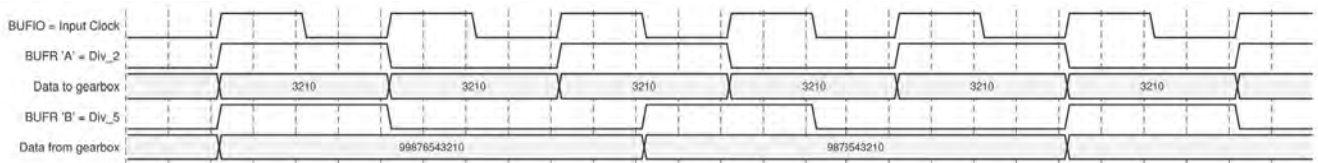
1:10 データ受信

図 8 に、1:10 データ受信のブロック図を示します。すでに説明したとおり、レシーバーは基本的に 1:4 レシーバーを使用します (BUFR 'A' は 2 分周として設定)。このレシーバー出力は、分散 RAM をベースとするギアボックスに転送されて変換されます。クロックがもう 1 つ必要になり、これは 5 分周として設定された 2 つ目の BUFR 'B' で生成されます。BUFR 'A' クロックレートで適用された 4 ビットワードは、10 ビットの読み出し幅に変換されて、BUFR 'B' クロックレートでギアボックスから出力されます。図 9 に、このギアボックスのタイミング図を示します。



X16821-041916

図 8: クロックおよびデータ レシーバー ロジック



X16822-041916

図 9: 4 ビットから 10 ビットへ変換するギアボックスの波形

最小データ レートの留意事項

データ キャプチャのメカニズムは、IDELAYE2 ブロックに依存します。IDELAYCTRL のクロックが 200MHz に設定されている場合、IDELAYE2 では 78ps (公称値) 単位で 32 タップの遅延が可能のため、最小キャプチャ周波数は $78 \times 32 = 2,496\text{ps} \approx 400\text{Mb/s}$ となります。IDELAYCTRL プリミティブのクロックが 300MHz に設定されている場合、タップ遅延が 56ps に減少し、レシーバー マージンは改善しますが、最小キャプチャ周波数が $\sim 550\text{MHz}$ まで増加します。この値よりも低いビットレートの場合、どの時点でも遅延ラインにエッジが検出されず、最初のクロック キャリブレーションがエラーとなります (回路は継続的にループ)。したがって、400Mb/s よりも低いデータ受信では、最も妥当であろう推測値でトレーニングが行われることとなります。遅延ラインでエッジが検出された場合、初期遅延値は $\pm 10\text{h}$ タップに設定されます。エッジが検出されない場合の遅延ラインは 10h タップに設定されます。いずれの場合でも、遅延は低いビットレートで許容可能な、アイのいずれのエッジから少なくとも 10h タップ離れて設定されます。

レシーバーのタイミングに関する留意事項

レシーバーでは、タイミングのばらつきの原因をいくつか考慮しなければなりません。これらをビット周期から差し引いた上でデザインが設計要件を満たすかどうかを判断する必要があります。デザイン ZIP ファイルに含まれている Excel スプレッドシートを利用すると、解析を迅速に行うことができます。図 10 に、スクリーンショットを示します。

Receiver Margin Calculations Version 1.1			
Bit Period	1000	ps	User required bit period
Design Mode	DDR		
Delay Reference Clock	200	MHz	User selectable
IO Delay HIGH PERFORMANCE MODE	TRUE	(TRUE/FALSE)	User selectable
Sample Clock	BUFIO		
MAX number of taps used (decimal)	13		
<u>Uncertainties when using per-bit deskew</u>			
Per bit deskew accuracy	156	ps	Plus or Minus two delay line taps (including delay rounding)
Pattern Dependent Jitter in Delay line	64	ps	9 ps per tap default or 5 ps per tap in HIGH PERFORMANCE MODE
Sampling Clock Duty Cycle Distortion	60	ps	(Half of any fixed duty cycle distortion will be removed by the per-bit deskew logic)
Transmitter jitter and ISI	120	ps	Any PCB and package data skew will be removed by the per-bit deskew logic
Remaining Window after Receiver Uncertainties	600	ps	

X16823-041916

図 10 : レシーバー マージンの計算

アイ モニタリング

リファレンス デザインのマクロには、リアルタイム アイ モニタリングに相当する回路が追加されています。

リファレンス デザイン ファイル

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。®リファレンス デザインは、Verilog と VHDL の両方で提供されています。

それぞれのファイル名は、ここで説明した手法の図中に記載されています。その他、ISE® および Vivado® Design Suite の最上位ファイルやタイミング制約のサンプル デザインにも記載されています。

DDR データの各入力モジュールでは、入力幅 (各インターフェイスの入力ピンの数) をパラメーター指定できます。含まれるファイルを次に示します。

- serdes_1_to_468_idelay_ddr.v/vhd
- serdes_1_to_10_idelay_ddr.v/vhd

表 2 に、リファレンス デザインの詳細を示します。表 3 に、デバイスのリソース使用量を示します。

表 2 : リファレンス デザインの詳細

パラメーター	説明
全般	
開発元	ザイリンクス
ターゲット デバイス	7 シリーズ FPGA

表 2: リファレンス デザインの詳細 (続き)

パラメーター	説明
ソースコードの提供	あり
ソースコードの形式	Verilog および VHDL
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、CORE Generator ツール、サードパーティからデザインへのコード/IP の使用	なし
シミュレーション	
論理シミュレーションの実施	あり
タイミングシミュレーションの実施	なし
論理シミュレーションおよびタイミングシミュレーションでのテストベンチの利用	あり
テストベンチの形式	Verilog および VHDL
使用したシミュレータ/バージョン	ISIM
SPICE/IBIS シミュレーションの実施	なし
インプリメンテーション	
使用した合成ツール/バージョン	Vivado ツール 2016.1 またはそれ以降
使用したインプリメンテーション ツール/バージョン	Vivado 2016.1
スタティック タイミング解析の実施	あり
ハードウェア検証	
ハードウェア検証の実施	あり
使用したハードウェアプラットフォーム	KC705/VC707 (FMC 107 を使用)

表 3: デバイスのリソース使用率

デザイン ファイル	クロックバッファ	スライス	ISERDES
serdes_1_to_468_idelay_ddr.v/vhd ビットごとのスキュー調整は有効	2	~8 (ラインあたり)	2 (ラインあたり)
serdes_1_to_10_idelay_ddr.v/vhd ビットごとのスキュー調整は有効	3	~17 (ラインあたり)	2 (ラインあたり)
serdes_1_to_468_idelay_ddr.v/vhd ビットごとのスキュー調整とモニター機能は有効	2	~36 (ラインあたり)	2 (ラインあたり)
serdes_1_to_10_idelay_ddr.v/vhd ビットごとのスキュー調整とモニター機能は有効	3	~45 (ラインあたり)	2 (ラインあたり)

まとめ

7シリーズ FPGA は、ビットごとのスキュー調整を使用してチャンネルあたり 400Mb/s ~ 1,600Mb/s で 4、6、8、10 対 1 のシリアライズおよびデシリアライズを必要とするさまざまなアプリケーションに対応します。対応速度は使用する 7 シリーズファミリやスピード グレードによって異なります。

参考資料

注記：日本語版のバージョンは、英語版より古い場合があります。

- 『7シリーズ FPGA SelectIO リソース ユーザー ガイド』(UG471 : [英語版](#)、[日本語版](#))
- 『7シリーズ FPGA クロッキング リソース ユーザー ガイド』(UG472 : [英語版](#)、[日本語版](#))
- 『Artix-7 FPGA データシート : DC 特性および AC スイッチ特性』(DS181 : [英語版](#)、[日本語版](#))
- 『Kintex-7 FPGA データシート : DC 特性および AC スイッチ特性』(DS182 : [英語版](#)、[日本語版](#))
- 『Virtex-7 T/XT FPGA データシート : DC 特性および AC スイッチ特性』(DS183 : [英語版](#)、[日本語版](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016年7月22日	1.0	初版

法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、および全て受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、全ての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。
<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

ザイリンクスの製品は、フェイルセーフとして設計されたり意図されてはならず、また、フェイルセーフの動作を要求するアプリケーション(具体的には、(I)エアバッグの展開、(II)車のコントロール(フェイルセーフまたは余剰性の機能(余剰性を実行するためのザイリンクスの装置にソフトウェアを使用することは含まれません)および操作者がミスをした際の警告信号がある場合を除きます)、(III)死亡や身体傷害を導く使用、に関するアプリケーション)を使用するために設計されたり意図されたりしていません。顧客は、そのようなアプリケーションにザイリンクスの製品を使用する場合のリスクと責任を単独で負います。

© Copyright 2016 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある[フィードバック送信]ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。