



XAPP1087 (v1.0) 2013 年 4 月 24 日

SelectIO インターフェイスの最適な V_{REF} 生成回路

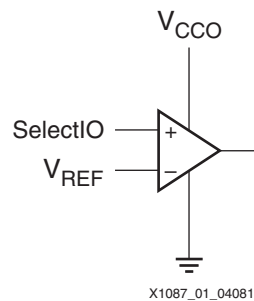
著者 : Kavitha Nagarajan

概要

FPGA デザインでは、さまざまな PCB SelectIO™ インターフェイス V_{REF} 生成回路が使用されます。以前のデザインで問題のなかった PCB V_{REF} 生成回路を使用しても、 V_{REF} ピンに大きなノイズ (200 ~ 400mV) が生じる場合があります。 V_{REF} に大きなノイズがある場合、広帯域 DDR3 メモリ インターフェイスなどの高性能 SelectIO インターフェイスを含むデザインではマージンが失われることがあります。このアプリケーション ノートでは、 V_{REF} ノイズの発生源について考察し、PCB SelectIO インターフェイスの最適化された推奨 V_{REF} 生成回路について説明します。

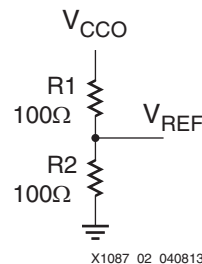
V_{REF} 入力

図 1 に FPGA 内部の V_{REF} 回路の簡略図を示します。この回路は、 V_{REF} ピンを含む SelectIO バンクの V_{CCO} レールによって電源が供給されます。FPGA のコンパレータ回路は、(DC 側から見た) 入力負荷のインピーダンスが高くなっています。

図 1 : FPGA の V_{REF} 回路の簡略図

トラッキングの要件

一般に、SelectIO 帯域の V_{CCO} 電圧には、複数の発生源 (SelectIO のスイッチング動作やスイッチング電源の高調波など) からの低振幅、高周波ノイズが発生します。最大のノイズ マージンを得るには、PCB 回路によって生成される V_{REF} 電圧が、 V_{CCO} の変動をリアルタイムでトラッキングする必要があります ($V_{REF} = V_{CCO}/2$ のトラッキング)。これは、図 2 に示すような抵抗分圧器で簡単に実現できます。

図 2 : V_{REF} 生成用の抵抗分圧器

標準電圧レギュレータは V_{REF} の生成に使用しないでください。電圧レギュレータは、出力電圧の変動を入力電圧の変動の関数として除去するように設計されています。通常の電圧レギュレータアプリケーションでは、これは望ましい機能です。しかし、V_{REF} 出力が V_{CCO} の変動をトラッキングする必要のある V_{REF} アプリケーションにおいては不要な特性です。

標準電圧レギュレータの場合、トラッキング機能がないためにパフォーマンスが低下する上、追加コストがかかります。標準電圧レギュレータは、非常に小さい V_{REF} 電流負荷 (標準値約 1μA) の供給には不要であり、V_{REF} ノイズの発生を防止するわけではありません。

Texas Instruments 社の TPS51200 など、V_{REF} 電圧の生成と V_{CCO} の変動のトラッキング用に設計された特別な DDR3 基準電圧レギュレーターがあります。これらを使用することもできますが、 unnecessary コストがかかる場合があります。

V_{REF} ノイズの根本原因

ノイズの問題には、アグレッサ ノイズ ソース、カップリング メカニズム、いわゆるビクティム回路という一般的な特性があります。SelectIO の V_{REF} ノイズの場合、その発生源の多くは、SelectIO インターフェイスのスイッチング動作のスイッチング周波数 (および高調波) です。

カップリング メカニズムは、電圧レールと、FPGA の V_{REF} ピンに至る V_{REF} トレースへの直接カップリングによって形成されます。

V_{REF} ノイズの根本原因は、図 3 のビクティム回路 (V_{REF} 入力) の詳細な分析からわかります。V_{REF} 入力の詳細図は、FPGA ダイおよびパッケージの寄生素子を示しています。

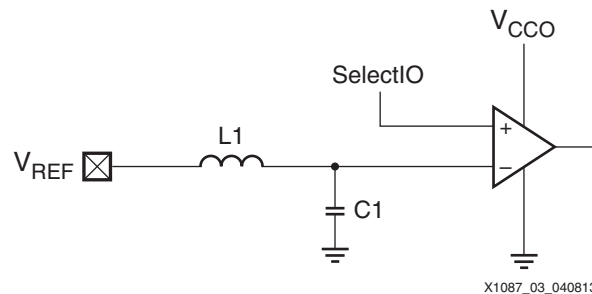


図 3: FPGA ダイおよび V_{REF} 入力のパッケージ寄生素子

L1 は、FPGA ボールからダイまでのパッケージ インダクタンスであり、パッケージ タイプによって大きく異なります (ワイヤ ボンド CSG パッケージおよびフリップチップ FFG パッケージなど)。これはピンによっても異なります。C1 はダイの入力容量であり、その値は FPGA プロセス ノード間で多少変化します。L1 の値はパッケージ ファイルから、C1 の値は RLGC IBIS モデルから取得できます。例として、表 1 に、28nm プロセス ノードを採用している 7 シリーズ XC7VX485T-FFG1761 デバイス、フリップチップ パッケージの V_{REF} ピンにおける値を示します。

表 1: XC7VX485t-FFG1761 上の V_{REF} ピンの代表的な L1 と C1 の値

ピン	ネット	SelectIO のタイプ	L1 (nH)	C1 (pF) (HP SelectIO) ⁽¹⁾
B18	IO_L6N_T0_VREF_38	HP ⁽²⁾	6.9	4.67
L11	IO_L19N_T3_VREF_39	HP	3.8	4.67

注記:

- 28nm ノードの 7 シリーズ デバイスにおける HR SelectIO の平均ダイ容量は約 7.5pF です。
- High Performance の略です。

さらに、PCB 構造によって、ビア構造、PCB スタックアップ、グラウンド クリアランス トポロジから少量の追加インダクタンスおよび容量が発生します (標準値はインダクタンスが約 1/2nH、容量が約 1pF)。

このような PCB によるわずかな追加の影響を無視すると、L1 と C1 は 1 つの共振ビクティム回路を形成します。L1 および C1 によって定義される共振周波数に近い周波数を持つ、小さな持続信号が入力されると、その共振が励起されて電圧振幅が増大します。この振幅は、主にリアクティブ構造に組み込まれる抵抗寄生素子によってのみ制限されます。このような L1 と C1 の共振動作が、過度の V_{REF} ノイズの根本原因です。

ビクティム回路の標準共振周波数

表 2 に、XC7VX485T-FFG1761 デバイスの V_{REF} ピンにおける標準共振周波数を示します。LC 回路の共振周波数は $1/(2\pi(LC)^{1/2})$ です。

表 2 : XC7VX485T-FFG1761 の代表的な V_{REF} ピンの標準共振周波数

ピン	ネット	SelectIO のタイプ	L1 (nH)	C1 (pF) (HP SelectIO)	共振周波数 (MHz)
B18	IO_L6N_T0_VREF_38	HP	6.9	4.67	887
L11	IO_L19N_T3_VREF_39	HP	3.8	4.67	1195

約 800MHz の共振周波数が最も問題です。DDR3 インターフェイスの動作レートは、この周波数付近に多くの周波数成分を持ちます。たとえば、DDR1600 はベース クロック レートが 800MHz の一般的なインターフェイス レートですが、これは表 2 に示すように V_{REF} ピン B18 のビクティム共振周波数 887MHz に非常に近い値です。このため、大量のエネルギーがビクティム共振回路にカップリングし、相当量の V_{REF} ノイズを発生させることがあります。

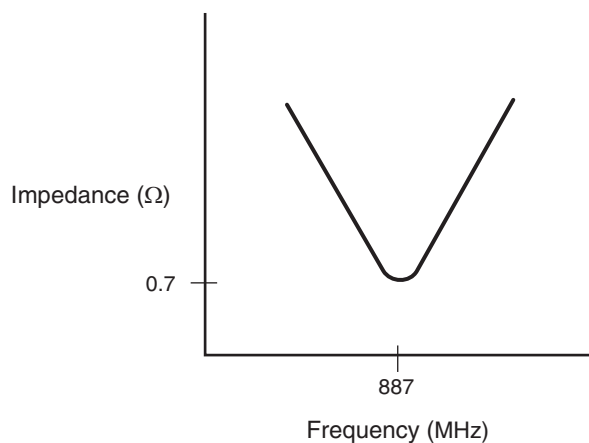
V_{REF} ノイズの発生が観察されるもう 1 つのアプリケーションとして、高速 LVDS インターフェイスが挙げられます。このインターフェイスは、1.2Gb/s ~ 1.5Gb/s の範囲で動作します。ベース クロック 周波数と、ベース クロックの 3 倍の周波数 (3 次高調波周波数) に大きな周波数成分が存在します。800Mb/s の DDR インターフェイスは、1.2GHz で 3 次高調波を発生します。表 2 から、LVDS DDR インターフェイスでは V_{REF} ノイズが増大することがわかります。

デザイン間の差異

ここまでの説明で、 V_{REF} ノイズの有無に影響を与えるいくつかの変数を特定しました。SelectIO のスイッチング周波数、パッケージの寄生素子 (ピン間で変動)、IC プロセスのパラメーターなど一部の変数はデザインの世代間で異なりますが、変量は明確ではありません。こうした差異のため、あるデザインでノイズの少ない V_{REF} 基準レールを実現する PCB 回路でも、別のデザインでは V_{REF} ピンのノイズが多くなる場合があります。

最適な V_{REF} 回路

このセクションでは、DDR3 インターフェイスが 1.6Gb/s で動作することを想定して、 V_{REF} ピン B18 上の共振周波数 887MHz の例について説明します。 V_{REF} ノイズを最小限に抑える 1 つの手法は、約 887MHz の最小インピーダンスを持つキャパシタを V_{REF} ピンに接続することです。このキャパシタは、可能な限り V_{REF} ピンの近くに配置する必要があります。図 4 に、このようなキャパシタの特性を示します。

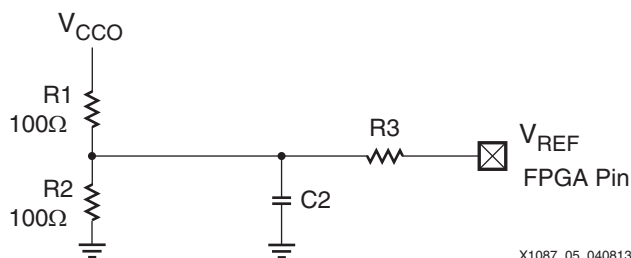


X1087_04_040813

図 4 : 村田製作所製キャパシタ (GRM033B11C151KA01) のインピーダンスと周波数特性

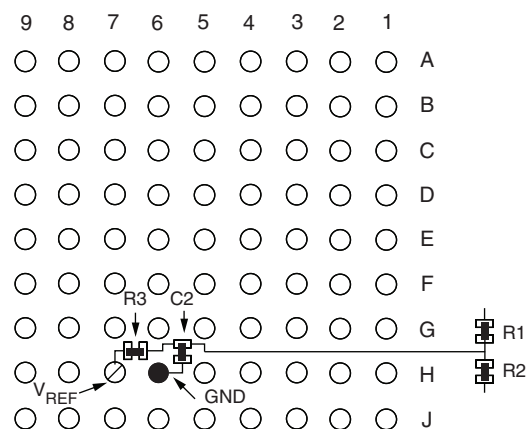
図 4 に示す村田製作所製 150pF 0201 サイズ キャパシタ (GRM033B11C151KA01) は、キャパシタの自己共振周波数である約 887MHz 付近で非常に低いインピーダンス (0.7Ω) を持ちます (村田製作所は、キャパシタの自己共振特性およびその他のキャパシタ特性を表示するオンライン ツールを http://www.murata.com/products/design_support/sim surfing/index.html で提供)。このキャパシタは 887MHz 付近の高周波ノイズを除去しますが、共振周波数はそれでも残存し、ほかの周波数帯に移動します。この移動した共振周波数範囲が、カスタマー独自のデータ パターンによって励起され、デバッグの困難な問題を引き起こす可能性があります。この手法は、ある範囲の容量値とそれに対応する最小インピーダンスの範囲を持つ一連のキャパシタに拡張可能です。ただし、FPGA の V_{REF} ボール/ピンに十分に近い位置に、必要な数のキャパシタを配置できません。

図 5 に推奨回路図を、図 6 に対応する物理的レイアウトを示します。



X1087_05_040813

図 5 : V_{REF} の推奨回路図



Zynq XC7Z020 CLG484
(Corner of Package - Bottom View)
X1087_06_040813

図 6 : V_{REF} の推奨物理レイアウト

この回路では、抵抗素子 $R3$ を導入してリアクティブな振動を抑制しています。キャパシタ $C2$ は $C1$ よりも大きいので、 $R3$ の一端で有効に短絡して高い周波数でグランド接続し、FPGA 内部の $L1$ と $C1$ で構成されるリアクティブ回路に $R3$ を挿入します。この回路の高周波数の動作は、図 7 に示す回路で近似的に表現されます。

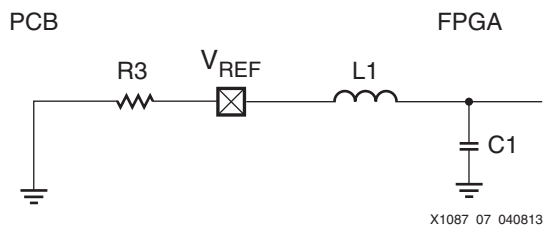


図 7 : 高周波数の V_{REF} 回路の表現

ボールピッチ 0.8mm のパッケージでは、 V_{REF} ピンの近くに 0201 サイズの個別キャパシタを配置するスペースを作るために、一部の FPGA ボールの使用を避けなければならないことがあります。

レイアウトが完成したら、 $R3$ および $C2$ の値をアプリケーションに合わせて調整できます。この回路は、2 次共振回路を近似的に表現しています。回路が臨界減衰されるか、それが不可能な場合は過減衰されるように $R3$ と $C2$ を選択してください。不足減衰状態は避けてください。

ここでは、回路が臨界減衰となるような $R3$ の値を選択できます。この場合は、 $R3 = 2(L/C)^{1/2}$ です。前の例の V_{REF} ピン B18 では、 $R3 = 2 \times (6.9\text{nH}/4.67\text{pF})^{1/2} = 77\Omega$ となります。

この回路の物理レイアウトは重要です。図 7 に示すように、 $R3$ と $C2$ は可能な限り FPGA の V_{REF} ボールの近くに配置する必要があります。表 3 に、XC7VX485T-FFG1761 デバイスの V_{REF} ピン B18 および L11 で臨界減衰の特性を実現するコンポーネントの仕様を示します。

表 3: V_{REF} ピン B18 および L11 で臨界減衰の特性を実現するコンポーネントの仕様

ピン	ネット	SelectIO インターフェイスのタイプ	L1 (nH)	C1 (pF) (HP SelectIO)	共振周波数 (MHz)	臨界減衰抵抗 R3 (Ω)
B18	IO_L6N_T0_VREF_38	HP	6.9	4.67	887	77
L11	IO_L19N_T3_VREF_39	HP	3.8	4.67	1195	57

まとめ

FPGA の SelectIO ピンの周波数が高くなるにつれて、 V_{REF} ピンでノイズが発生しやすくなります。このアプリケーション ノートで説明した最適化された V_{REF} 生成回路を使用することで、SelectIO のスイッチング レートが改善され、デザインにおける V_{REF} ノイズの問題がなくなります。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013 年 4 月 24 日	1.0	初版

Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、
jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。