



XAPP1094 (v1.0) 2013 年11 月 18 日

7 シリーズ FPGA GTX トランシーバーの CTLE 適応ロジック

著者 : David Mahashin

概要

DEF モードの 7 シリーズ FPGA GTX レシーバーには、チャンネル損失を補正するための自動ゲイン制御 (AGC) ブロックと連続時間リニアイコライザー (CTLE) ブロックが含まれています。AGC および CTLE の広帯域のゲイン ステージは、動作周波数範囲内で GTX トランシーバーの周波数を上げて、受信信号のアイの高さを最適化することを目的としています。

AGC は自動的に適応されますが、CTLE 広帯域ゲイン ステージは自動適応されません。デフォルトでは、ユーザーがチャンネル損失を解析して、広帯域ゲインを調整します。詳細は、『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』([UG476](#)) を参照してください。

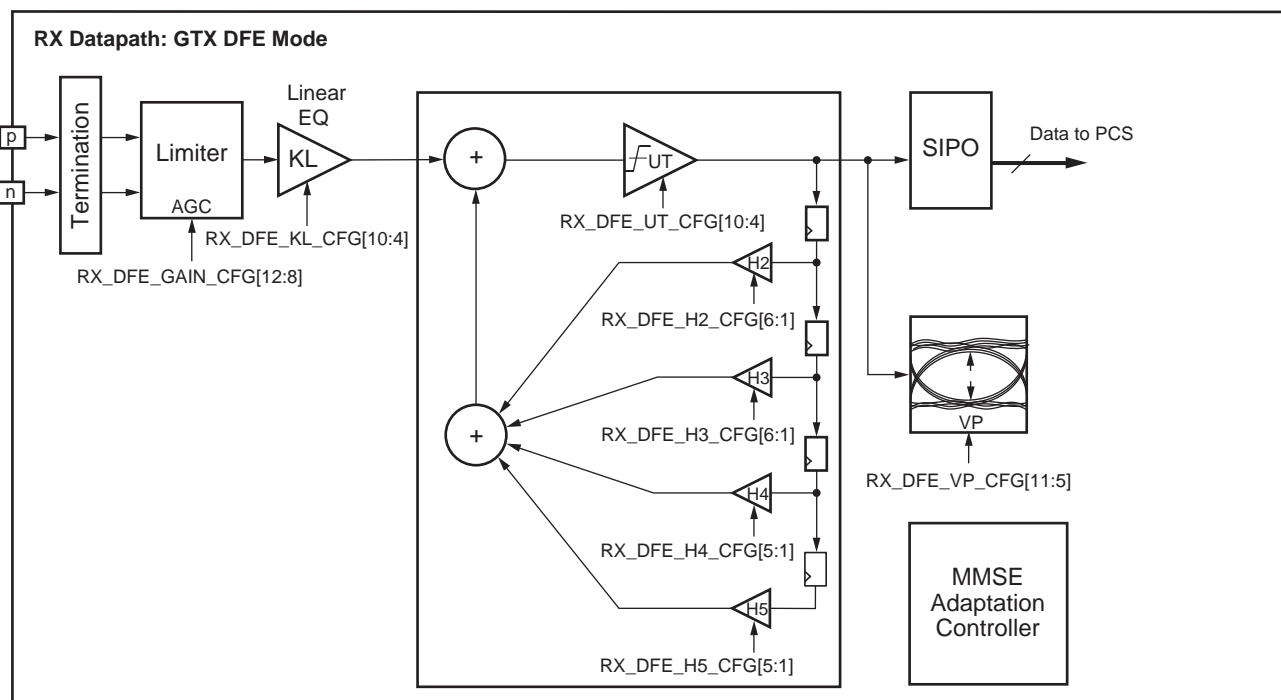
このアプリケーション ノートでは、CTLE 広帯域ゲインを自動調整するために FPGA ロジックにインプリメントされるモジュールについて説明します。キャリブレーションは、GTRXRESET、RXPMARESET、または RXDFELPMRESET のディアサート後に一度だけ行われます。

このキャリブレーション モジュールを使用することで、CTLE 広帯域ゲインの設定時にチャンネルを解析する必要がなくなります。さらに、GTX レシーバーへ接続されているチャンネルが動的に変更される場合には、適切なリセット信号がアサートされると、このモジュールが広帯域ゲインを調整し、挿入損失の差を補正します。

このモジュールは、7 シリーズ FPGA トランシーバー ウィザード デザインにオプション機能として含まれています。

デザイン概要

図 1 に、AGC および CTLE ブロックを含む RX データパスを示します。



UG476_c4_94_042413

図 1 : FED モードの GTX RX データパス

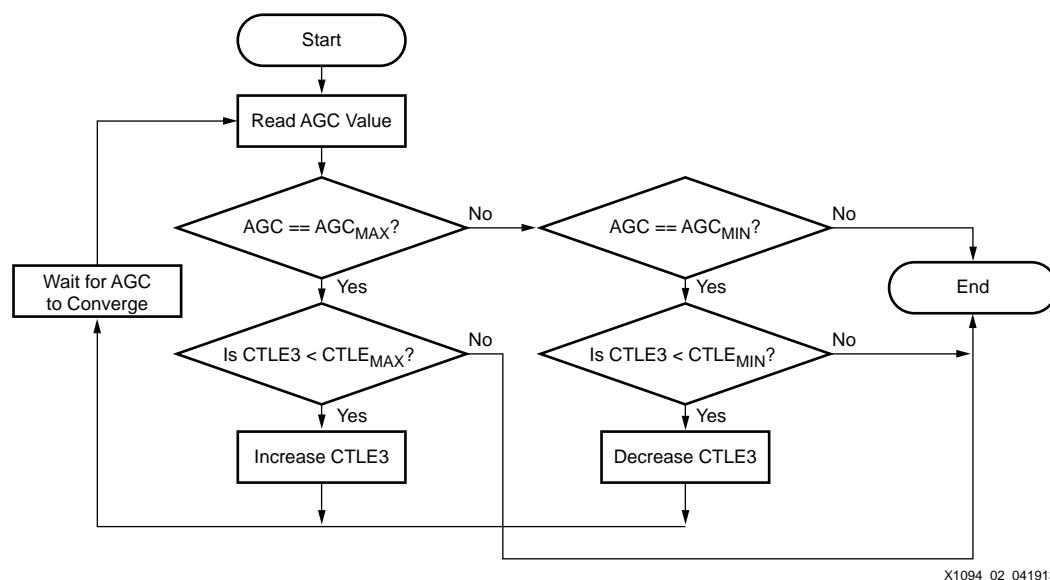
Xモジュール適用ロジックは、AGC が最大または最小値にならないように CTLE 広帯域ゲインを調整します。レシーバーの信号が非常に弱い場合、最大の AGC ゲイン値で十分なアイ開口が得られない可能性があります。このような場合、AGC が最大値より低くなるまで CTLE 広帯域ゲインが継続的に増加します。逆に、レシーバーの信号が大きすぎて AGC が最小値に達すると、CTLE 広帯域ゲインを減少して内部信号振幅を最適化します。キャリブレーションプロセスは、GTRXRESET、RXPMARESET、または RXDFELPMRESET イベント後に一度だけ実行されます。このプロセスが完了すると、次に GTRXRESET、RXPMARESET、または RXDFELPMRESET がアサートされるまで、広帯域ゲイン値は保持されます。このキャリブレーションがクロック リカバリと適応ループのロック時間 (T_{DLOCK}) の仕様に影響を与えることはありません。適切なキャリブレーションには、RX ピンの信号が安定している必要があります。

ウィザードのサンプルデザインには、このプロセスを実行するオプションのモジュール `ctle_agc_comp` が含まれています。このオプションは DFE モードの場合のみ有効です。

インプリメンテーションの説明

図 2 に、適応状態 マシンのフロー図を示します。CTLE3 ゲインは、AGC が最大値または最小値を示している間のみ調整されます。適応プロセスは、次の条件のいずれかに該当すると終了します。

- AGC が最大または最小値に到達していない
- CTLE3 が最大または最小値に到達している



X1094_02_041913

図 2 : CTLE3 適用ロジックのフロー図

リファレンスデザイン

このアプリケーション ノートのリファレンス デザインは、次のリンク先からダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=344046>

このモジュール デザインは、ウィザードのサンプル デザインの中に組み込まれています。表 1 に、リファレンス デザインの詳細を示します。使用される FPGA リソースは、ウィザードのメニューで選択したオプションによって異なります。

表 1 : リファレンス デザインの詳細

パラメーター	説明
全般	
開発元	ザイリンクス
ターゲット デバイス	GTX トランシーバーを備える 7 シリーズ FPGA
ソース コードの提供	あり
ソース コードの形式	Verilog
既存のザイリンクス アプリケーション ノート / リファレンス デザイン、CORE Generator™ ツール、サードパーティからデザインへのコード / IP の使用	なし
シミュレーション	
論理シミュレーションの実施	あり
タイミング シミュレーションの実施	あり
論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用	なし
テストベンチの形式	NA

表 1: (続き)リファレンス デザインの詳細

パラメーター	説明
使用したシミュレータ/バージョン	Synopsys VCS 2009.06
SPICE/IBIS シミュレーションの実施	なし
インプリメンテーション	
使用した合成ツール/バージョン	XST 14.1 Vivado® 2013.2
使用したインプリメンテーション ツール/バージョン	ISE® Design Suite 14.1 Vivado 2013.2
スタティック タイミング解析の実施	あり
ハードウェア検証	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	KC724 ボード

まとめ

このアプリケーション ノートで説明した CTLE 適用ロジックは、AGC 値をモニタリングして CTLE3 広帯域ゲインを自動的に調整します。この機能を利用することで、チャンネル損失を解析せずにイコライザーのゲインを動的に調整できるようになります。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013 年 11 月 18 日	1.0	初版

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO:(I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY.CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。