



XAPP1096 (v1.0) 2013 年 9 月 13 日

7 シリーズ FPGA の GTX トランシーバーを使用した DC カップリング

著者 : Vaibhav Kamdar, Mustansir Fanaswalla, Santiago Asuncion

概要

このアプリケーション ノートでは、DC カップリング アプリケーションに 7 シリーズ FPGA の GTX トランシーバーを使用する方法について説明します。

はじめに

トランシーバーは、一般的にトランスミッターとレシーバー間の AC カップリング リンクとして使用されます。AC カップリング リンクには、主に次のような短所があります。

- AC カップリング キャパシタへの接続により不連続が生じる
- AC カップリング キャパシタによりボードの配線密集が生じる
- AC キャパシタの配置によりボード占有面積が増大する
- キャパシタの前後で AC 振幅が減少する
- ラン (連続する 1 または 0) の長さが制限される
- 低周波信号成分が劣化する可能性がある

これらの短所は、トランスミッターとレシーバー間に DC リンクを使用することで改善できます。DC リンクを使用した場合の主な短所の 1 つは、スタティック/DC 電流が流れることです。

7 シリーズ FPGA の GTX トランシーバーの機能

7 シリーズ FPGA の GTX トランシーバーは、DC カップリング リンクに使用できます。このアプリケーション ノートでは、次の 3 つのケースについて解析します。

- GTX トランシーバーをレシーバーとして使用した場合
- GTX トランシーバーをトランスミッターとして使用した場合
- 2 つの GTX トランシーバー間の通信

オンダイ終端を持つ代表的な電流モード ロジック (CML) トランシーバーを使用した AC カップリングシステムでは、RX 入力側の同相電圧は RX 終端電圧によって決まります。TX 側の同相電圧は、TX 終端電圧と出力振幅によって決まります。

図 1 に、AC カップリング リンクの概略図を示します。

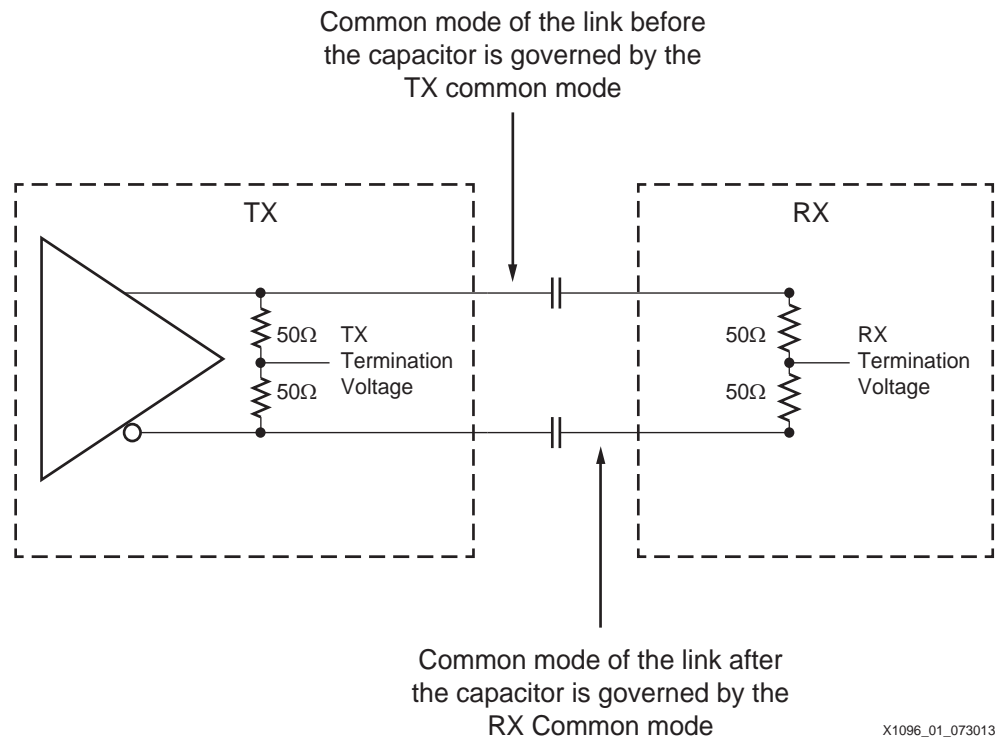


図 1 : AC カップリング リンクの概略図

DC カップリング システムでは、リンクの同相電圧は通常、TX 終端電圧、出力振幅、RX 終端電圧によって決まります。

図 2 に、DC カップリング リンクの概略図を示します。

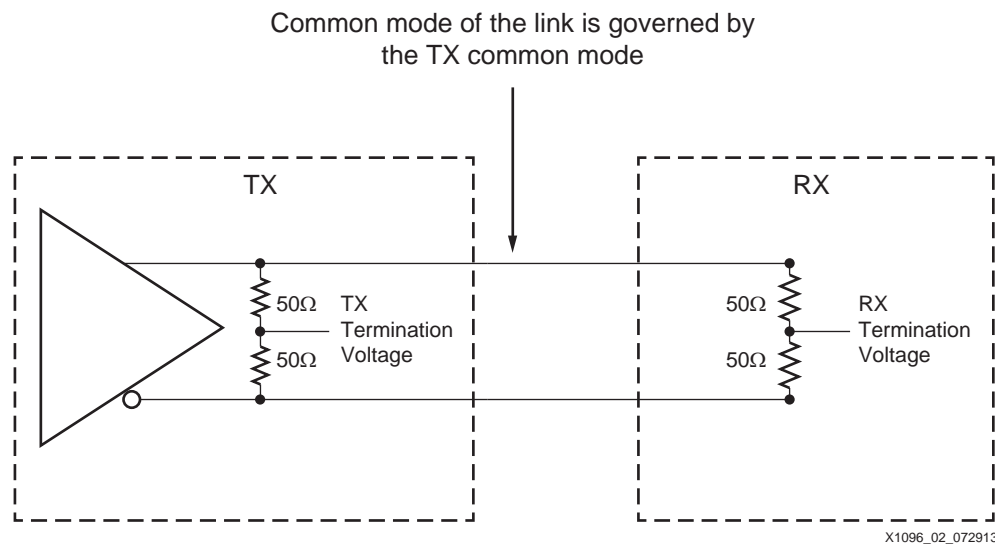


図 2 : DC カップリング リンクの概略図

GTX トランシーバーをレシーバーとして使用した場合

Kintex®-7 FPGA の トランシーバーを DC カップリング レシーバーとして使用する場合、システムのライン同相電圧を解析することが非常に重要となります。ラインの同相電圧は次の要素によって決まります。

- TX 終端電圧
- TX 出力振幅
- RX 終端電圧
- バイアス抵抗 (使用する場合のみ)

RX の終端は、必要なライン同相電圧が得られるようにグランドまたは AVTT に終端できます。電流 I_{DCIN} と I_{DCOUT} は、データシートの仕様値の範囲内とする必要があります (『Kintex-7 FPGA データシート : DC 特性および AC スイッチ特性』[参照 1] と 『Zynq-7000 All Programmable SoC (XC7Z030, XC7Z045, XC7Z100) : DC 特性および AC スイッチ特性』[参照 2] を参照してください)。

RX 等化モードは、次のパラメーターに応じて LPM (低消費電力モード) または DFE (判定帰還型等化) のどちらかを適切に選択する必要があります。

- 動作周波数
- システム損失
- ライン同相電圧

推奨設定

ライン同相電圧に応じた、TX 振幅と RX 等化モードの条件を表 1 に示します。

表 1 : GTX レシーバーの TX 振幅と RX 等化モードの条件

RX イコライザのモード (1)(2)(3)	ライン同相電圧 (mV)	RX_CM_SEL [1:0]	PMA_RSVD2 [7:6]	最小起動振幅 (mVppd)
DFE	700-1200	2'b00	2'b01	450
LPM	0-75	2'b01	2'b10	450
LPM	700-1200	2'b00	2'b01	150

注記 :

1. 『Kintex-7 FPGA データシート : DC 特性および AC スイッチ特性』[参照 1] を参照してください。
2. 『Zynq-7000 All Programmable SoC (XC7Z030, XC7Z045, XC7Z100) : DC 特性および AC スイッチ特性』[参照 2] を参照してください。
3. 『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』[参照 3] を参照してください。
4. 150mV の振幅は、リンクの長さが非常に短い場合のみ使用します。中～長距離のリンクでは 450mV 以上の振幅を使用します。DFE および LPM モードにおける損失の正確な仕様値は、データシートを参照してください。

表 2 に、RX ピンにおける最大入力振幅の仕様値を示します。

表 2 : ライン同相電圧に対する最大振幅

ライン同相電圧範囲 (mV)	最大入力振幅 (mVpp 差動)
0 ~ 75	1200
700 ~ 1100	2000
1100 ~ 1200	1200

GTX トランシーバーをトランスミッターとして使用した場合

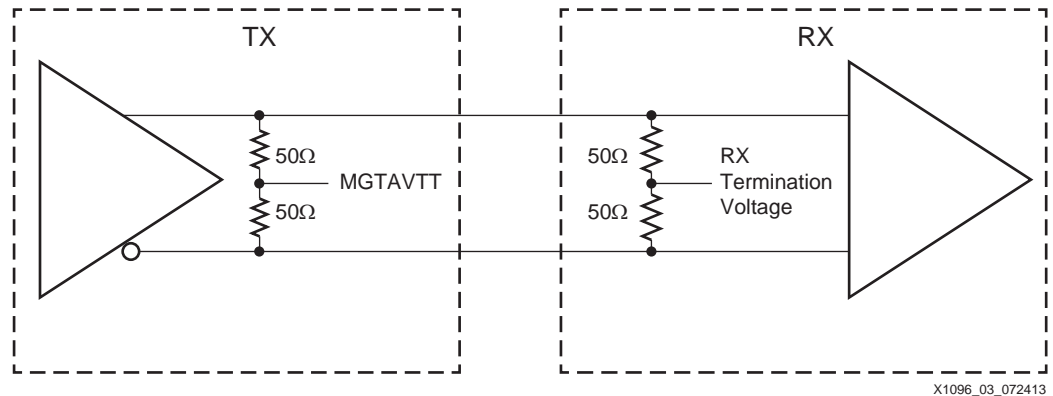


図 3: GTX トランシーバーを TX として使用した場合の DC リンクの概略図

DC カップリング システムで GTX トランスミッターを使用する場合は、次のガイドラインを推奨します。

- データシート [参照 1] [参照 2] に記載された I_{DCOUT}/I_{DCIN} の最大定格値に従うこと

I_{DCOUT} と I_{DCIN} の上限値は、表 6 にまとめてあります。

2 つの 7 シリーズ FPGA の GTX トランシーバーをリンクした場合

2 つの GTX トランシーバーを接続して、安定した DC リンクを確立できます。安定した DC カップリング リンクを確立するには、表 2 に示す条件を満たす必要があります。

表 3: 2 つの GTX トランシーバーをリンクする場合の TX 振幅と RX 等化モードの条件

RX イコライザのモード	ライン同相電圧 (mV)	RX_CM_SEL [1:0]	PMA_RSVD2 [7:6]	最小起動振幅 (mVppd)	最大起動振幅
DFE	700-1200	2'b00 (AVTT)	2'b01	450	データシート (1) を参照
LPM	700-1200	2'b00 (AVTT)	2'b01	150	

注記:

- 『Kintex-7 FPGA データシート: DC 特性および AC スイッチ特性』 [参照 1] および 『Zynq-7000 All Programmable SoC (XC7Z030, XC7Z045, XC7Z100): DC 特性および AC スイッチ特性』 [参照 2] を参照してください。
- 『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』 [参照 3] を参照してください。

式 1 を使用して、RX を AVTT 終端した場合のライン同相電圧の一次近似が得られます。この式は、温度と電圧が一般的な条件の場合に成り立ちます。この式により、システムのライン同相電圧のごく大まかな近似が得られます。

$$\text{電圧} = -0.021 \times (\text{TXDIFFCTRL_CODE}) + 1.1037 \quad \text{式 1}$$

説明:

電圧 = ライン同相電圧 (V)

TXDIFFCTRL_CODE = 有効な値 [0...15]

使用例

例 1

図 4 に、終端の例を示します。

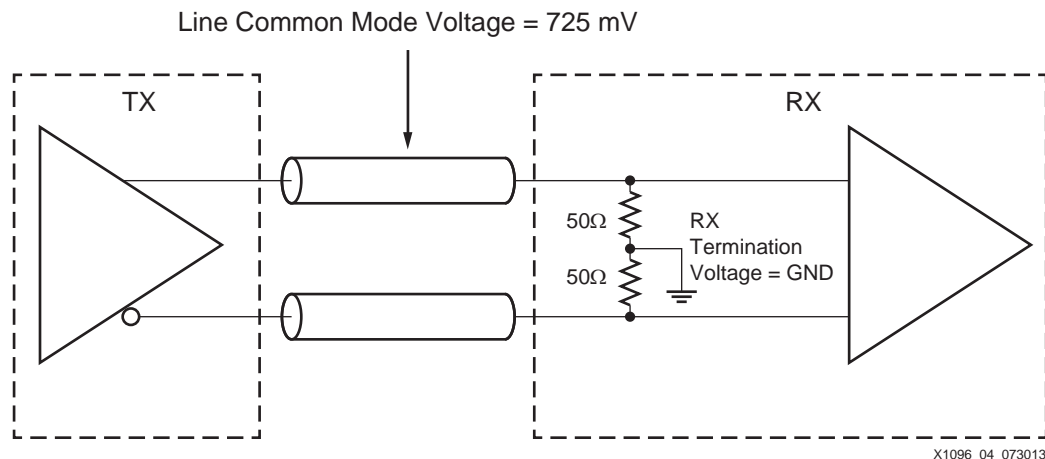


図 4 : 例 1

図 4 の説明

- TX は、高い終端電圧を供給可能な一般的なトランスミッターです。
- RX は、7 シリーズ FPGA の RX を非常に簡単かつ抽象的に表したものです。

この例では、RX をグランドに終端したときにライン同相電圧が 725mV となるような終端電圧を TX ドライバーが供給できることを前提としています。この場合のデータによると、ライン同相電圧は 725mV で、有効であるように思われます。図 4 は、電圧源およびグランド接続した抵抗で構成される単純な回路として図 5 のようにモデル化できます。

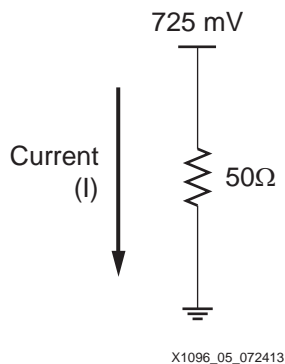


図 5 : 例 1 を簡略化した図

同相電圧 (V) = 725mV

抵抗 (R) = 50Ω

この抵抗を流れる電流は、オームの法則で求めることができます (式 2)。

$$I = \frac{V}{R} \tag{式 2}$$

$$I = \frac{725\text{mV}}{50\Omega} \tag{式 3}$$

$$I = 14.5\text{mA} \tag{式 4}$$

14.5mA という電流値は、グランド終端の場合の $I_{DCIN} \leq 6.5mA$ というデータシートの仕様値を超えています。したがって、図 4 と図 5 の回路構成は無効です。

例 2

これは「例 1」と非常によく似ていますが、回路構成が有効となるように変更を加えています。

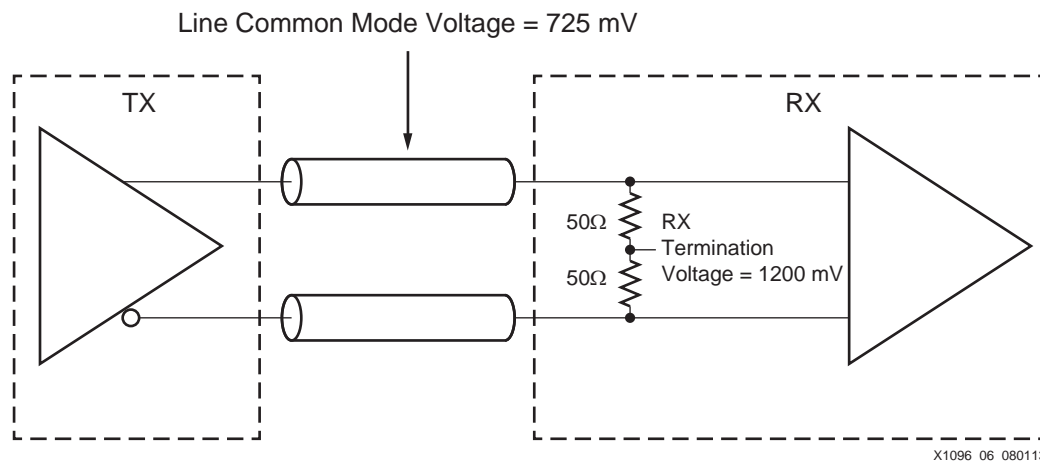


図 6 : 例 2

図 6 の説明

- TX は一般的なトランスミッターです。
- RX は、7 シリーズ FPGA の RX を非常に簡単かつ抽象的に表したものです。

この例では、RX を AVTT に終端したときにライン同相電圧が 725mV となるような終端電圧を TX ドライバーが供給できることを前提としています。

図 6 に、例 2 を簡略化した図を示します。

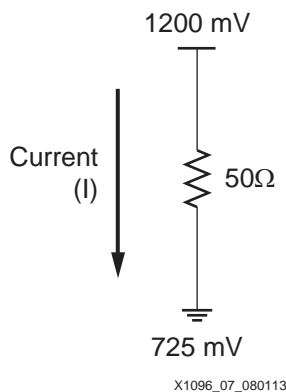


図 7 : 例 2 を簡略化した図

この抵抗を流れる電流は、オームの法則で求めることができます (式 5)。

$$I = \frac{V2 - V1}{R} \quad \text{式 5}$$

$$I = \frac{1200\text{mV} - 725\text{mV}}{50\Omega} \quad \text{式 6}$$

$$I = 9.5\text{mA} \quad \text{式 7}$$

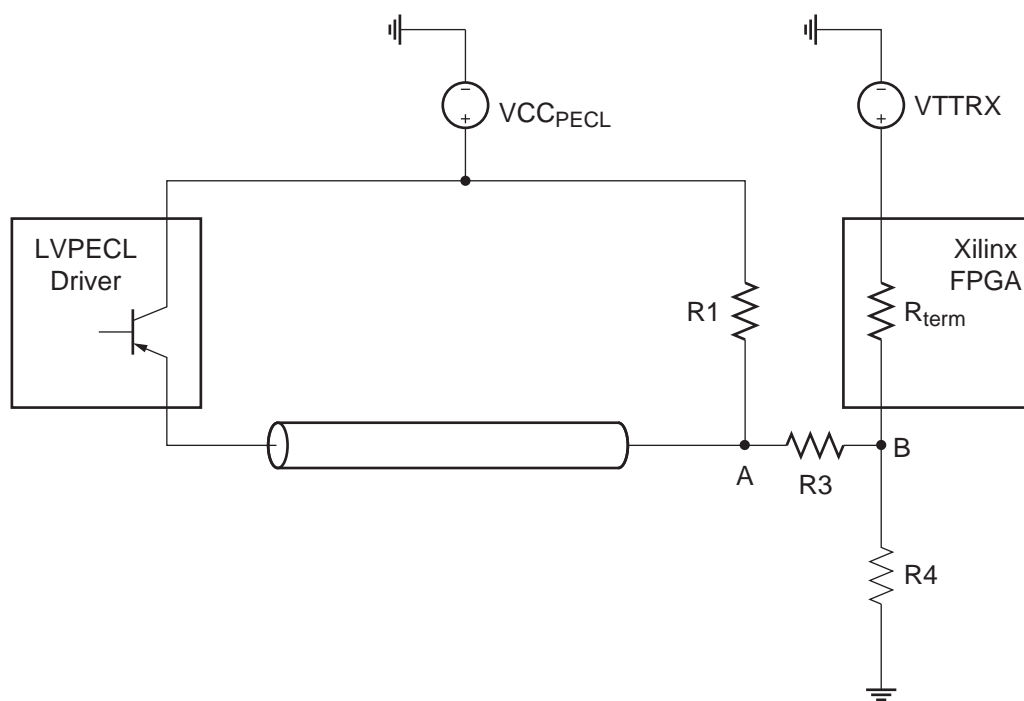
式 7 で求めた 9.5mA という電流値は、AVTT 終端の場合の I_{DCIN} の上限値未満に収まっています。「例 1」と「例 2」で見てきたように、DC カップリングを使用する場合はこれまでのセクションおよびデータシートで定義されたすべての条件に従う必要があります。これらの条件を満たさない場合、デバイスが物理的な損傷を受けることがあります。

例 3

GPON/GPON タイプ

DC カップリング リンクを使用する代表的なアプリケーションとして、GPON (Gigabit-capable Passive Optical Network) があります。ここでは、GPON タイプのアプリケーションの数値例について説明します (図 8)。

注記：詳細は、Maxim Integrated 社の『Introduction to LVDS, PECL and CML』[参照 4]、および Texas Instruments 社の『Interfacing between LVPECL, LVDS and CML』[参照 5]、『Interfacing between LVPECL, VML, CML and LVDS Levels』[参照 6] を参照してください。



X1096_08_072413

図 8 : GPON ネットワーク

GTX レシーバーを LVPECL ドライバーに接続する場合は、次の 4 つの点に注意が必要です。

- A 点での開回路 $Z_{IN} = 50\Omega$
- 開回路テブナン電圧 (OCT V) = $1.3V = V_A$
 注記：この値は LVPECL ベンダーから提供されたものです。TX ドライバーが存在せず、 VCC_{PECL} 電源のみが存在する場合にこの条件は真となります。
- 同相電圧の条件
 - $V_{CM-PECL} = 2V = V_A$ (この条件はドライバーが存在する場合のみ有効)
 - $V_{CM-PECL} = 1.2V = V_B$ (ザイリンクス デバイスの仕様)
- ゲインの条件

$$Gain_{MIN} = \frac{RX \text{ 感度 (mVppd)}}{LVPECL \text{ の最小入力振幅 (mVppd)}} = \frac{150}{560} = 0.267 \quad \text{式 8}$$

$$Gain_{MAX} = \frac{GTX \text{ の最大入力振幅 (mVppd)}}{LVPECL \text{ の最大入力振幅 (mVppd)}} = \frac{2000}{2460} = 0.813 \quad \text{式 9}$$

$$Gain_{MIN} \leq Gain \leq Gain_{MAX} \quad \text{式 10}$$

一般に、ゲインはなるべく大きい方が回路は確実に動作し、このシンプルな解析に十分なマージンが得られます。LVPECL の振幅値は、Analog Devices 社の ADCLK944 のデータシート [参照 8] に記載されている値です。

既知の値/条件

- $V_{TTRX} = 1.2V$ 、 $V_{PECLCM} = 2V$ 、 $R_{term} = 50\Omega$
- 開回路テブナン電圧 (OCT V) = $1.3V$
- 開回路テブナン抵抗 (Z_{in}) = 50Ω
- V_{ICM} の目標値 = $0.7V \sim 1.2V$ 、 $VCC_{PECL} = 3.3V$

計算

A. 理論上の計算

1. Z_{in} についての式は次のとおりです。
 テブナンの定理を使用：

$$Z_{in} = [(R_4 \parallel R_{term}) + R_3] \parallel R_1 = 50\Omega \quad \text{式 11}$$

図 9 は図 8 のテブナン等価回路で、これを用いて Z_{in} を求めます。

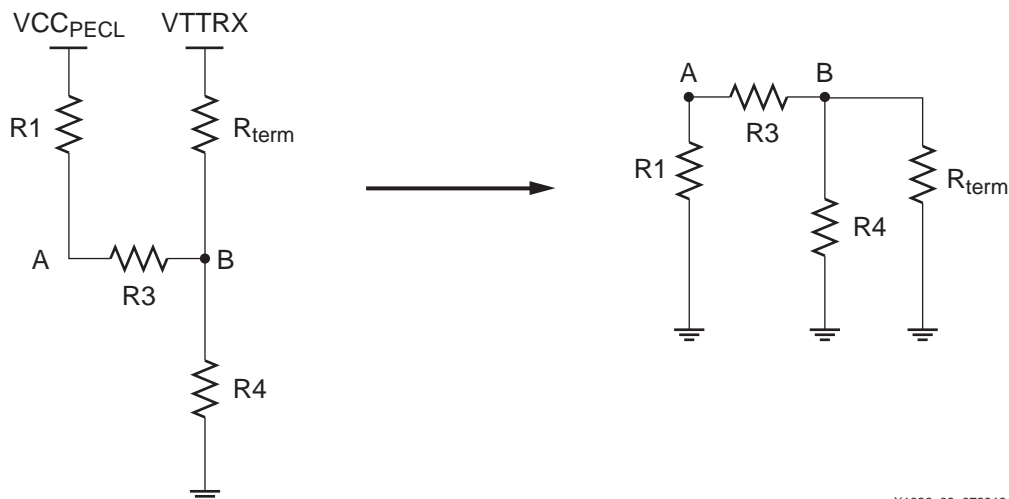


図 9: Z_{IN} を求めるためのテブナン等価回路

2. R_3 と R_4 の値を求めます。ここでは、次の条件を仮定します。

$$R_3 = 50\Omega \tag{式 12}$$

$$X = [R_3 + (R_{term} \parallel R_4)] > 55 \tag{式 13}$$

ここでの目的は、 X の値が 50Ω より大きくなること、そして R_1 と X の並列合成抵抗が 50Ω となることです。なるべく 50Ω に近づけるには、 R_1 が非常に大きい値になった場合の余裕をもたせて $X > 55\Omega$ とします。

LVPECL ドライバーを接続した場合は次のようになります。

- $V_A = 2V$ (実際の動作状態での抵抗値 R_4 を求めるため、ドライバーを接続したときの V_A の値を使用します)
- ザイリンクス デバイスの R_X の仕様により、 $V_B = 1.2V$

ここまでの情報を使用すると、 R_4 の値はキルヒホッフの電流則により求めることができます (式 14)。

$$\frac{V_A - V_B}{R_3} + \frac{VTTRX - V_B}{R_{term}} = \frac{V_B}{R_4} \tag{式 14}$$

$$\frac{0.8}{50} + \frac{1.2 - 1.2}{50} = \frac{1.2}{R_4} \tag{式 15}$$

$$R_4 = 75\Omega \tag{式 16}$$

式 13 の R_3 、 R_{term} 、 R_4 に値を代入すると、 $X = 80\Omega$ となります。

3. ゲインを求めます。

$$\text{Gain} = \frac{R_{term} \parallel R_4}{(R_{term} \parallel R_4) + R_3} \tag{式 17}$$

$$\text{Gain} = 0.375 \tag{式 18}$$

4. レシーバーに対する DC 入力同相電圧 (ライン同相電圧) を求めます。

$$V_{ICM} = \left(\frac{V_{CM-PECL}}{R_3} + \frac{VTTRX}{R_{term}} \right) \times (R_4 \parallel R_3 \parallel R_{term}) \tag{式 19}$$

$$V_{ICM} = 1.2V \tag{式 20}$$

B. R_3 および R_4 に標準の 1005 (インチ表記 0402) サイズの抵抗器の値を使用

注記：詳細は、DigiKey の抵抗値 [参照 7] を参照してください。

1 回目の反復：

$$R_3 = 50\Omega$$

$$R_4 = 75\Omega$$

OCT V = 1.3V かどうかを確認します。

1. 新しい R_3 と R_4 の値で X を再計算します。

$$X = 80\Omega \quad \text{式 21}$$

2. ゲインを再計算します。

$$\text{Gain} = 0.375 \quad \text{式 22}$$

3. V_{ICM} を再計算します。

$$V_{ICM} = 1.2V \quad \text{式 23}$$

4. OCT V = 1.3V のときの V_B を求めます。

V_B の値は、OCT V = 1.3V を維持した場合に、 V_B の電圧によって選択/計算した抵抗値の回路構成をサポートできるという条件に基づいて計算します。

$$V_B = \left(\frac{\text{OCTV}}{R_3} + \frac{V_{ITRX}}{R_{\text{term}}} \right) \times (R_4 \parallel R_3 \parallel R_{\text{term}}) \quad \text{式 24}$$

$$V_B = 0.937V \quad \text{式 25}$$

5. OCT V = 1.3V とした場合の R_1 を求めます。

$$R_1 = \frac{V_{CCPECL} - \text{OCTV}}{\text{OCTV} - V_B} \times R_3 \quad \text{式 26}$$

$$R_1 = 275.8\Omega \quad \text{式 27}$$

R_1 に標準の 1005 (インチ表記 0402 [参照 7]) サイズの抵抗器を使用します。

$$R_1 = 270\Omega \quad \text{式 28}$$

6. 式 11 を用いて Z_{in} を求めます。

$$Z_{in} = 61.7\Omega \quad \text{式 29}$$

2 回目の反復：

1 回目の反復の計算では、 Z_{in} が目標値を大きく超えていました。条件を満たすように抵抗ネットワークを次のように調整します。

$R_3 = 40\Omega$ 、 $R_4 = 40\Omega$ とします。1005 (インチ表記 0402 [参照 7]) サイズの抵抗器を使用すると、これらの値は次のようになります。

- $R_3 = 39\Omega$

- $R_4 = 39\Omega$

OCT V = 1.3V かどうかを確認します。

1. X を再計算します。

$$X = 60.91\Omega \quad \text{式 30}$$

2. ゲインを再計算します。

$$\text{Gain} = 0.359 \quad \text{式 31}$$

3. V_{ICM} を再計算します。

$$V_{\text{ICM}} = 1.05\text{V} \quad \text{式 32}$$

4. V_{B} を求めます。

$$V_{\text{B}} = 0.804\text{V} \quad \text{式 33}$$

5. R_1 を再計算します。

$$R_1 = 157.3\Omega \quad \text{式 34}$$

R_1 に標準の 1005 (インチ表記 0402 [参照 7]) サイズの抵抗器を使用します。

$$R_1 = 160\Omega \quad \text{式 35}$$

6. 式 11 を用いて Z_{in} を求めます。

$$Z_{\text{in}} = 44.1\Omega \quad \text{式 36}$$

160Ω ならば OCT V = 1.293V となります。

表 4 に、GPON の目標値と実際値を比較してみます。

表 4 : GPON の目標値と実際値

パラメーター	目標値	実際値
OCT V	1.3V	1.293V
OCT Z_{in}	50Ω	44.1Ω
V_{ICM}	0.7 ~ 1.2V	1.05V
ゲイン	0.267 ~ 0.813	0.359

OCT V と V_{ICM} は、目標値に非常に近い実際値となっています。 V_{ICM} が 0.7 ~ 1.2V の間であれば、パフォーマンスの低下はありません。OCT Z_{in} はなるべく 50Ω に近い値が理想ですが、GPON のラインレートは非常に低いため、インピーダンス不整合による反射はそれほど大きな問題になりません。

仮に V_{ICM} が 1.2V に近い値だったとしても、RX は 2000mVppd の TX 起動振幅を許容できたと考えられます。これは、抵抗ネットワークによるゲインが 0.36 であり、これによって TX から RX への信号が 64% 減衰するためです。

まとめ

7 シリーズ FPGA の GTX トランシーバーは、このアプリケーション ノートで示したガイドラインに従い、DC カップリング アプリケーションで使用できます。

参考資料

1. 『Kintex-7 FPGA データシート : DC 特性および AC スイッチ特性』 ([DS182](#))
2. 『Zynq-7000 All Programmable SoC (XC7Z030, XC7Z045, XC7Z100) : DC 特性および AC スイッチ特性』 ([DS191](#))
3. 『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』 ([UG476](#))
4. 『Introduction to LVDS, PECL, and CML Rev. 1』 (Maxim Integrated) pdfserv.maximintegrated.com/en/an/AN291.pdf
5. 『Interfacing Between LVPECL, LVDS, and CML』 (Texas Instruments) www.ti.com/lit/an/scaa056/scaa056.pdf

6. 『Interfacing Between LVPECL, VML, CML, and LVDS Levels』 (Texas Instruments)
www.ti.com/lit/an/slla120/slla120.pdf
7. DigiKey の抵抗値
www.digikey.com/scripts/dksearch/dksus.dll?FV=fff40001%2Cfff800e9%2C400004%2C142c1639&vendor=0&mnonly=0&newproducts=0&ptm=0&fid=0&quantity=0&PV3=2
8. 『2.5 V/3.3 V, Four LVPECL Outputs, SiGe Clock Fanout Buffer』 (Analog Devices)
www.analog.com/static/imported-files/data_sheets/ADCLK944.pdf

付録

 I_{DCIN} と I_{DCOUT} の表

表 5 に、電流 I_{DCIN} と I_{DCOUT} の上限値をまとめます。最新の情報は、データシート [参照 1] [参照 2] を参照してください。

表 5: I_{DCIN} と I_{DCOUT} の上限値

シンボル	説明	条件	最大許容電流 (mA)
I_{DCIN}	$V_{MGTAVTT} = 1.2V$ のとき、DC カップルされたレシーバー ピンの DC 入力電流	$R_{term} = AVTT$	12
		$R_{term} = GND$	6.5
I_{DCOUT}	$V_{MGTAVTT} = 1.2V$ のとき、DC カップルされたトランスミッター ピンの DC 出力電流	$R_{term} = AVTT$	12

テスト条件

テストは複数の -2 デバイスで実施しています。表 6 に、電圧と温度の条件を示します。

表 6: テスト条件

条件	値
V_{min}	1020mV
V_{nom}	1050mV
V_{max}	1080mV
T_{min}	-36°C
T_{nom}	40°C
T_{max}	100°C

さらに、テストではシステムのライン同相電圧を複数設定しました。

1. ライン レート
 - a. LPM = 11.3Gb/s
 - b. DFE = 12.5Gb/s
2. チャネル (振幅 > 150mVppd)
 - a. LPM ~ 11db
 - b. DFE ~ 16db
3. チャネル (振幅 = 150mVppd)
 - a. LPM = KC724 ボード トレース (トレースの追加なし)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013年9月13日	1.0	初版

Notice of
Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx’s limited warranty, please refer to Xilinx’s Terms of Sale which can be viewed at www.xilinx.com/legal.htm#tos; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx’s Terms of Sale which can be viewed at www.xilinx.com/legal.htm#tos.

Automotive
Applications
Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。