



XAPP1160 (v1.0) 2013 年 3 月 7 日

リアルタイム ビデオ アプリケーション向け AXI Chip2Chip リファレンス デザイン

著者 : Saambhavi Vajjiravelu Baskaran、Vamsi Krishna

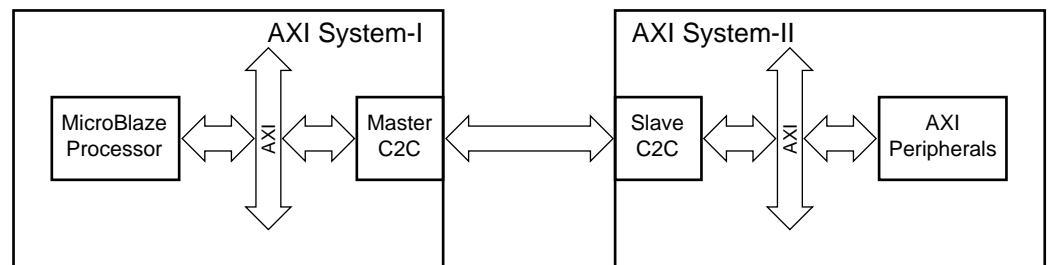
概要

LogiCORE™ IP AXI Chip2Chip は、複数デバイスで構成されるシステム オンチップ (SoC) ソリューションにおいて、AXI (Advanced eXtensible Interface) システム間をブリッジ接続するザイリンクスのソフト IP コアです。このアプリケーション ノートでは、Kintex®-7 FPGA ボードおよび Zynq™-7000 All Programmable (AP) SoC ボードでリアルタイム ビデオ トラフィックの転送をデモンストレーションします。ここで紹介するリファレンス デザインは、AXI Chip2Chip コアを使用して 2 つのザイリンクス ボードを FMC コネクタ ケーブルで接続します。

リファレンス デザインには、ISE® Design Suite : System Edition に含まれる Xilinx Platform Studio (XPS) v14.4 で作成した 2 つのエンベデッド システムが含まれます。リファレンス デザインで使用したコアのバージョンは、axi_chip2chip_v3_00_a です。このデザインには、ザイリンクスのソフトウェア 開発キット (SDK) を使用して構築されたソフトウェアも含まれます。このアプリケーション ノートでは、XPS および SDK の完全なプロジェクト ファイルが提供されており、デザインの検査および再構築に活用したり、新規デザインのリファレンスとして使用できます。

はじめに

AXI Chip2Chip コアは、複数デバイスで構成されるシステム オンチップ (SoC) ソリューションにおいて 2 つの AXI ベース システムを接続するブリッジとして機能します (『AXI Chip2Chip 製品ガイド』[参照 1] 参照)。このコアは、AXI プロトコル仕様に準拠した AXI トランザクションをブリッジし、少ないピン数で高いパフォーマンスを発揮する AXI チップ間のブリッジ ソリューションを提供します。また、1 つはマスター、1 つはスレーブとする合計 2 つのインスタンスがインスタンス化されています。マスター モードの AXI Chip2Chip コア (マスター C2C) とスレーブ モードの AXI Chip2Chip コア (スレーブ C2C) は、FPGA の I/O ピンを介して相互に接続します (図 1)。



X1160_01_010913

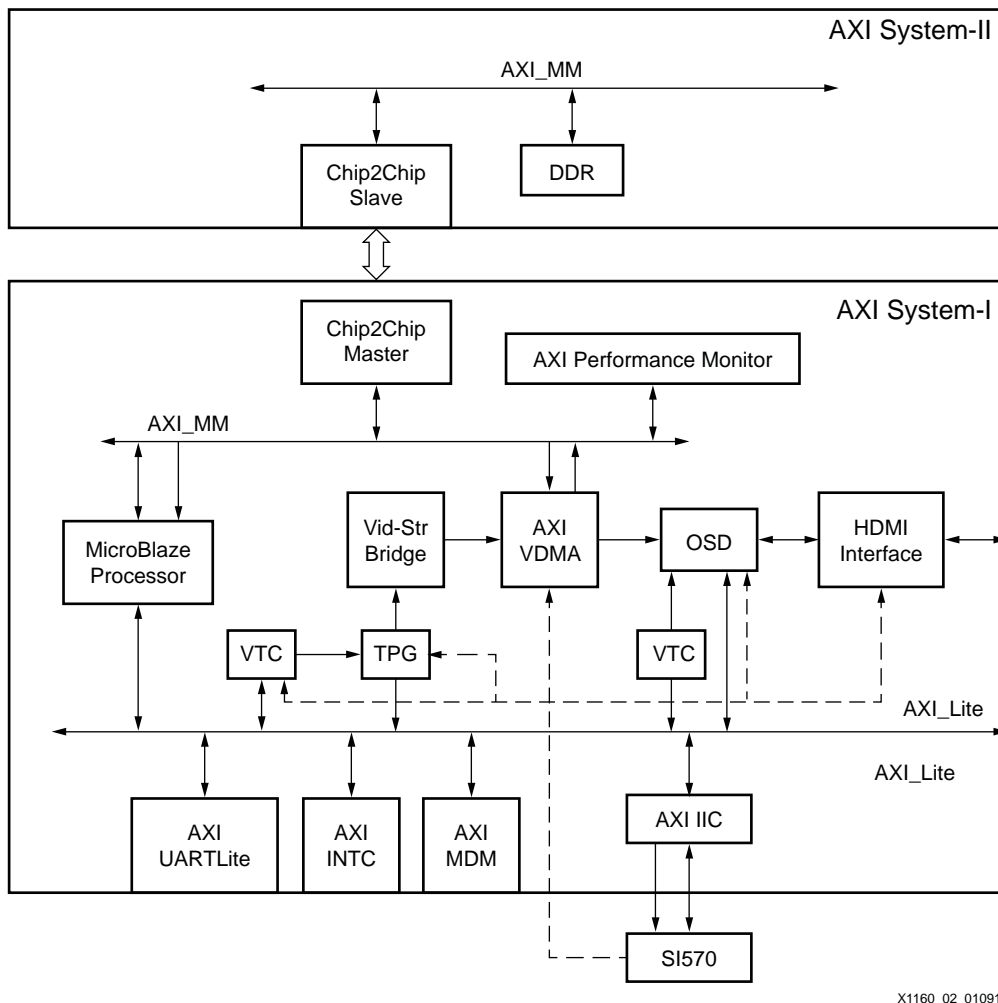
図 1 : 代表的な AXI Chip2Chip コアのインターコネクト

マスター C2C には AXI4 スレーブ インターフェイスがあり、AXI インターコネクト経由で AXI マスター ペリフェラルに接続します。同様にスレーブ C2C には AXI4 マスター インターフェイスがあり、AXI インターコネクト経由で AXI スレーブ ペリフェラルに接続します。System-II の AXI スレーブ ペリフェラルのメモリ領域をマスター C2C にマッピングすることにより、System-I の AXI マスター ペリフェラルは System-II のスレーブ ペリフェラルにアクセスします。

このアプリケーション ノートでは、マスター モードの AXI Chip2Chip コアを用いた VDMA リファレンス デザイン システム [参照 2] が System-I に含まれており、これが AXI 7 シリーズ DDRx メモリ コントローラーを置き換えています。System-II には AXI 7 シリーズ DDRx メモリ コントローラーが含まれ、AXI インターコネクト経由でスレーブ モード動作の AXI Chip2Chip コアに接続されています。

System-I にはマスター モードの AXI Chip2Chip コアが含まれるため、System-I がマスター システムに指定されています。同様に、System-II がスレーブ システムに指定されています。このアプリケーション ノートには 2 つのリファレンス デザインが含まれます。1 つは、2 つの Kintex-7 KC705 ボードの接続方法を示すもので、もう 1 つは Kintex-7 KC705 ボードと Zynq-7000 AP SoC ZC706 ボードの接続方法を示すものです。

図 2 に、このリファレンス デザインのブロックとその相互接続を示します。



X1160_02_010913

図 2 : リファレンス システムのブロック図

必要なハードウェアおよびソフトウェア

このリファレンス デザインのハードウェア要件は次のとおりです。

- 2 つの Kintex-7 KC705 ボード、または各 1 つの Kintex-7 KC705 ボードと Zynq-7000 AP SoC ZC706 ボード
 - Type-A/Mini-B の 5 ピン USB ケーブル 2 本
 - HDMI™ ケーブル
 - 解像度を設定可能なディスプレイ モニター
 - FMC-FMC コネクタ ケーブル
- 注記 : FMC コネクタ ケーブルの購入先は [参照 8] 参照。
- Xilinx Platform Studio 14.4
 - ザイリンクス ソフトウェア開発キット 14.4

リファレンス デザイン仕様

このアプリケーション ノートには 2 つのリファレンス デザインが含まれます。1 つは、2 つの Kintex-7 FPGA ボードをチップ間接続したもので、もう 1 つは Kintex-7 FPGA ボードと Zynq-7000 AP SoC ボードをチップ間接続したものです。どちらのリファレンス デザインもマスター システムとスレーブ システムで構成されています。

マスター システムは両方のリファレンス デザインで共通しており、次のコアを含みます。表 1 に、これらのペリフェラルのアドレス マッピングを示します。

- MicroBlaze™ Processor
- MicroBlaze Debug Module (MDM)
- Local Memory Bus (LMB) ブロック RAM
- AXI Chip2Chip Bridge
- AXI Interconnect
- Clock Generator
- Processor System Reset (proc_sys_reset)
- AXI UART Lite
- AXI IIC
- AXI Interrupt Controller
- Video Timing Controller (VTC)
- AXI Test Pattern Generator (TPG)
- AXI Video Direct Memory Access (VDMA)
- AXI Performance Monitor
- AXI On-Screen Display (OSD)
- HDMI Interface

Kintex-7 FPGA のスレーブ システムには次のコアが含まれます。表 2 に、これらのペリフェラルのアドレス マッピングを示します。

- AXI 7 Series FPGA Memory Controller
- AXI Chip2Chip Bridge

注記：次のコアはマスターと共通のため、図 2 には記載されていません。

- MicroBlaze Processor
- AXI Interconnect
- Clock Generator
- Processor System Reset

Zynq-7000 AP SoC のスレーブ システムには次のコアが含まれます。

- AXI Interconnect
- AXI Chip2Chip Bridge (スレーブ モード)
- Clock Generator
- Processor System Reset

注記：Zynq-7000 AP SoC のプロセッシング システム (PS) は、図 2 には記載されていません。

AXI Chip2Chip ブリッジは、Zynq-7000 AP SoC の PS にある高性能スレーブ ポートに接続されています。PS にある DDR のアドレス マップは 0x00000000-3FFFFFFF です。

表 1 : System-I のアドレス マップ

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
axi_intc	microblaze_0_intc	0x41200000	0x4120FFFF
lmb_bram_if_cntlr	microblaze_0_d_bram_ctrl	0x00000000	0x0001FFFF
lmb_bram_if_cntlr	microblaze_0_i_bram_ctrl	0x00000000	0x0001FFFF
mdm	debug_module	0x84400000	0x8440FFFF
axi_uartlite	rs232_uart_1	0x40600000	0x4060FFFF
axi_chip2chip	master_c2c	0x20000000	0x3FFFFFFF
timebase	timebase_0	0xC3820000	0xC382FFFF
timebase	timebase_1	0xC3800000	0xC380FFFF
axi_tpg	axi_tpg_0	0x7EE00000	0x7EE0FFFF
perf_axi_mm	axi_performance_monitor_0	0x70800000	0x7080FFFF
axi_plb_bridge	axi_plbv46_bridge_0	0xC3800000	0xC380FFFF
axi_plb_bridge	axi_plbv46_bridge_0	0xC3820000	0xC382FFFF
axi_osd	axi_osd_0	0x7EE20000	0x7EE2FFFF
axi_iic	axi_iic_0	0x40800000	0x4080FFFF
axi_timer	axi_timer_0	0x41C00000	0x41C0FFFF
axi_vdma	axi_vdma_0	0x7E200000	0x7E20FFFF

表 2 : System-II のアドレス マップ

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
lmb_bram_if_cntlr	microblaze_0_d_bram_ctrl	0x00000000	0x0001FFFF
lmb_bram_if_cntlr	microblaze_0_i_bram_ctrl	0x00000000	0x0001FFFF
mdm	debug_module	0x41400000	0x4140FFFF
axi_uartlite	rs232_uart_1	0x40600000	0x4060FFFF
axi_7series_ddrx	ddr3_sdram	0x20000000	0x3FFFFFFF

ハードウェア システム仕様

ここでは、AXI Chip2Chip コアのコンフィギュレーションについて説明します。VDMA コンフィギュレーションおよびその他のビデオ関連 IP のハードウェア システムに関する詳細は、『AXI VDMA リファレンス デザイン』[参照 2] を参照してください。AXI システムの最適化および設計上のトレードオフに関する詳細は、『AXI リファレンス ガイド』[参照 3] を参照してください。

このアプリケーション ノートは、XPS に関する一般的知識を前提としています。XPS ツールの詳細は、『EDK コンセプト、ツール、テクニック：エンベデッド システム設計者向けガイド』[参照 4] を参照してください。

AXI System-I のコンフィギュレーション

ここでは、AXI System-I のコンフィギュレーション方法を説明します。

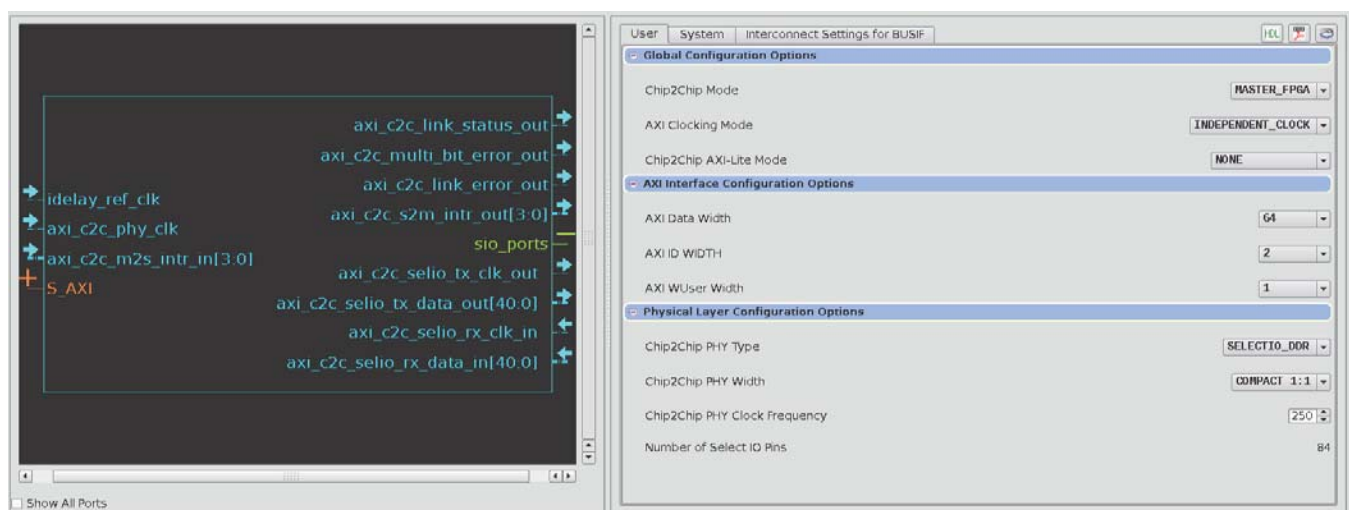
AXI Chip2Chip マスター インスタンス (master_c2c)

AXI Chip2Chip コアの動作モードには、マスター モードとスレーブ モードの 2 つがあります。マスター モードでは、コアを 1 つまたは複数の AXI マスター ペリフェラルのスレーブとして設定できます。スレーブ モードでは、コアを 1 つまたは複数の AXI スレーブ ペリフェラルのマスターとして設定できます。コアの動作は、独立クロッキング モードまたは共通クロッキング モードのいずれかに設定できます。独立クロッキング モードでは、物理層インターフェイスの動作クロックを AXI クロックと異なる周波数に設定できます。共通クロッキング モードでは、クロック ドメイン間をまたぐことによるレイテンシが抑えられます。

AXI データ幅は、システム要件に応じて 32 ビットまたは 64 ビットのいずれかを選択できます。Chip2Chip の PHY タイプと PHY 幅により、デバイス間接続に使用する I/O ピンの数が決まります。コンパクト 2:1 および 4:1 オプションを利用すると、必要な I/O ピンの数を減らすことができます。

Kintex-7 と Kintex-7 を接続したデザインでは、64 ビットの AXI Chip2Chip マスター インスタンスを独立クロッキング モードで物理層の動作周波数を 250MHz としてコンフィギュレーションしています。マスター Chip2Chip には、MicroBlaze、VDMA MM2S、S2MM チャネルという 3 つの AXI マスターがあります。したがって、マスター Chip2Chip の AXI ID 幅は 2 です。1080p のリアルタイムビデオトラフィック信号の送受信に必要なデータ レートを確保するため、PHY タイプは SelectIO™ DDR、PHY 幅はコンパクト 1:1 を選択しています。AXI WUSER 幅は 1 ビットに設定してあります。

図 3 に、XPS で設定した Chip2Chip マスター インスタンスのパラメーターを示します。



X1160_03_021313

図 3 : AXI Chip2Chip のコンフィギュレーション (マスター モード)

AXI Performance Monitor

LogiCORE™ AXI Performance Monitor コアは、AMBA® AXI システムの主要なパフォーマンス基準を計測します。このコアは、プロセッサからレジスタにアクセスするためのスレーブ AXI4-Lite インターフェイスで構成されます。AXI Performance Monitor コアは、AXI スレーブと AXI インターコネクタ間の読み出しチャンネルおよび書き込みチャンネルをモニターするのみです。このコアが、モニターしている AXI トランザクションを修正/変更することはありません。

このコアは、読み出しバイト、書き込みバイト、読み出し要求、書き込み要求、および書き込み応答の総数など、さまざまなパフォーマンス基準を計測できます。カウントの開始および終了条件は、レジスタ インターフェイスを介してプロセッサから送られます。コアのグローバル クロック カウンターが、カウントの開始イベントと終了イベント間のクロック数を計測します。パフォーマンス モニターで使用するカウンターは、レジスタ インターフェイスを介して 32 ビットまたは 64 ビットに設定できます。ユーザーが選択可能な最終的な基準値もレジスタ インターフェイスを介して読み出すことができます。

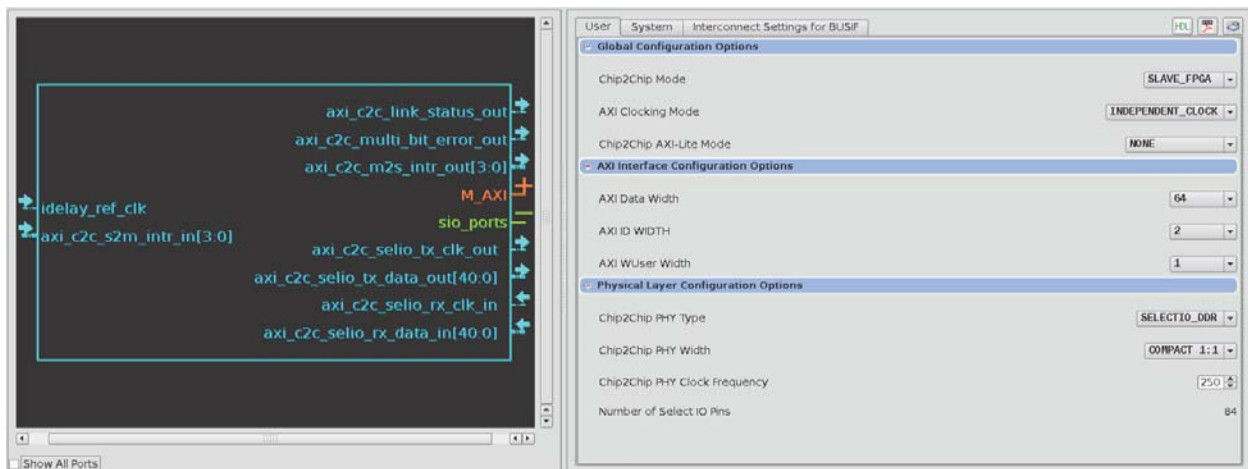
リファレンス デザインでは、マスター AXI Chip2Chip コアのスレーブ AXI インターフェイスをモニターし、パフォーマンス基準をレポートします。

AXI System-II のコンフィギュレーション

ここでは、AXI System-II の AXI Chip2Chip コアのコンフィギュレーション方法について説明します。

AXI Chip2Chip スレーブ インスタンス (Slave_c2c)

図 4 に、スレーブ Chip2Chip インスタンスのパラメーター設定を示します。Chip2Chip モード以外のパラメーターの値はすべて AXI System-I の master_c2c インスタンスと同じです。一般に、AXI Chip2Chip スレーブ コンフィギュレーション パラメーターの AXI データ幅、ID 幅、WUSER 幅、Chip2Chip PHY タイプ、PHY 幅、Chip2Chip PHY クロック周波数は AXI Chip2Chip マスター コンフィギュレーションの各パラメーターと一致させる必要があります。



X1160_04_021413

図 4 : AXI Chip2Chip のコンフィギュレーション (スレーブ モード)

Kintex-7 FPGA および Zynq-7000 AP SoC のメモリ システムのコンフィギュレーション

Kintex-7 のスレーブ システムは、AXI 7 シリーズ メモリ コントローラーを使用して DDR3 SDRAM デバイスに接続します。AXI インターフェイスは 64 ビットで動作周波数は 200MHz です。このコアは、読み出し/書き込み受け入れ数を 2、書き込み/読み出し深さを 512 としてコンフィギュレーションしています。メモリ コントローラーに接続されている AXI インターコネクタのポートは、FIFO を有効にしてあります。コアの詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザーガイド』[参照 5] を参照してください。

Zynq-7000 AP SoC のスレーブ システムでは、AXI Chip2Chip スレーブ インスタンスが PS の高性能 (HP) スレーブ AXI インターフェイスに接続しています。HP ポートは、プログラマブル ロジック (PL) 内の AXI マスターと PS の DDR3 メモリを接続する高スループットのデータパスとして利用できます。

ソフトウェア アプリケーション

システムのアプリケーション ソフトウェアは、VDMA リファレンス デザインのものと同じです。ソフトウェアの機能の詳細は、『AXI VDMA リファレンス デザイン』[参照 2] を参照してください。

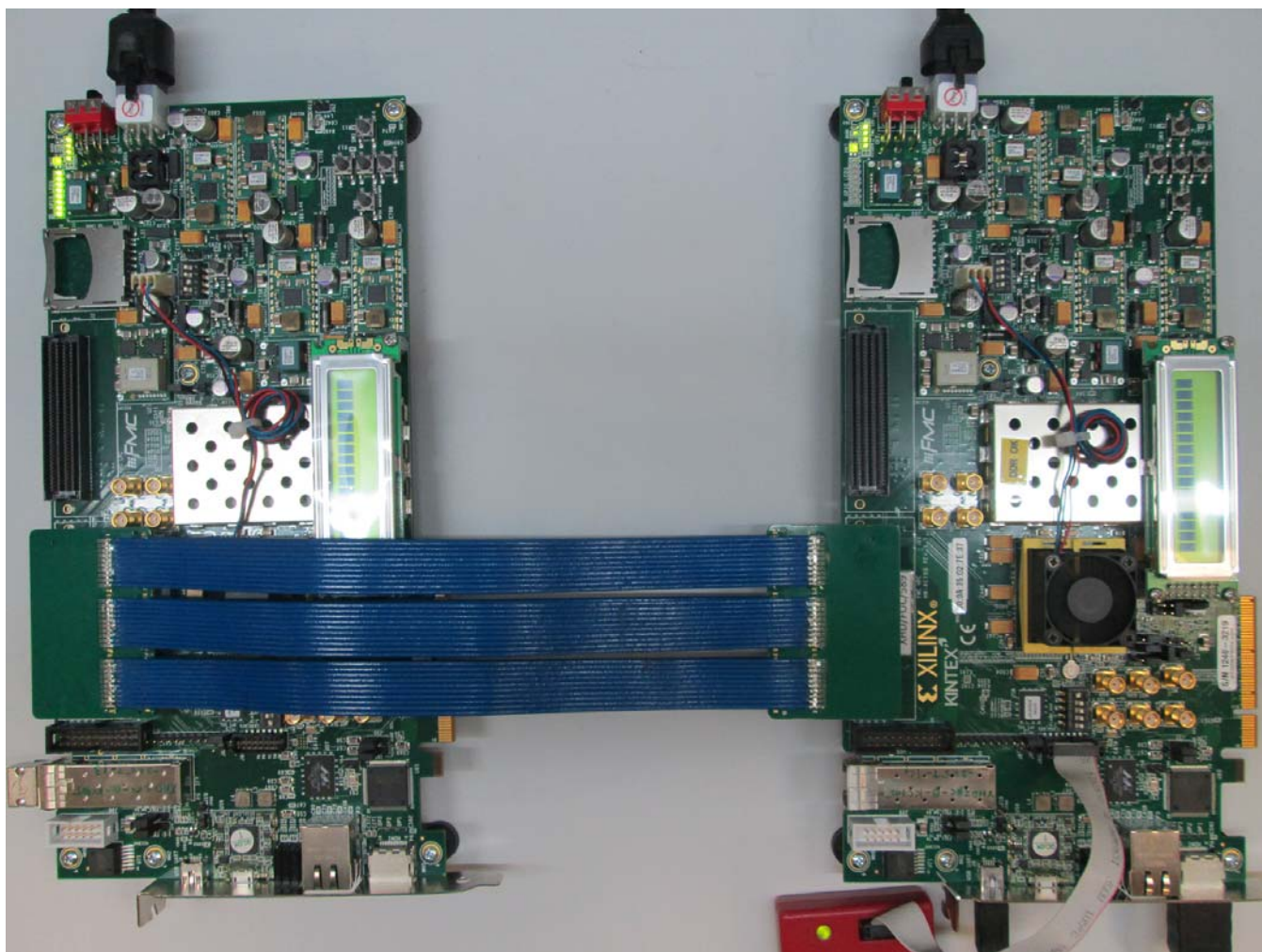
リファレンス デザインの使用

このセクションでは、ハードウェアでリファレンス デザインを実行する手順について説明します。

Kintex-7 KC705 ボードと Kintex-7 KC705 ボードの組み合わせ

Kintex-7 KC705 ボードと Kintex-7 KC705 ボードを接続したリファレンス デザインを実行する手順は、次のとおりです。

1. 2つの KC705 ボードを FMC-FMC コネクタ ケーブルで接続します (図 5)。



X1160_05_021413

図 5 : Kintex-7 KC705 ボードと Kintex-7 KC705 ボードのセットアップ

2. 片方の KC705 ボードの HDMI ビデオ出力を、1920 x 1080p (60Hz) のビデオ信号に対応したビデオ モニターに接続します。

注記：ここからの手順では、このボードを「ボード A」、もう 1 つのボードを「ボード B」と呼びます。

3. USB ケーブルをホスト PC からボード A の USB UART ポートに接続します。
4. 電源ケーブルを両方のボードに接続します。
5. 両方のボードの電源をオンにします。
6. ホスト PC 上で、次の設定でハイパーターミナルなどのターミナルプログラムを開始します。
 - a. ボーレート : 9600
 - b. データビット : 8
 - c. パリティ : なし
 - d. ストップビット : 1
 - e. フロー制御 : なし
7. ボード B に JTAG ケーブルを接続します。
8. コマンド シェルまたはターミナル ウィンドウで、スレーブのダウンロード ディレクトリへ移動します (32 ビットまたは 64 ビット コマンド プロンプトを使用)。

```
% cd <unzip_dir>/c2c_ref_design/kintex/ready_for_download/slave
```
9. Xilinx Microprocessor Debugger (XMD) ツールを起動します。

```
% xmd
```
10. ビットストリーム ファイルをボード B にダウンロードします。

```
XMD% fpga -f system.bit
```
11. XMD を終了します。

```
XMD% exit
```
12. ボード A に JTAG ケーブルを接続します。
13. マスターのダウンロード ディレクトリへ移動します。

```
% cd <unzip_dir>/c2c_ref_design/kintex/ready_for_download/master
```
14. XMD を起動します。

```
% xmd
```
15. ビットストリーム ファイルをボード A にダウンロードします。

```
XMD% fpga -f system.bit
```
16. プロセッサを接続します。

```
XMD% connect mb mdm
```
17. ソフトウェアのダウンロード時にシステム全体をリセットしないよう、これを無効にします。

```
XMD% debugconfig -reset_on_run system disable
```
18. プロセッサをリセットします。

```
XMD% rst -processor
```
19. ELF (Executable and Linkable Format) プロセッサ コード ファイルをダウンロードします。

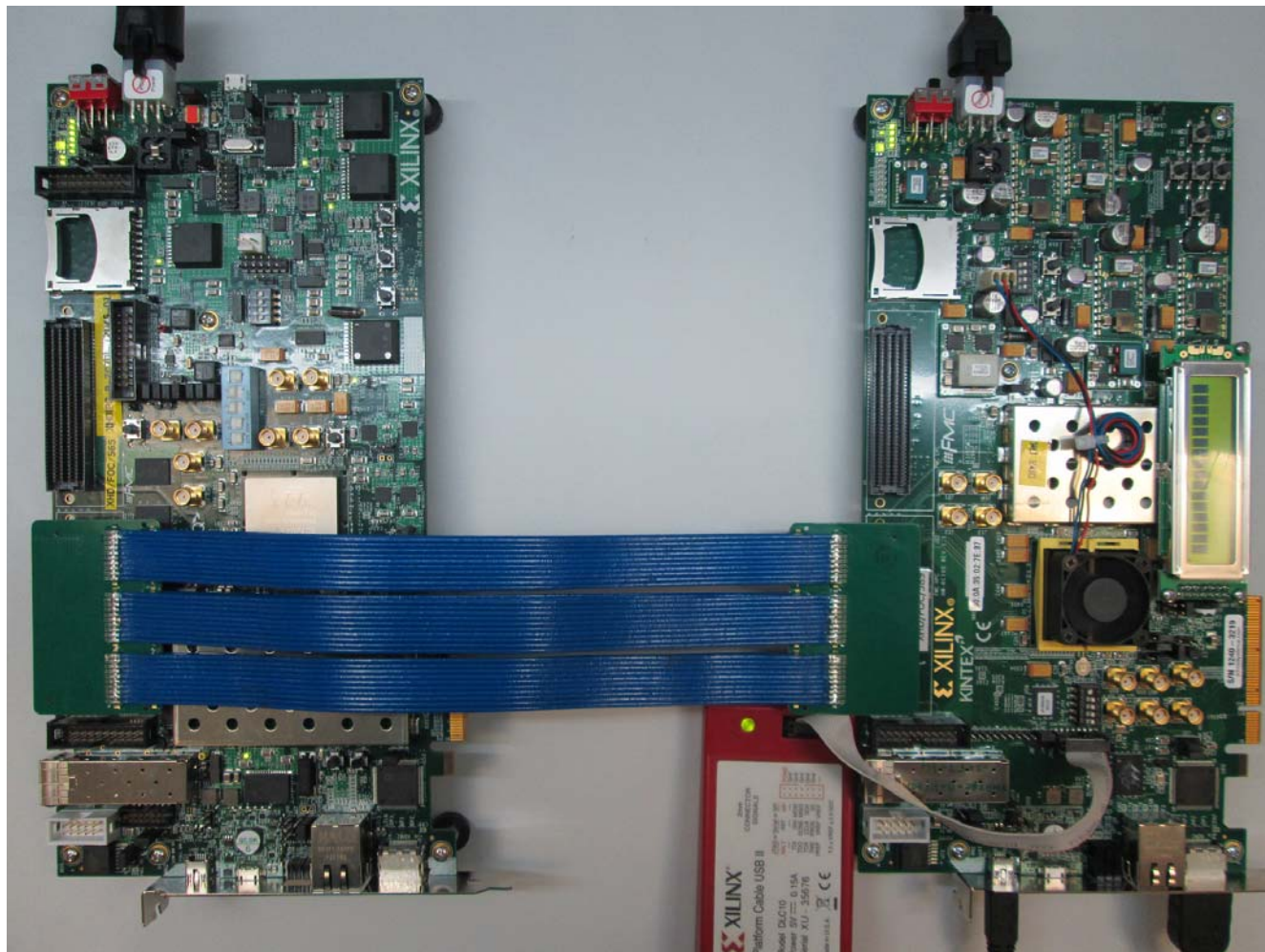
```
XMD% dow axi_vdma_display.elf
```
20. ソフトウェアを実行してリファレンス システムの動作を開始します。

```
XMD% run
```


Kintex-7 KC705 ボードと Zynq-7000 AP SoC ZC706 ボードの組み合わせ

Kintex-7 KC705 ボードと Zynq-7000 ZC706 ボードを接続したリファレンス デザインを実行する手順は、次のとおりです。

1. KC705 ボードと ZC706 ボードの HPC コネクタ ピン同士を FMC-FMC コネクタ ケーブルで接続します (図 6)。



X1160_06_021413

図 6 : Kintex-7 KC705 ボードと Zynq-7000 AP SoC ZC706 ボードのセットアップ

2. KC705 ボードの HDMI ビデオ出力を、1920 x 1080p (60Hz) のビデオ信号に対応したビデオ モニターに接続します。

注記：ここからの手順では、このボードを「ボード A」、もう 1 つのボードを「ボード B」と呼びます。

3. USB ケーブルをホスト PC からボード A の USB UART ポートに接続します。
4. 電源ケーブルを両方のボードに接続します。
5. ボード B の電源をオンにします。
6. ボード B に JTAG ケーブルを接続します。
7. コマンド シェルまたはターミナル ウィンドウで、スレーブのダウンロード ディレクトリへ移動します (32 ビットまたは 64 ビット コマンド プロンプトを使用)。

```
% cd <unzip_dir>/c2c_ref_design/zynq/ready_for_download/slave
```

8. Xilinx Microprocessor Debugger (XMD) ツールを起動します。
% xmd
9. ボード B で、TCL ファイルを source コマンドで実行します。
XMD% source xmd.tcl
10. XMD を終了します。
XMD% exit
11. ボード A に JTAG ケーブルを接続し、電源をオンにします。
12. ホスト PC 上で、次の設定でハイパーターミナルなどのターミナルプログラムを開始します。
 - a. ボーレート : 9600
 - b. データビット : 8
 - c. パリティ : なし
 - d. ストップビット : 1
 - e. フロー制御 : なし
13. マスターのダウンロード ディレクトリへ移動します。
% cd <unzip_dir>/c2c_ref_design/zynq/ready_for_download/master
14. XMD を起動します。
% xmd
15. ビットストリーム ファイルをボード A にダウンロードします。
XMD% fpga -f system.bit
16. プロセッサを接続します。
XMD% connect mb mdm
17. ソフトウェアのダウンロード時にシステム全体をリセットしないよう、これを無効にします。
XMD% debugconfig -reset_on_run system disable
18. プロセッサをリセットします。
XMD% rst -processor
19. ELF (Executable and Linkable Format) プロセッサ コード ファイルをダウンロードします。
XMD% dow test.elf
20. ソフトウェアを実行してリファレンス システムの動作を開始します。
XMD% run
21. ハイパーターミナルの画面の指示に従います。

ハードウェアとソフトウェアの実行結果

Kintex-7 KC705 ボードと Kintex-7 KC705 ボードのセットアップでは、解像度が 720 x 480 および 1920 x 1080 のデモンストレーションを行います。Kintex-7 KC705 ボードと Zynq-7000 IP SoC ZC706 ボードのセットアップでは、データ幅を 32 ビットとして AXI Chip2Chip をコンフィギュレーションし、解像度はソフトウェアのデフォルト設定で 720 x 480 を選択しています。図 7 ~ 図 9 に、ハイパーターミナルの出力画面を示します。

```
--- Entering main() ---
-----
--                               Resolution Menu                               --
-----

Select an option
0 = 720x480
1 = 1920x1080

> 
```

X1160_07_021913

図 7: ハイパーターミナルの解像度選択メニュー

```
-----
--                               Frame Rate Menu                               --
-----

Select option for Frame rate
a = 60 Hz
b = 75 Hz

> 
```

X1160_08_021913

図 8: ハイパーターミナルのフレーム レート選択メニュー

```
-----
--                                     Pattern Menu                               --
-----

Select option
0 = Horizontal RAMP
1 = Vertical RAMP
2 = Flat RED
3 = Flat GREEN
4 = Flat BLUE
5 = Color Bars
6 = Zone Plates
7 = Tartan Bars
8 = Cross Hatch
9 = DDR Bandwidth

-----
>|
```

X1160_09_021913

図 9：ハイパーターミナルのビデオ パターン選択メニュー

ユーザーは、ハイパーターミナル画面に表示された次の 8 つのビデオ パターンから 1 つを選択できます。

- 0 - LCD に水平ランプを表示
- 1 - LCD に垂直ランプを表示
- 2 - LCD に全画面赤色を表示
- 3 - LCD に全画面緑色を表示
- 4 - LCD に全画面青色を表示
- 5 - LCD にカラー バーを表示
- 6 - LCD にゾーン プレートを表示
- 7 - LCD に格子バーを表示
- 8 - LCD にクロス ハッチを表示
- 9 - パフォーマンス関連基準を表示

ハードウェア デザインの再構築

このセクションでは、ハードウェア デザインを再構築する方法について説明します。プロジェクトを再構築する前に、AXI OSD および AXI Timebase のライセンスがインストールされていることを確認する必要があります。AXI Timebase または AXI OSD の評価用ライセンスを入手するには、On-Screen Display LogiCORE IP [参照 6] または Video Timing Controller LogiCORE IP [参照 7] のウェブサイトを参照してください。

マスター デバイスの再構築

マスター デバイスを再構築する手順は、次のとおりです。

1. XPS を起動します。
2. 次のいずれかのファイルを開きます。

Kintex-7 FPGA の場合：

```
<unzip_dir>/c2c_ref_design/kintex/HW/master/system.xmp
```

Zynq-7000 AP SoC の場合 :

```
<unzip_dir>/c2c_ref_design/zynq/HW/master/system.xmp
```

3. [Hardware] → [Generate Bitstream] をクリックし、システムのビットストリームを生成します。
4. [Device Configuration] → [Update Bitstream] をクリックし、プロセッサのブートをメモリ内の安定したプログラムで確実に実行するために、bootloop プログラムでブロック RAM を初期化します。

スレーブ デバイスの再構築

スレーブ デバイスを再構築する手順は、次のとおりです。

1. XPS を起動します。
2. 次のいずれかのファイルを開きます。

Kintex-7 FPGA の場合 :

```
<unzip_dir>/c2c_ref_design/kintex/HW/slave/system.xmp
```

Zynq-7000 AP SoC の場合 :

```
<unzip_dir>/c2c_ref_design/zynq/HW/slave/system.xmp
```

3. [Hardware] → [Generate Bitstream] をクリックし、システムのビットストリームを生成します。
4. [Device Configuration] → [Update Bitstream] をクリックし、プロセッサのブートをメモリ内の安定したプログラムで確実に実行するために、bootloop プログラムでブロック RAM を初期化します。

SDK によるソフトウェアのコンパイルとデザインの実行

ザイリンクスのソフトウェア開発キット (SDK) は、ザイリンクスのすべての FPGA アーキテクチャをサポートしたソフトウェア開発環境です。

ソフトウェアのコンパイル

ソフトウェアをコンパイルする手順は、次のとおりです。

1. SDK を起動します。
2. [Workspace Launcher] → [Workspace] をクリックします。
3. 次の項目を選択します。<unzip_dir>/c2c_ref_design/SW/master/SDK_Workspace
4. [OK] をクリックします。
5. [Xilinx Tools] → [Repositories] をクリックし、リポジトリを設定します。
6. ローカル リポジトリの場合、[New] をクリックします。
7. 次の項目を選択します。<unzip_dir>/c2c_ref_design/repository
8. [OK] をクリックします。
9. [File] → [Import] → [General] → [Existing Projects into Workspace] をクリックし、ボード サポート パッケージ (BSP)、ハードウェア プラットフォーム、ソフトウェア アプリケーションをインポートします。
10. [Next] をクリックします。
11. 次の項目を選択します。

Kintex-7 の場合 :

```
<unzip_dir>/c2c_ref_design//kintex_kintex/SW/master/SW
```

Zynq-7000 AP SoC の場合 :

```
<unzip_dir>/c2c_ref_design//kintex_zynq/SW/master/SW
```

12. [OK] をクリックします。

- すべてのチェック ボックス (axi_vdma_display と hw_platform_0 を含む) がオンになっていることを確認します。
- 関連するソフトウェア アプリケーションが選択されていることを確認します。

13. [Finish] をクリックします。

BSP およびソフトウェア アプリケーションのコンパイルが開始します。

注記：この処理には最大 5 分ほどかかります。

これで、ユーザーは SDK を利用して既存のソフトウェア アプリケーションを変更し、新規ソフトウェア アプリケーションを作成できるようになります。

デザインの特性

このリファレンス デザインは、ISE Design Suite : Embedded Edition 14.4 を使用して 2 つの Kintex-7 FPGA (XC7K325TFFG900-1) と 1 つの Zynq-7000 AP SoC (XC7Z045-2FFG900C) にインプリメントされています。

マスター デバイスのリソース使用率は次のとおりです。

- LUT 総数 : 203,800 のうち 25,418 (12%)
- I/O 総数 : 500 のうち 119 (23%)
- 内部メモリ総数 : 64,000 のうち 1,175 (1%)
- RAMB36E1 : 445 のうち 79 (17%)
- RAMB18E1 : 890 のうち 6 (1%)

スレーブ デバイスのリソース使用率は次のとおりです。

- LUT 総数 : 203,800 のうち 27,445 (13%)
- I/O 総数 : 500 のうち 206 (41%)
- 内部メモリ総数 : 64,000 のうち 3567 (5%)
- RAMB36E1 : 445 のうち 56 (12%)
- RAMB18E1 : 890 のうち 1 (1%)

注記：これらの数値は、Kintex-7 ボードと Kintex-7 ボードを接続したリファレンス デザインのもので、デバイスのリソース使用率の結果は、インプリメンテーション ツールのバージョンによって異なります。厳密な結果は変動する可能性があります。上記の値は、指標として使用してください。

リファレンス デザイン

これらのリファレンス デザインは、ハードウェア ボード上で完全に検証され、テストされています。これらのデザインには、AXI Chip2Chip IP コアの機能に関する詳細情報が含まれています。また、サイリンクス ISE Design Suite ツールを使用して正しく配置配線が行われています。

このアプリケーション ノートのリファレンス デザイン ファイルは、次のサイトからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=202414>

表 3 に、リファレンス デザインの詳細を示します。

表 3：リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	Saambhavi VB、Vamsi Krishna、Dinesh Kumar
ターゲット デバイス (ステッピング レベル、ES、プロダクション、スピード グレード)	Kintex-7 FPGA および Zynq-7000 AP SoC
ソース コードの提供	あり
ソース コードの形式	VHDL、Verilog
既存のサイリンクス アプリケーション ノート/リファレンス デザイン、CORE Generator™ ツール、サードパーティからデザインへのコード/IP の使用	EDK 用に提供されたリファレンス デザイン。AXI VDMA リファレンス デザインをベースシステムとして使用 (『AXI VDMA リファレンス デザイン』[参照 2] 参照)
シミュレーション	
機能シミュレーションの実施	シミュレーションはサポートせず
タイミングシミュレーションの実施	シミュレーションはサポートせず
機能およびタイミング シミュレーションでのテストベンチの利用	シミュレーションはサポートせず
テストベンチの形式	シミュレーションはサポートせず
使用したシミュレータ ソフトウェア ツール/バージョン	シミュレーションはサポートせず
SPICE/IBIS シミュレーション	シミュレーションはサポートせず
インプリメンテーション	
使用した合成ソフトウェア ツール	XST 14.4
使用したインプリメンテーション ソフトウェア ツール/バージョン	ISE Design Suite 14.4 : System Edition
スタティック タイミング解析の実施	あり (PAR/TRCE のタイミングにパス)
ハードウェア検証	
ハードウェア検証の実施	あり
検証に使用したハードウェア プラットフォーム	2 つの KC705 ボードと 1 つの ZC706 ボード

使用率とパフォーマンス

表 4 と表 5 は、Kintex-7 と Kintex-7 を接続したリファレンス デザインにおける AXI Chip2Chip IP コアのマスターおよびスレーブ インスタンスのデバイス リソース使用率を示したものです。これら表の情報は、XPS の [Design Overview] → [Module Level Utilization] レポートを選択して表示される [Design Summary] タブから得られます。使用率の情報は、モジュールの境界を越えたロジック最適化とモジュール間のロジック共有のため、概算値となっています。

表 4: マスター Chip2Chip インスタンスのモジュール レベルのリソース使用率

IP コア	インスタンス名	スライス	スライスレジスタ	LUT	LUTRAM	BRAM/FIFO	DSP48E1	BUFG	BUFR	MMCM_ADV
AXI Chip2Chip	master_c2c	622	1501	1182	28	5	0	2	0	1

表 5: スレーブ Chip2Chip インスタンスのモジュール レベルのリソース使用率

IP コア	インスタンス名	スライス	スライスレジスタ	LUT	LUTRAM	BRAM/FIFO	DSP48E1	BUFG	BUFR	MMCM_ADV
AXI Chip2Chip	slave_c2c	605	1487	1111	28	5	0	2	0	1

注記：スライスには、複数の IP コアおよび階層からの基本エレメントをパックできます。したがって、1 つのスライスにパックされた基本エレメントが属する階層モジュールすべてでスライスがカウントされます。つまり、複数のモジュールでスライス数を加算すると一部は重複してカウントされます。

Kintex-7 ボードと Kintex-7 ボードを接続したセットアップでは、AXI データ幅を 64 ビット、Chip2Chip PHY を動作周波数 250MHz のコンパクト 1:1 DDR モードとしてコンフィギュレーションしています。AXI Chip2Chip コアは、理論上のスループット (式 1) がマスター AXI Chip2Chip コアへの入力として送信される平均トラフィックよりも大きくなるようにコンフィギュレーションする必要があります。

$$\frac{3 \times AXI Data Width}{4 \times Muxing Ratio} \times PHY Frequency \quad \text{式 1}$$

たとえば AXI データ幅を 32 ビット、Chip2Chip PHY を動作周波数 250MHz のコンパクト 1:1 DDR モードとしてコンフィギュレーションした場合、コアの理論上のスループットは 750MB/s となります。1920 x 1080 のフレーム解像度は 0.995GB/s の帯域幅を必要とするため、このコンフィギュレーションではサポートできない可能性があります。ZC706 ボードの場合、64 ビット コンパクト 1:1 DDR モードを利用するには FMC HPC コネクタの I/O ピンの数が足りません。このため、AXI Chip2Chip コアを 32 ビットでコンフィギュレーションし、低解像度の 720 x 480 をデモンストレーションしています。

注記：式 1 の「Muxing ratio」は Chip2Chip の PHY 幅パラメータを表し、コンパクト 1:1 では 1、コンパクト 2:1 では 2、コンパクト 4:1 では 4 です。

参考資料

この文書では、次の参考資料を使用しています。

1. [PG067](#) : 『AXI Chip2Chip 製品ガイド』
2. [XAPP742](#) : 『AXI VDMA リファレンス デザイン』
3. [UG761](#) : 『AXI リファレンス ガイド』
4. [UG683](#) : 『EDK コンセプト、ツール、テクニック : エンベデッド システム設計者向けガイド』
5. [UG586](#) : 『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』
6. On-Screen Display LogiCORE IP :
<http://www.xilinx.com/products/intellectual-property/EF-DI-OSD.htm>
7. Video Timing Controller IP
<http://www.xilinx.com/products/intellectual-property/EF-DI-VID-TIMING.htm>
8. FMC コネクタ ケーブル (製品番号 : HDR-169475)
<http://www.samtec.com/standards/vita.aspx>

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013 年 3 月 7 日	1.0	初版

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications:
<http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。