



XAPP1169 (v1.2) 2013 年 7 月 10 日

JPEG2000 を使用した Video over IP リファレンス デザイン

著者 : Jean-François Marbehant および Virginie Brodeoux

概要

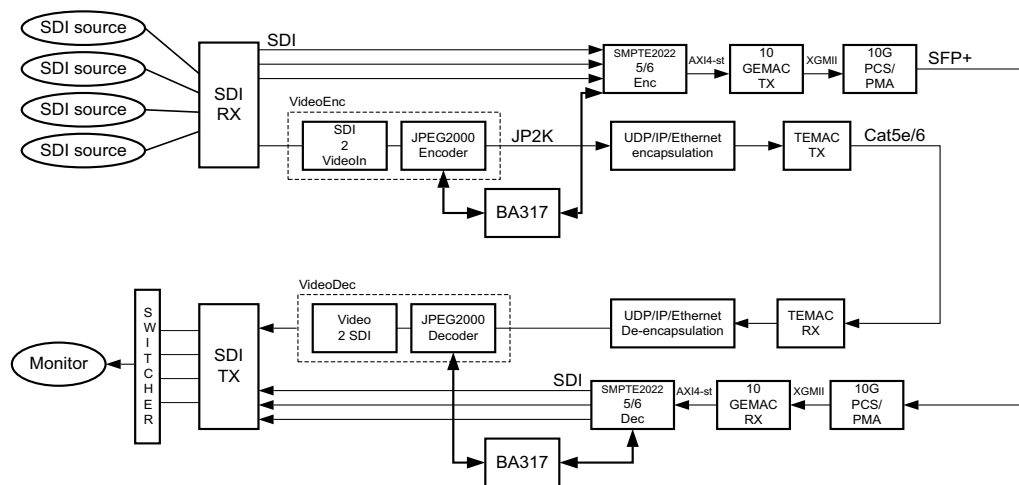
このアプリケーション ノートでは、ザイリンクスの SMPTE (Society of Motion Picture and Television Engineers) 2022-5/6 LogiCORE™ IP コア [参照 9]、Barco-Silex JPEG2000 Encoder および Decoder IP コア [参照 1] [参照 6] を統合した Video over IP リファレンス デザイン [参照 7] について説明します。このデザインは、最大で 4 つの標準解像度/高解像度シリアル デジタル インターフェイス (SD/HD-SDI) ストリームをサポートできます。

このリファレンス デザイン全体は、トランスミッター プラットフォームとレシーバー プラットフォームという 2 つのプラットフォームで構成されています。トランスミッター プラットフォームのデザインは、4 つの LogiCORE IP Triple-Rate SDI コア [参照 4] を使用して外部からの SDI ビデオ ストリームを受信します。受信した SDI ストリームのうちの 3 つは、SMPTE 2022-5/6 Video over IP Transmitter コアを用いて多重化され、固定サイズのデータグラムにカプセル化されてから LogiCORE IP 10 Gigabit Ethernet MAC (10GEMAC) [参照 5] 経由で送信されます。レシーバー側に接続された SFP+ ケーブルを使用する LogiCORE IP 10 Gb/s PCS/PMA は、10Gb/s リンクをサポートします。4 番目の SDI ストリームは、JPEG2000 Encoder によって圧縮され、固定サイズのデータグラムにカプセル化されてから LogiCORE IP Tri-Mode Ethernet MAC (TEMAC) を経由して標準 Cat.5e ケーブルに送信されます。

レシーバー プラットフォーム側では、圧縮されていないストリームのイーサネット データグラムが、10GEMAC で収集されます。SMPTE 2022-5/6 Video over IP Receiver コアはデータグラムをフィルタリングし、カプセル化と多重化を解除して個々のストリームにしてから、SDI ビデオを Triple-Rate SDI コア経由で出力します。圧縮されたストリームのイーサネット ダイアグラムは、Tri-Mode MAC で収集され、カプセル化を解除されて、JPEG2000 Decoder に送られます。このデコーダーの出力ビデオは、SDI に変換され、Triple-Rate SDI コアに送信されます。トランスミッターとレシーバーの両方で、すべてのイーサネット データグラムは DDR3 SDRAM にバッファされます。

このデザインには、コアの初期化とステータスの読み出し用に MicroBlaze™ プロセッサが含まれています。

図 1 に、Video over IP システムのブロック図を示します。この図は、関連するモジュールの全体像を示しています。



X1169_01_041913

図 1 : Video over IP システム

リファレンス デザインは、Kintex®-7 FPGA XC7K325T-2FFG900C FPGA [参照 2] を使用する Kintex-7 FPGA KC705 評価キットをターゲット作成されています。

含まれるシステム

リファレンス デザインは、ISE® Design Suite : System Edition バージョン 14.2 を使用して作成および構築されています。デザインの一部は、Xilinx Platform Studio (XPS) を使用して作成されています。デザインには、ザイリンクスのソフトウェア開発キット (SDK) を使用して構築されたソフトウェアも含まれます。このソフトウェアは、MicroBlaze プロセッサ サブシステムで実行され、制御機能とステータス機能をインプリメントします。

はじめに

リファレンス デザインは、次の 2 つの別個のパスをインプリメントします。

- アプリケーション ノート『Kintex-7 FPGA でフォワード エラー訂正を利用して IP ネットワークで高ビット レートの SMPTE2022-5/6 メディア トランスポートを実現』(XAPP896) [参照 3] に記載されているように、SMPTE2022-5/6 コアと Ten Gigabit Ethernet MAC コアで、3 つの SDI ストリームが処理されます。圧縮されないパスの詳細をこのアプリケーション ノートで確認してください。ここでは、前記のアプリケーション ノートと異なる点についてのみ扱います。
- 4 番目の SDI ストリームは圧縮されるパスに送られます。リファレンス デザインでは、JPEG2000 IP をここで、ブロードキャスト接続標準 SMPTE SD/HD/3G-SDI と 1GbE ネットワーク間のブリッジを必要とするブロードキャスト アプリケーション用のモジュールとしてインプリメントします。転送される圧縮データは、メディア データグラム ペイロードにマップされます。インターネット プロトコル (IP)、ユーザー データグラム プロトコル (UDP)、およびリアルタイム転送プロトコル (RTP) は、IP ネットワークを経由したメディア転送における標準ヘッダーを提供します。システム機能を正しくサポートするには、本システムで生成されるストリームが必要とする以上のネットワーク帯域幅を確保する必要があります。イーサネット、IP、UDP、および RTP の各ヘッダーにより、メディア データグラムの生成に伴うオーバーヘッドは約 4% になります。

完全に圧縮されるパスの入出力は、SDI ビデオ ストリームです。システムは、2 つのプラットフォームで構成され、一方にはエンコーダー コアが存在し、もう一方にはデコーダー コアが存在します。図 2 に示すように、標準 Cat.5e ケーブルが 2 つのプラットフォームを接続し、模擬的な IP ネットワークを構成しています。

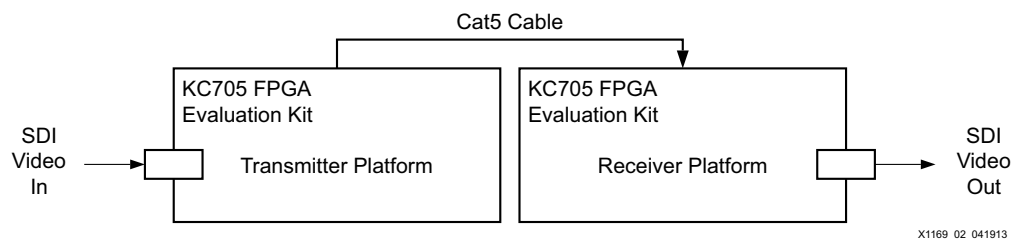


図 2 : Video over IP の圧縮されるパス (完全なシステム)

Triple-Rate SDI コアはシステムが SDI ストリームを送受信するのをサポートし、Tri-Mode Ethernet MAC はイーサネット メディア内で圧縮ビデオ データを転送します (図 3 および図 4 参照)。

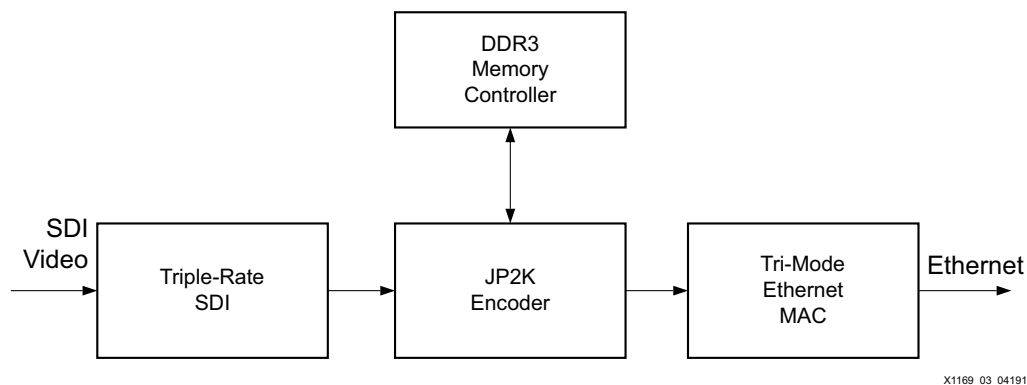


図 3 : Video over IP の圧縮されるパス (トランスミッター FPGA)

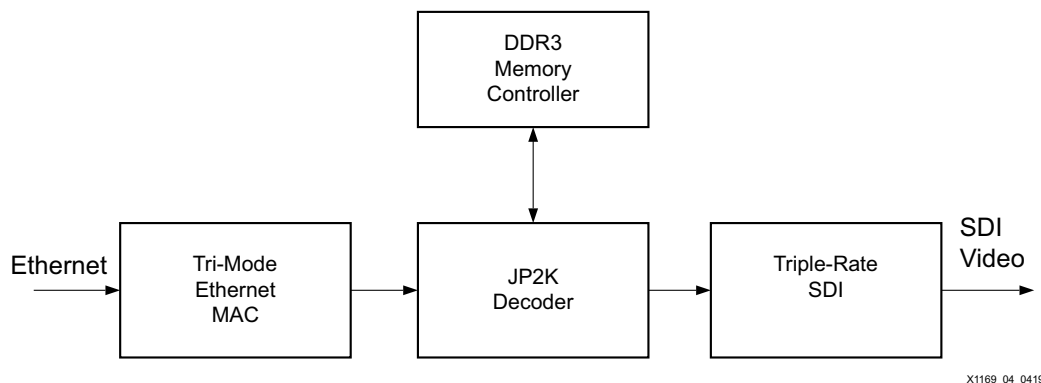


図 4 : Video over IP の圧縮されるパス (レシーバー FPGA)

MicroBlaze

XAPP896 [参照 3] で示された MicroBlaze プロセッサ サブシステムを簡略化し、適合するよう変更しました。このサブシステム内でインスタンス化されていた AXI メモリ インターフェイス ジェネレーター (MIG) は、(MicroBlaze プロセッサ サブシステム外部の) Barco-Silex DDR3 メモリ コントローラーに置き換えられています。このコントローラーは、AXI ポート (SMPTE2022-5/6 コア用) と非 AXI ポート (JPEG2000 コア用) をサポートします。クロック ジェネレーターとプロセッサ システム リセット ブロックは削除され、MicroBlaze プロセッサ サブシステム外部の専用回路に置き換えられました。2 つ目の AXI4-Lite ブリッジがトランスミッターに追加されて、JPEG2000 Encoder を構成しています。図 5 に、変更された MicroBlaze プロセッサ サブシステムのブロック図を示します。

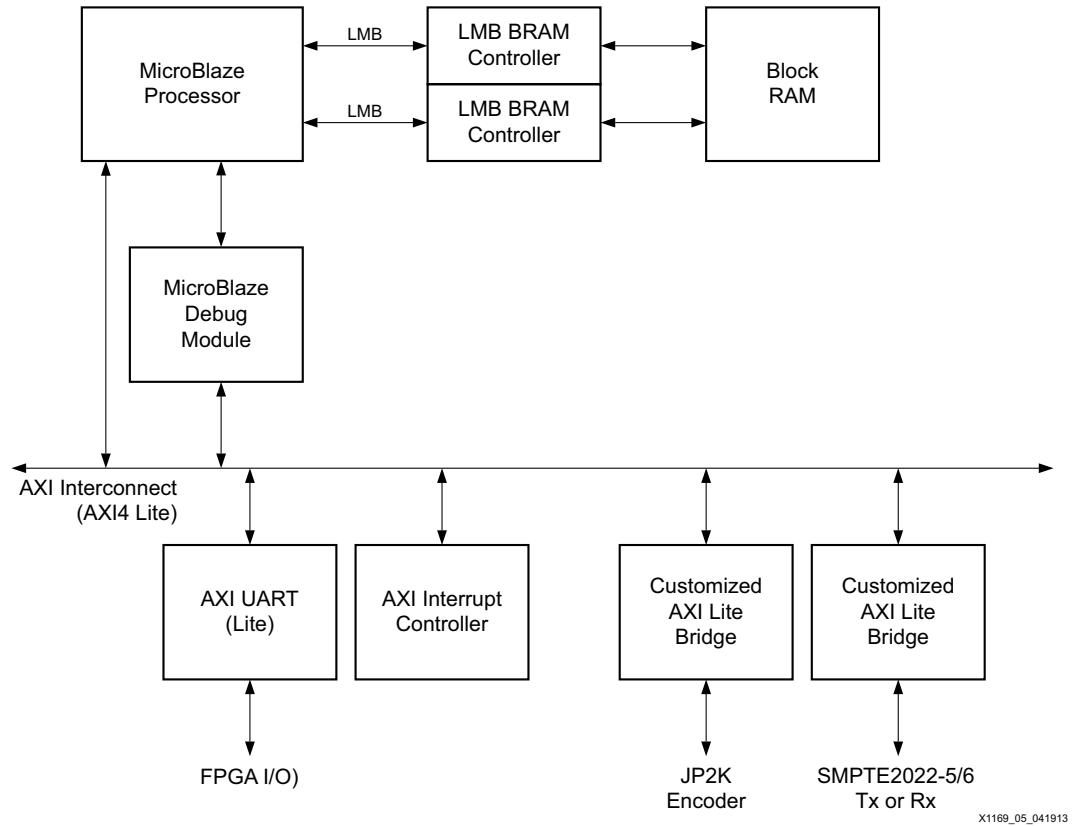


図 5 : XPS を使用して構築された MicroBlaze プロセッサ サブシステム

表 1 に、適合するよう変更した MicroBlaze プロセッサ サブシステムのアドレス マップを示します。

表 1 : MicroBlaze プロセッサ サブシステムのアドレス マップ

| ペリフェラル | インスタンス | ベース アドレス | 上位アドレス |
|-------------------|--------------------------|------------|------------|
| lmb_bram_if_cntlr | microblaze_0_i_bram_ctrl | 0x00000000 | 0x0001FFFF |
| lmb_bram_if_cntlr | microblaze_0_d_bram_ctrl | 0x00000000 | 0x0001FFFF |
| Mdm | debug_module_0 | 0x7E200000 | 0x7E20FFFF |
| axi_v6_ddrx | axi_v6_ddrx_0 | 0xE0000000 | 0xFFFFFFFF |
| axi_uartlite | RS232_Uart_1 | 0x40600000 | 0x4060FFFF |
| axilite_bridge | axilite_bridge_0 | 0x70E00000 | 0x70e0FFFF |
| axilite_bridge | axilite_bridge_1 | 0x79400000 | 0x7940FFFF |

ハードウェア要件

リファレンス デザインのハードウェア要件は次のとおりです。

- Kintex-7 KC705 FPGA 評価キット x 2
- Inrevium 社製 SDI FPGA メザニン カード (FMC) (TB-FMCH-3GSDI2A) x 2
- Cat.5e ケーブル
- SFP+ ケーブル

リファレンス デザイン仕様

リファレンス デザインには、次のコアが含まれています。

- AXI Interconnect
- MicroBlaze Processor
- MicroBlaze Debug Module
- Local Memory Bus (LMB)
- LMB Block RAM Controller
- Block RAM
- AXI External Master Connector
- AXI UART (lite)
- Customized AXI4-Lite Bridge (pcore)
- Barco-Silex DDR3 Memory Controller (BA317)
- SMPTE2022-5/6 Transmitter および Receiver
- Barco-Silex JPEG2000 Encoder (BA110) および Decoder (BA109)
- Triple-Rate SDI
- 10-Gigabit Ethernet MAC
- Tri-Mode Ethernet MAC

ハードウェア システム仕様

このセクションでは、リファレンス デザインの機能の概要とメイン IP ブロックの構成について説明します。本デザインに関しては、XAPP896 [参照 3] に記載された「10-Gigabit Ethernet MAC」、「AXI インターコネクト (AXI4-Lite)」、および「ソフトウェア アプリケーション」の各セクションも役立ちます。詳細は、これらのセクションを参照してください。

SMPTE 2022-5/6 Video Over IP Transmitter および Receiver

SMPTE2022-5/6 Video over IP コアの製品ページ [参照 1] の情報は、圧縮されないチャネルの BNC マッピングを除いて有効です。

表 2 : BNC コネクタ マッピング

| チャネル | BNC コネクタ |
|------|----------|
| 1 | RX2/TX2 |
| 2 | RX3/TX3 |
| 3 | RX4/TX4 |

Triple-Rate SDI

Triple-Rate SDI コアは、SD-SDI 規格と HD-SDI 規格に対応したトランスミッターおよびレシーバーインターフェイスを提供します。このコアは、SDI ストリームのシリアライズ/デシリアライズを行うために Kintex-7 FPGA の GTX トランシーバーに接続されています。Triple-Rate SDI レシーバーは 148.5MHz の GTX トランシーバー基準クロック周波数を使用して、サポートされている SDI ビットレートを受信します。レシーバーは受信した SDI ビットレートを自動的に判定し、その SDI モードに合わせて自分自身と GTX トランシーバーを正しく設定します。Triple-Rate SDI トランスミッターは、すべての SDI ビットレートをサポートするために 2 種類の GTX トランシーバー基準クロック周波数を必要とします。一方、トランスミッターは、DRP ポートを介して GTX トランシーバーのトランスミッターを制御し、各 SDI モードに適した構成にします。詳細は、『SMPTE SDI 製品ガイド v2.0』[参照 4] を参照してください。

リファレンス デザインでは、148.5MHz の基準クロックのみが供給され、59.94MHz、29.97MHz、および 23.98MHz の各ビットレートは生成できません。これらは、それぞれ 60MHz、30MHz、および 25MHz に置き換えられます。

BA317 DDR3 メモリ コントローラー

このメモリ コントローラー [参照 8] は、SMPTE2022-5/6 コア用の AXI ポート (200MHz で動作する 256 ビット幅のインターフェイス) と、JPEG2000 コア用のユーザー ポート (異なる周波数で動作する 32、64、または 128 ビット幅のインターフェイス) を備えています。

JPEG2000 Encoder

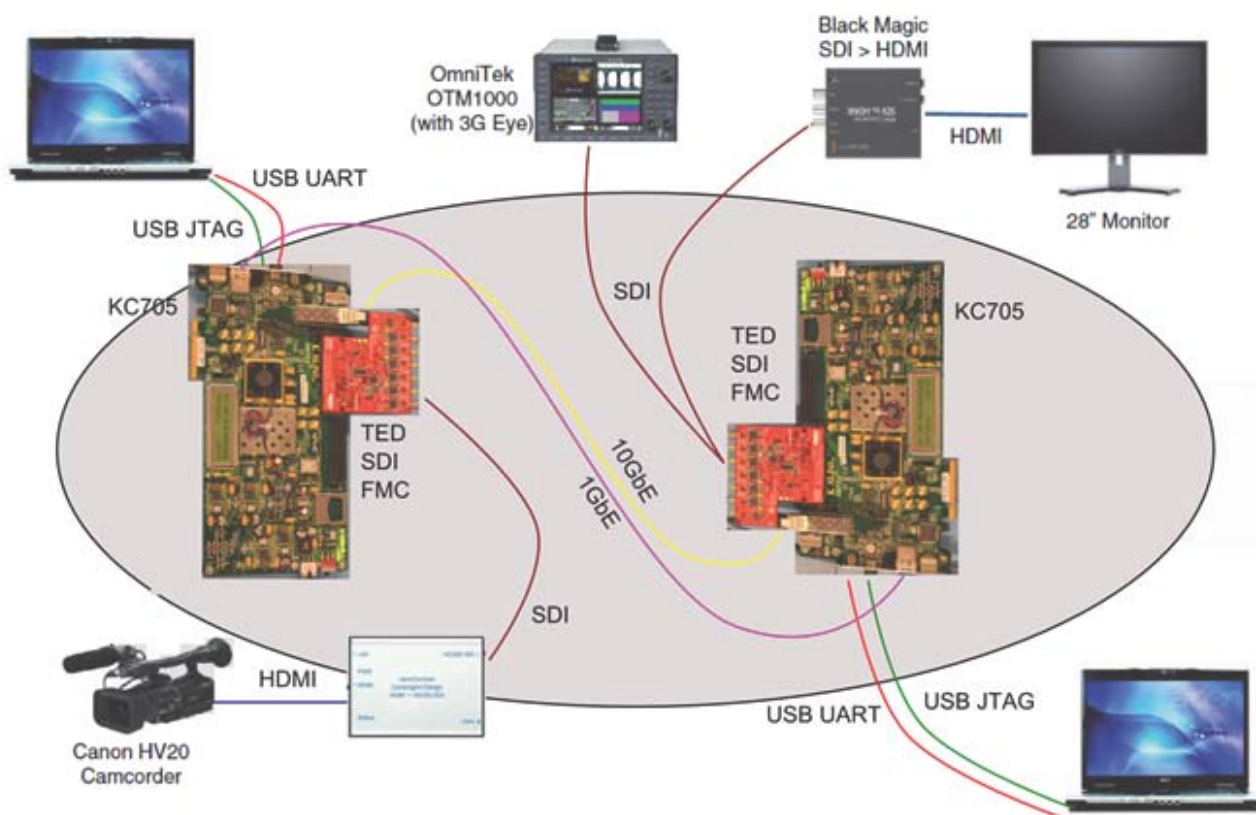
JPEG2000 Encoder コア [参照 6] は、BNC コネクタ TX1 からのビデオ ストリームを JPEG2000 形式に圧縮して、1Gb イーサネット ケーブルに転送します。このコアの入力は、ビデオ ストリームである必要があります。そのため、Triple-Rate SDI コアから出力される SDI ストリームは変換する必要があります。ソフトウェアを使用して動的に変更可能なビットレートを除き、このコアのパラメーターは VideoEnc ネットリスト内で固定されています。このコアは、メモリ コントローラーに接続された 15 個のユーザー ポートを備えており、メモリの上位 1/4 (上位のアドレス) を使用します。

JPEG2000 Decoder

JPEG2000 Decoder コア [参照 7] は、1Gb イーサネット ケーブルから受信した JPEG2000 ストリームを復元します。このコアのビデオ出力は、SDI に変換してから Triple-Rate SDI コアに送信する必要があります。このコアは、メモリ コントローラーに接続された 8 個のポートを備えており、メモリの上位 1/4 (上位のアドレス) を使用します。このデコーダーから出力されたフレームは、DDR に格納され、必要に応じて SDI のビットレート制約で読み出されます。読み出されたフレームは、削除される場合もありますが、必要であれば繰り返し読み出されます。デコーダーとビデオ変換ロジックは、単一のネットリスト (VideoDec) として提供されます。

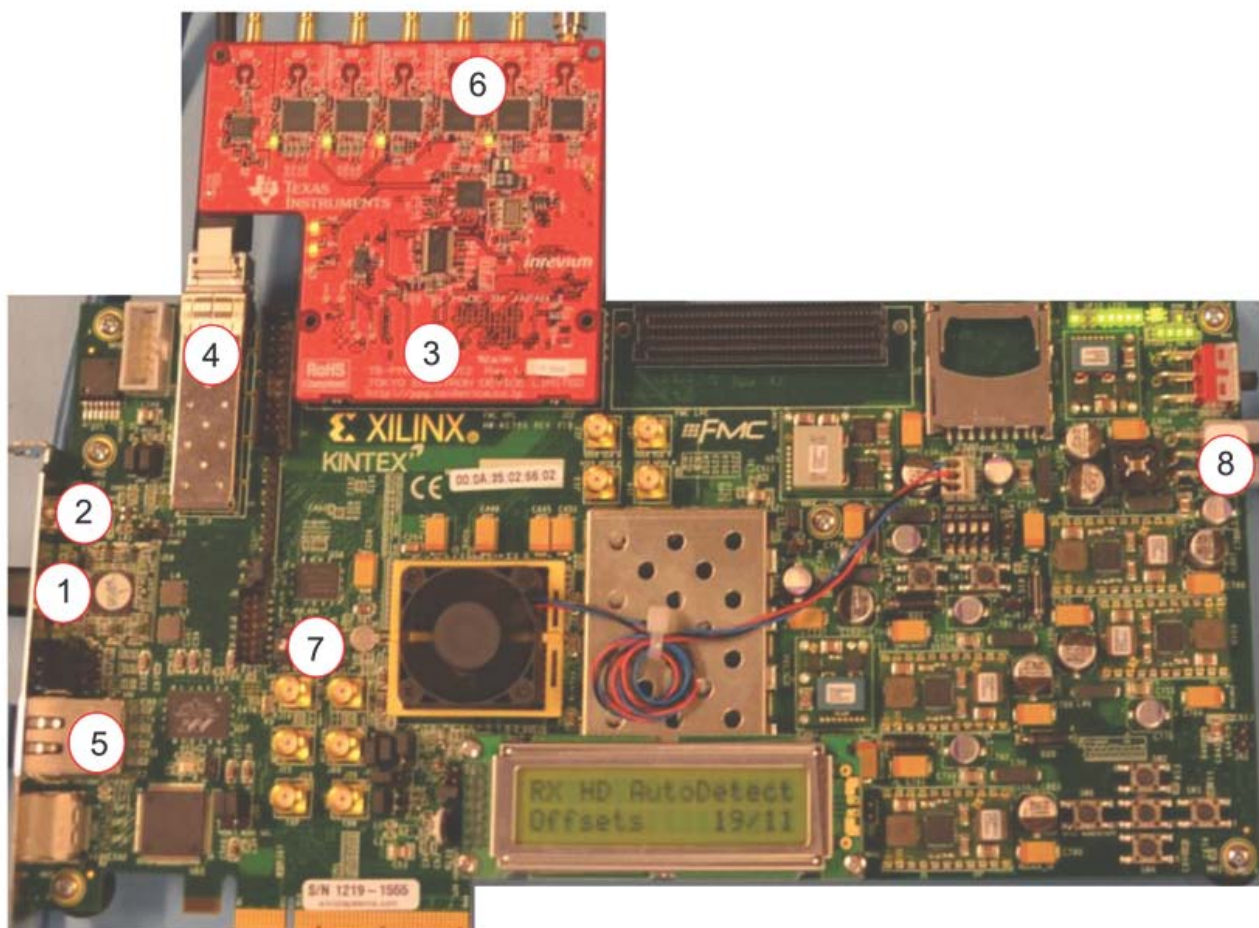
ハードウェア上でのリファレンス デザインの実行

このセクションでは、ハードウェアでリファレンス デザインを実行する手順について説明します。このリファレンス デザインは、[図 6](#) と [図 7](#) に示す KC705 および TED SDI FMC ボード上で実行されます。



X1169_06_041913

図 6 : Video over IP システムのセットアップ



X1169_07_041913

図 7 : KC705 および TB-FMCH-3GSDI2 ボード

これら手順のかつこ内の番号は図 7 に示す番号に対応しています。

1. USB ケーブルをホスト PC から USB JTAG ポート (1) に接続します。適切なデバイスドライバーがインストールされていることを確認してください。
2. 別の USB ケーブルをホスト PC から USB UART ポート (2) に接続します。USB-UART ドライバーがインストールされていることを確認します。
3. TB-FMCH-3GSDI2 ボードを KC705 ボードの FMC HPC コネクタ (3) に接続します。
4. SFP+ ケーブルの一端 (4) を Video over IP トランスミッター ボードに接続し、もう一方の端を Video over IP レシーバー ボードに接続します。
5. Cat.5e ケーブルの一端 (5) を Video over IP トランスミッター ボードの RJ45 コネクタに接続し、もう一方の端を Video over IP レシーバー ボードの RJ45 コネクタに接続します。
6. KC705 ボードが Video over IP レシーバーの場合、SDI TX ポート 1 ~ 4 (6) を SDI ビデオ モニターに接続します。そうでない場合は、それらを未接続のままにします。
7. KC705 ボードが Video over IP トランスミッターの場合、SDI RX ポート 1 ~ 4 (6) を SDI ビデオ ジェネレーターに接続します。そうでない場合は、それらを未接続のままにします。
8. J17 スイッチを JTAG モード (00101) に設定します (7)。
9. KC705 ボードの電源をオンにします (8)。

10. KC705 ボードの電源をオンにします。
11. ホスト PC 上で、次の設定でハイパーターミナルなどのターミナルプログラムを開始します。
 - ボーレート : 115200
 - データビット : 8
 - パリティ : なし
 - ストップビット : 1
 - フロー制御 : なし
12. iMPACT や ChipScope™ アナライザーなどで、BIT ファイルを使用して両方の FPGA をプログラムします。
13. GPIO LED は次のようになります。
 - 両方のボード上の led (0) : DDRInitDone。これが点灯した場合、DDR コントローラーがキャリブレーションされて、動作可能であることを示します。
 - TX ボード上のみの led (3) ~ (1) : JPEG2000 の圧縮レート。図 9 に示すように、圧縮レートメニューの 4 番目がデフォルトのレート値 (100kB) であるため、起動時は「011」になります。

ハードウェアとソフトウェアの実行結果

ソフトウェア インターフェイスは、XAPP896 [参照 3] で説明されているものと同じですが、JPEG2000 Encoder のレートを対話的に設定するために、オプションが 1 つ追加されています。レシーバー ボード用のソフトウェアは、変更されていません。図 8 に、ハイパーターミナル画面での Video over IP TX 出力の表示を示します。

```
Xilinx Inc.  
V_SMPTE2022_56_TX Reference Design  
Created: April 11, 2012  
Copyright (c) 2012 Xilinx, Inc.  
All rights reserved.  
  
VoIP TX Reset  
VoIP TX Initializing...  
IP Address: 192.168.0.100  
MAC Address: 0-0-0-0-AA  
All VoIP TX channels enabled  
VoIP TX Initialization done  
  
Enabling Channel 1  
Initializing Channel 1  
Dest IP Addr: 192.168.0.50  
Source Port: 16  
Dest Port: 16  
SSRC: 0x12345600  
FEC Size: 77x77  
FEC: Off  
Channel 1 Initialization Done  
  
Enabling Channel 2  
Initializing Channel 2  
Dest IP Addr: 192.168.0.50  
Source Port: 32  
Dest Port: 32  
SSRC: 0x12345610  
FEC Size: 77x77  
FEC: Off  
Channel 2 Initialization Done  
  
Enabling Channel 3  
Initializing Channel 3  
Dest IP Addr: 192.168.0.50  
Source Port: 48  
Dest Port: 48  
SSRC: 0x12345620  
FEC Size: 77x77  
FEC: Off  
Channel 3 Initialization Done  
  
-----  
-- VoIP TX Main Menu --  
-----  
  
Select option  
1 = Reset SMPTE Core  
2 = Initialize SMPTE Core  
3 = Configure SMPTE Channel  
4 = Change JPEG2000 rate  
q = exit  
? = help  
-----
```

図 8 : VoIP_TX のハイパーターミナル出力

ハイパーターミナル画面 (図 8) に表示される次の 5 つのオプションから、1 つを選択できます。

1. SMPTE コアのリセット (Reset SMPTE Core)
2. SMPTE コアの汎用空間レジスタの初期化 (Initialize SMPTE Core general space registers)
3. SMPTE チャンネルの設定 (Configure SMPTE Channel)
4. JPEG2000 レートの変更 (Change JPEG2000 rate)
- q. ソフトウェア アプリケーションの終了 (Exit software application)
- ? . 現在のメニューを表示 (Display current menu)

4 番目のオプションは、JP2K 圧縮ストリームのサイズ (1 画像あたりのバイト数) を変更します。このサイズは、レシーバーの SDI 出力に表示される画像の品質に直接影響します。圧縮サイズを最小にすると、出力の品質は最低になります。

```
>4
Select rate (bytes per compressed file)
0 = 5 kB
1 = 20 kB
2 = 50 kB
3 = 100 kB
4 = 200 kB
5 = 400 kB
m = Main Menu
-----
>
```

図 9 : [Change JPEG2000 rate] を選択した場合の VoIP_TX のハイパーターミナル出力

6 つの圧縮サイズから 1 つを選択するか、メインメニューに戻ることができます。4 番目の値 (1 つの圧縮ファイルあたり 101042 バイト) が、デフォルト値です。

ハードウェアの構築

プロジェクトを再構築する前に、SMPTE 2022-5/6 Video over IP Transmitter および Receiver コア、10-Gigabit Ethernet PCS/PMA、10-Gigabit Ethernet MAC、Tri-Mode Ethernet MAC のライセンスがインストールされていることを確認してください。implementation/ の下にある buildfpga.sh シェル スクリプトを実行して、プログラミング ファイルを生成します。スクリプトは、このディレクトリから実行する必要があります。

リファレンス
デザイン

表 3 に、リファレンス デザインの詳細を示します。

表 3：リファレンス デザインの詳細

| パラメーター | 説明 |
|---|---|
| 全般 | |
| 開発者 | Jean-François Marbehant、Virginie Brodeoux |
| ターゲット デバイス (ステッピング レベル、ES、プロダクション、スピード グレード) | Kintex-7 FPGA |
| 使用可能なソース コード | BA317 Memory Controller、JPEG2000 Encoder および Decoder、ザイリンクス LogiCORE IP コアのネットリストが提供されます。 その他は、ソース コードとして提供されます。 |
| ソース コードの形式 | VHDL および Verilog |
| 既存のリファレンス デザイン、アプリケーション ノート、サードパーティ、CORE Generator™ ツールからデザインへのコード/IP の使用 | EDK および CORE Generator システムで生成されたコア |
| CORE Generator システム | CORE Generator システム |
| シミュレーション | |
| 論理シミュレーションの実施 | N/A |
| タイミング シミュレーションの実施 | N/A |
| 論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用 | N/A |
| テストベンチの形式 | N/A |
| 使用したシミュレータ/バージョン | N/A |
| SPICE/IBIS シミュレーションの実施 | N/A |
| インプリメンテーション | |
| 使用した合成ツール/バージョン | XST 14.2 |
| 使用したインプリメンテーション ツール/バージョン | ISE Design Suite : System Edition 14.2 |
| スタティック タイミング解析の実施 | あり |
| ハードウェア検証 | |
| ハードウェア検証の実施 | あり |
| 使用したハードウェア プラットフォーム | Kintex-7 FPGA 評価キット |

デザインの特性

リファレンス デザインは、ISE Design Suite : System Edition 14.2 を使用して、Kintex-7 FPGA (XC7K325T-2FFG900CFPGA) にインプリメントされます。Video over IP TX および RX プラットフォームで使用されるリソースを、サマリ レポートに従って表 4 にまとめます。

表 4: リソース使用状況

| プラットフォーム | LUT | I/O | RAMB36E1 | RAMB18E1 |
|----------|-----------------------------|-------------------|-------------------|-------------------|
| TX | 203,800 のうち 96,752 (47%) | 500 のうち 184 (36%) | 445 のうち 285 (64%) | 890 のうち 149 (16%) |
| RX | 203,800 のうち 75,315 (36%) | 500 のうち 181 (36%) | 445 のうち 230 (51%) | 890 のうち 184 (20%) |

まとめ

このアプリケーション ノートでは、さまざまなザイリンクス IP コアと JPEG2000 コアを組み合わせた Video over IP ネットワーク システムについて説明しました。

ここでは、複数の SDI ストリームをカプセル化して 10Gb/s イーサネット リンク経由で転送し、カプセル化を解除する、SMPTE 2022-5/6 Video over IP コアの機能を示しました。3 つの 3G-SDI ビデオを使用した場合、イーサネット帯域幅の使用率は 90% を超えています。このデザインでフォワード エラー訂正 (FEC) エンジンを実効にすると、ネットワーク上で何らかのエラーが発生してもイーサネット パケットをある程度まで回復できます。また、JPEG2000 を使用して同じストリームを圧縮し、1Gb/s を超えるイーサネット ケーブルで転送できることを示しました。

参考資料

このアプリケーション ノートでは、次の参考資料が使用されています。

1. [SMPTE2022-5/6 Video Over LogiCORE IP コアの製品ページ](#)
2. [Kintex-7 FPGA KC705 評価キットの製品ページ](#)
3. 『Kintex-7 FPGA でフォワード エラー訂正を利用して IP ネットワークで高ビット レートの SMPTE2022-5/6 メディア トランスポートを実現』(XAPP896, v1.0)
4. 『SMPTE SDI 製品ガイド v2.0』(PG071)
5. [10 Gigabit Ethernet Media Access Controller \(10GEMAC\) の製品ページ](#)
6. [Barco Silex BA110 JPEG 2000 multichannel HD/DCI encoder の製品ページ](#)
7. [Barco Silex BA109 JPEG 2000 multichannel HD/DCI decoder の製品ページ](#)
8. [Barco Silex BA317 Multi-port external memory controller の製品ページ](#)
9. デザイン ファイルへのリンク ([zip file](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

| 日付 | バージョン | 内容 |
|-----------------|-------|---|
| 2013 年 4 月 30 日 | 1.0 | 初版 |
| 2013 年 7 月 8 日 | 1.1 | <ul style="list-style-type: none"> • いくつかの参考資料を削除および更新。 • 図 8 および図 9 を更新。 • ラウンジおよびデザイン ファイルへのリンクを追加。 • 「ハードウェア上でのリファレンス デザインの実行」セクションに手順 13 を追加。 |
| 2013 年 7 月 10 日 | 1.2 | <ul style="list-style-type: none"> • 図 9 を拡大。 • 「ハードウェアの構築」セクションのテキストを新しいテキストに置き換え。 |

Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO:(I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY.CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.2) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、
jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。