



XAPP1184 (v1.0) 2013 年 11 月 1 日

Gen2 x8 コンフィギュレーションの Integrated PCI Express Endpoint Block を使用する PIPE モード シミュレーション

著者 : K. Murali Govinda Rao, A. V. Anil Kumar

概要

PCI Express® などの高速シリアル プロトコルを伴うデザインの検証プロセスは、非常に複雑で時間がかかります。一般的な検証プロジェクトでは、検証プロセスの複雑性を軽減して実際のシミュレーション時間を短縮するために、サードパーティのバス ファンクショナル モデル (BFM) を利用します。

ギガビット トランシーバー (GT) が複雑であることが原因となって、シミュレーションを実行するプロセッサ サイクル数が増加し、シミュレーション時間が大幅に増加します。しかも、通常の GT は上位層の PCI Express レイヤーのビヘイビアにほとんど影響を及ぼしません。これらを踏まえて、検証プロジェクトの多くではほとんどの検証段階で GT をバイパスし、プロジェクトの最終段階でデザインを検証する場合のみ GT を含めてシミュレーションするようになりました。

PCI Express ブロックと GT 間のインターフェイス仕様 (PIPE - PHY Interface for PCI Express) は、PCISIG によって維持管理されています。ほとんどの PCI Express BFM では、検証するデバイスをシリアル インターフェイスへ接続する代わりに PIPE インターフェイスへ接続できるため、事実上トランシーバーをバイパスしてシミュレーション時間を大幅に短縮できます。

このアプリケーション ノートは、x8 Gen2 エンドポイントとして動作するザイリンクス 7 シリーズに統合された PCI Express ブロックに、Avery Design Systems 社の PCI-Xactor BFM をルート コンプレックスとして統合する方法について説明します。ここで説明する Avery Design Systems 社製 PCI-Xactor BFM v1.0 の機能はごく限られています。その他の使用方法については、Avery Design Systems 社 [参照 4] へお問い合わせください。

はじめに

PIPE (PHY Interface for the PCI Express Architecture) の目的は、機能的に同じ PCI Express PHY の開発を可能にすることにあります。PCI Express PIPE 2.0 の仕様 [参照 1] には、PIPE 準拠の PHY に組み込むべき機能の定義、および PHY と一般的な PCI Express ブロックに含まれるメディア アクセス レイヤー (MAC) との間の標準的なインターフェイスの定義が記載されています。

このアプリケーション ノートでは、Avery Design System 社製 PCI X-actor BFM (ルート コンプレックス モード) の PIPE インターフェイスとザイリンクスの 7 Series FPGAs Integrated PCI Express Endpoint Block の PIPE インターフェイスを接続する方法について説明します。適切なオプションを使用して設定すると、ザイリンクスの PCI Express Endpoint コアの最上位に PIPE ポートが含まれます。これらのポートを X-actor RC BFM へ接続することによって、GT をバイパスしたシミュレーションが可能になります。

このアプリケーション ノートでは、Avery Design Systems 社製 X-actor BFM への接続について説明しますが、この内容は PIPE インターフェイスを介して別のサードパーティ BFM をザイリンクスの PCI Express Endpoint Block へ接続する際のモデルとしても役立ちます。

PIPE の使用モデル

PCI Express PIPE 2.0 の仕様 [参照 1] に、複数レーン デザインで複数の PIPE を結合する場合について記載されています。PIPE モードのシミュレーションでは、ルート コンプレックス (RC) とする Avery Design Systems 社製の BFM と、Gen2 レートで動作する 8 レーン デザイン向けのザイリンクス Integrated PCI Express Endpoint Block (EP) のモデルを使用します (図 1 参照)。共有信号および各レーンの信号の詳細は、PCI Express PIPE 2.0 の仕様 [参照 1] を参照してください。

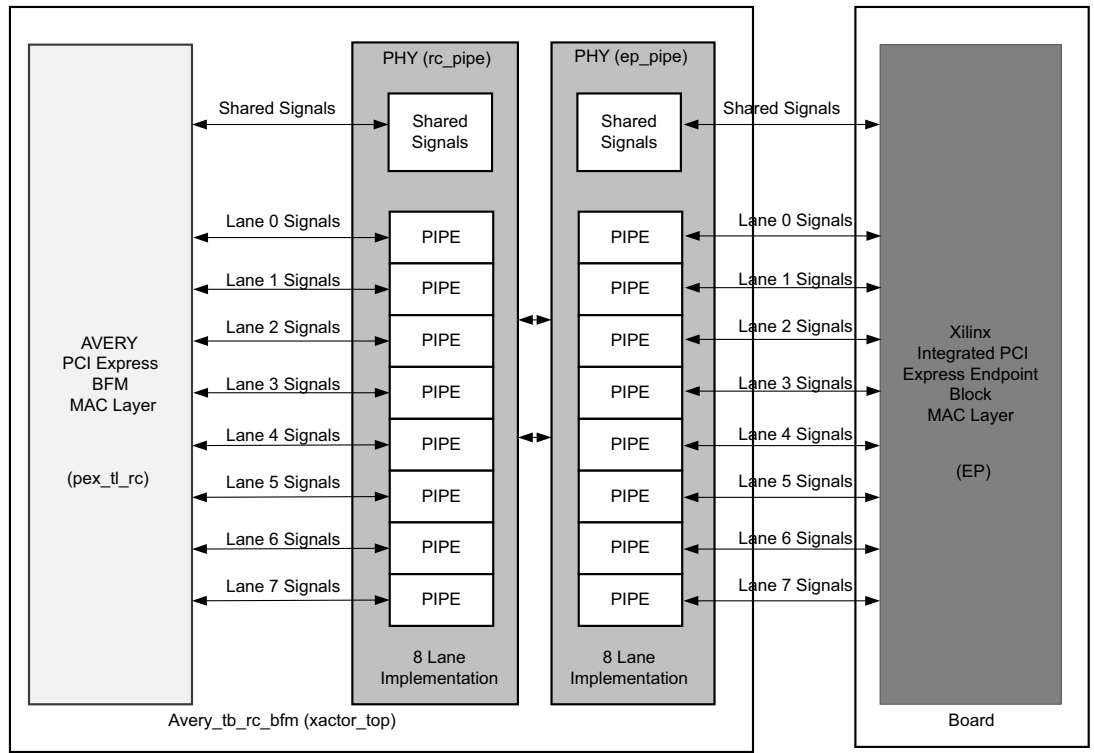


図 1: ブロック図

ザイリンクスの Endpoint PIPE ポートの説明

ザイリンクスの EP をインスタンス化した場合の PIPE 信号は、コアの最上位にあるバスに含まれます。各レーンには 1 つの入力バス (pipe_rx_0_sigs[24:0]、pipe_rx_1_sigs[24:0]...) と 1 つの出力バス (pipe_tx_0_sigs[22:0]、pipe_tx_1_sigs[22:0]...) があります。また、コマンド、クロック、およびステータス信号 (common_commands_in[3:0]、common_commands_out[11:0]) 用の 2 つの共有バス信号があります。表 1 および表 2 に、コアの最上位に含まれる PIPE バス信号と、EP コア (pcie_top) PIPE 信号のマッピングを示します。

表 1: 共通の入力/出力コマンドと Endpoint PIPE 信号のマッピング

入力コマンド	Endpoint PIPE 信号のマッピング	出力コマンド	Endpoint PIPE 信号のマッピング
common_commands_in[0]	pipe_clk ⁽¹⁾	common_commands_out[5:0]	pl_ltssm_state
common_commands_in[1]	user_clk2 ⁽²⁾	common_commands_out[6]	pipe_tx_rcvr_det_gt
common_commands_in[2]	user_clk ⁽³⁾	common_commands_out[7]	pipe_tx_rate_gt
common_commands_in[3]	phy_rdy_n ⁽⁴⁾	common_commands_out[8]	pipe_tx_deemph_gt
		common_commands_out[11:9]	pipe_tx_margin_gt

注記:

1. pipe_clk は、veryDesign Systems 社製 BFM のクロック信号 aclk250M の位相に基づいて再生成されたクロックです。リンク速度が Gen1 の場合は pipe_clk が 125MHz、Gen2 の場合は pipe_clk が 250MHz となります。
2. user_clk2 は、ザイリンクス PCI Express Endpoint のクロックです。Gen2 x8 コンフィギュレーションでは、user_clk2 = 250MHz です。
3. user_clk は、ザイリンクス PCI Express Endpoint のクロックです。Gen2 x8 コンフィギュレーションでは、user_clk = 500MHz です。
4. phy_rdy_n 信号は、少なくとも 20ns 間アサートされる必要があります。必要なロジックは、リファレンスデザインの board.v ファイルに追加されます。

表 2 : 入力/出力バスと Endpoint コアの PIPE 信号へのマッピング

入力バス	Endpoint PIPE 信号のマッピング	出力バス	Endpoint PIPE 信号のマッピング
pipe_rx_0_sigs[15:0]	pipe_rx0_data_gt	pipe_tx_0_sigs[15:0]	pipe_tx0_data_gt
pipe_rx_0_sigs[17:16]	pipe_rx0_char_is_k_gt	pipe_tx_0_sigs[17:16]	pipe_tx0_char_is_k_gt
pipe_rx_0_sigs[18]	pipe_rx0_valid_gt	pipe_tx_0_sigs[18]	pipe_rx0_polarity_gt
pipe_rx_0_sigs[19]	pipe_rx0_chanisaligned_gt	pipe_tx_0_sigs[19]	pipe_tx0_compliance_gt
pipe_rx_0_sigs[22:20]	pipe_rx0_status_gt	pipe_tx_0_sigs[20]	pipe_tx0_elec_idle_gt
pipe_rx_0_sigs[23]	pipe_rx0_phy_status_gt	pipe_tx_0_sigs[22:21]	pipe_tx0_powerdown_gt
pipe_rx_0_sigs[24]	pipe_rx0_elec_idle_gt		

Avery Design Systems 社製 BFM の PIPE ポートの説明

ザイリンクス PCI Express Endpoint Block の PIPE ポートは、Avery Design Systems 社製 BFM の PIPE ポートへ接続する必要があります。これらは、ザイリンクス EP のシミュレーション用最上位ファイル (board.v) で階層別に接続できますが、ザイリンクス EP を最上位ラッパー (avery_tb_rc_bfm) へ直接インスタンスエートして接続することも可能です。表 3 に、Avery Design Systems 社製 BFM とザイリンクス Endpoint コア間で対応している信号を示します。

表 3 : Avery Design Systems 社製 BFM ポートのマッピング

Avery 社製 BFM のポート名	Endpoint コアの PIPE 信号名	バス PIPE ポート名
aTxDetectRx	pipe_tx_rcvr_det_gt	common_commands_out[6]
aRate	pipe_tx_rate_gt	common_commands_out[7]
aTxDeemph	pipe_tx_deemph_gt	common_commands_out[8]
aTxMargin	pipe_tx_margin_gt	common_commands_out[11:9]
aclk250M ⁽¹⁾	pipe_clk	common_commands_in[0]
apipe_txd[15:0]	pipe_tx0_data_gt	pipe_tx_0_sigs[15:0]
apipe_txc[1:0]	pipe_tx0_char_is_k_gt	pipe_tx_0_sigs[17:16]
aRxPolarity[0]	pipe_rx0_polarity_gt	pipe_tx_0_sigs[18]
aTxCompliance[0]	pipe_tx0_compliance_gt	pipe_tx_0_sigs[19]
aTxElecIdle[0]	pipe_tx0_elec_idle_gt	pipe_tx_0_sigs[20]
aPowerDown	pipe_tx0_powerdown_gt	pipe_tx_0_sigs[22:21]
apipe_rxd[15:0]	pipe_rx0_data_gt	pipe_rx_0_sigs[15:0]
apipe_rxc[1:0]	pipe_rx0_char_is_k_gt	pipe_rx_0_sigs[17:16]
aRxValid[0]	pipe_rx0_valid_gt	pipe_rx_0_sigs[18]
aRxStatus[2:0]	pipe_rx0_status_gt	pipe_tx_0_sigs[22:20]
aPhyStatus	pipe_rx0_phy_status_gt	pipe_tx_0_sigs[23]
aRxElecIdle[0]	pipe_rx0_elec_idle_gt	pipe_tx_0_sigs[24]
	pipe_rx0_chanisaligned_gt ⁽²⁾	pipe_rx_0_sigs[19]
	pl_ltssm_state ⁽²⁾	common_commands_out[5:0]

注記 :

1. リンク速度が Gen2 の場合、aclk250M は 125MHz から 250MHz へ変更されることが予想されます。
2. これらの信号は無視できます。

テストベンチの統合

ザイリンクスの Integrated PCI Express Endpoint Block に Avery Design Systems 社製 BFM を統合する手順は、次のとおりです。

1. Avery Design System 社の BFM キットおよびこのアプリケーション ノートのリファレンス デザインをダウンロードします。詳細は、「[ライブラリおよびリファレンス デザイン ファイル](#)」を参照してください。ファイルの解凍には `tar xzf <tarfile>` を使用します。BFM キットに関しては、`avery_bfm_kit` の下の README ファイルにある Avery Design Systems BFM の統合手順に従って、環境変数とパスを設定し、シミュレーション手順を実行します。
2. ザイリンクスの Vivado® 統合設計環境で、Gen2 PCI Express ブロックを備えるデバイスをターゲットとした新規デザインを作成します。KC705 ボードをターゲットに指定し、Vivado の [Project Settings] で言語を [Verilog] に設定します。
3. Flow Navigator で [IP Catalog] を選択します。
4. [7 Series Integrated Block for PCI Express] を選択して、PCI Express コアをカスタマイズします。
5. 次のように設定をカスタマイズします。
 - Link width = X8
 - Link speed = 5.0 GT/s
 - [Enable External PIPE Interface] = オン

注記：Gen2 モード動作用にコアをカスタマイズする場合の詳細は、『7 Series FPGAs Integrated Block for PCI Express 製品ガイド』(PG054) [\[参照 2\]](#) を参照してください。

また、Vivado Design Suite のロジック シミュレーション ツールを使用する場合の詳細は、『Vivado ユーザー ガイド : ロジック シミュレーション』(UG900) [\[参照 3\]](#) を参照してください。

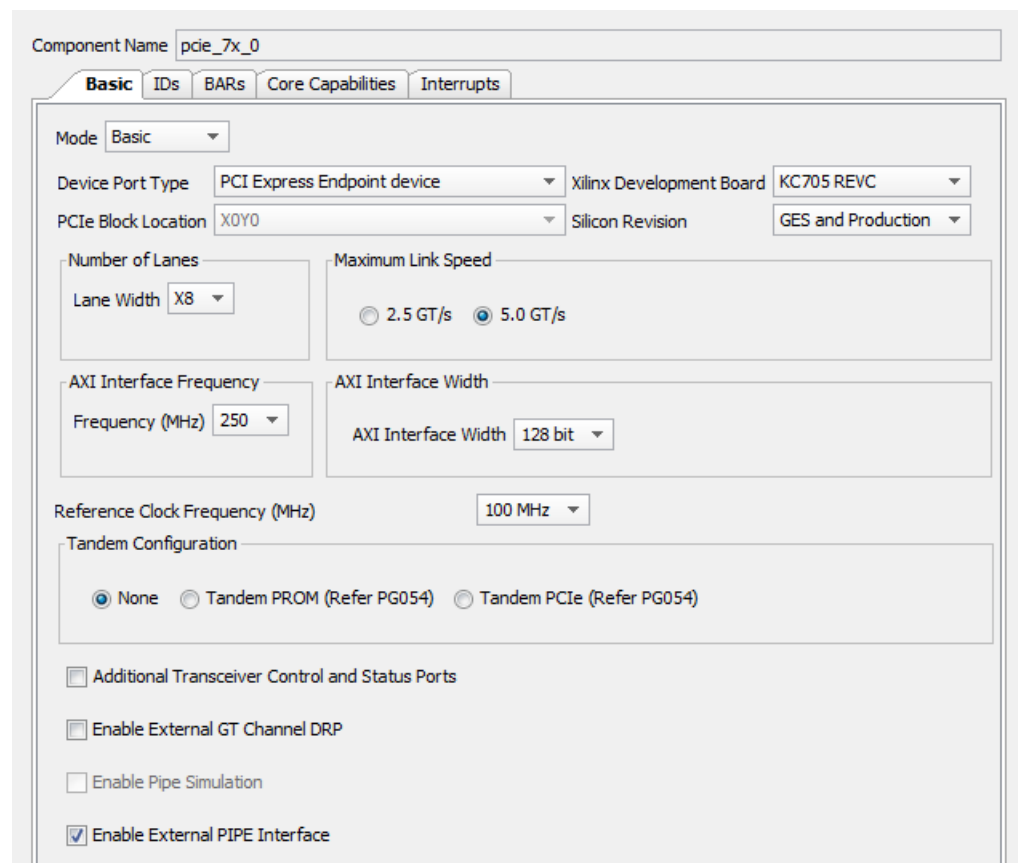


図 2 : カスタマイズ オプションの設定

6. PCIe IP が生成されたら、IP を右クリックして [Open IP Example Design] をクリックします。

7. シミュレーションの [Project Settings] でターゲット シミュレータとして [QuestaSim] を選択します。
8. Flow Navigator で [Run Simulation] を選択します。
9. PIPE モード シミュレーションでザイリンクス RP とザイリンクス EP を実行するために、VSIM コンソールに `run -all` コマンドを入力します。
10. ザイリンクスのサンプル デザインのシミュレーション ディレクトリ (`../sim_1/behav/`) にある `board.do` ファイルで、Avery Design Systems 社製 BFM キットの READ ME ファイルに記載されている手順に従い、`vsim` コマンドに Avery Design Systems 社のコンパイル済みシミュレーション ライブラリを追加します。
11. `board.do` ファイルに `copy` コマンドを追加し、Avery 社のコンパイル済みライブラリをシミュレーション ディレクトリ (`/sim_1/behav/`) へコピーします。詳細は、Avery 社の README ファイルを参照してください。
12. `board.v` ファイルを開き、表 1、表 2、表 3 に示したように、ザイリンクスの EP と Avery 社の RC BFM 間の PIPE 信号を接続します。ザイリンクスの RP および `phy_sig_gen` モジュールのインスタンスエーションをコメントアウトします。
13. `board.v` ファイルで、`apipe_reset` 信号を `sys_rst_n` 信号へ接続し、`phy_rdy_n` 信号を生成します。この信号は、少なくとも 20nm 間以上のアサートが必要です。
14. `sys_clk_gen_ds.v` ファイルの Avery Design Systems 社製 BFM のクロック (`ac1k250M`) に基づいて、位相が揃った (`posedge`) `pipe_clk`、`clk_250_mhz` (`user_clk2`)、および `clk_500_mhz` (`user_clk`) クロックを生成します。
15. `board.v` ファイルで、これらのクロックを出力ポートとして追加し、`sys_clk_gen_ds.v` インスタンスエーションを更新します。

シミュレーションの実行

シミュレーションの実行手順は次のとおりです。

1. ザイリンクスの EP コアによって生成されたシミュレーション ディレクトリ (`sim_1/behav/`) へ移動し、`avery_bfm_kit` ディレクトリを `sim_1/` ディレクトリへコピーします。
2. 環境変数 `$AVERY_BFM_KIT` を `avery_bfm_kit` ディレクトリ パスに設定します。各自の要件に基づいて、Avery Design Systems 社の 32 ビットまたは 64 ビットのコンパイル済みライブラリ `avery_bfm_kit` を使用します。
3. `vsim` コマンド `vsim -do board.do` を使用して `board.do` を実行し、Gen2 x8 のリンク アップ (LTSSM ステータス) を確認します。

シミュレーション中に `sim_1/behav/` に作成された次のログ ファイルには、問題の解析やデバッグに役立つ情報が記載されています。

- `simulation.log` : シミュレーション サマリ (リンク アップ、BIOS 一覧、メモリ書き込み/読み出しテストの結果) 情報が記載されています。
- `transcript` : `board.do` に含まれているデザイン ファイルのリストの詳細が記載されています。
- `rc1_symbol_tracker.txt` : TS1、TS2、SKP、SDP、STP、ACK、NAK、および対応する LTSSM の状態変化など、Avery Design Systems 社製 RC BFM の TX/RX レーンにおける PLP、DLLP、TLP の送受信情報がシンボル形式で記載されています。
- `root_complex1_new.track` および `root_complex1.track` : DLLP および Avery Design Systems 社製 RC BFM の TLP パケットの詳細 (ヘッダー詳細、アドレス、データ、LTSSM の状態変化) が記載されています。

シリアルモードと PIPE モードの比較

表 4 に、Gen2 x8 コンフィギュレーションにおけるシリアルモードと PIPE モードのシミュレーション時間の違いを示しています。これらの結果は、デザインにザイリンクス トランシーバーが含まれていることが前提です。

注記：ザイリンクス トランシーバーは、シリアルモードのシミュレーションでのみ使用され、PIPE モードのシミュレーションではバイパスされます。

表 4：シリアルモードと PIPE モードのシミュレーション時間の違い⁽¹⁾

Gen2 x8 コンフィギュレーション	シミュレーション時間	実測時間
シリアルモード シミュレーション (ザイリンクス EP とザイリンクス RP) リンク アップ (L0)、コンフィギュレーション、単一のメモリ 書き込み/読み出しトランザクションを含む	114 マイクロ秒	36 分
PIPE モード シミュレーション (ザイリンクス EP と Avery 社製 RP) リンク アップ (L0)、コンフィギュレーション、複数のメモリ 書き込み/読み出しトランザクションを含む	60 マイクロ秒	3 分

注記：

- ここに示す数値は、一般的なザイリンクス サーバーで Mentor Graphics 社製 Questa® SIM シミュレータを使用して取得した値です。使用するサーバー設定やシミュレータによって、多少の誤差が生じる可能性があります。

制限

ザイリンクスは、Avery Design Systems 社製 RC BFM キットを使用して PIPE モードのシミュレーションを評価しましたが、その他サードパーティの RC BFM も使用可能です。このアプリケーション ノートでは、Gen3 x8 コンフィギュレーション、Verilog HDL、Questa SIM 10.2a シミュレータをターゲットとしています。また、この内容はザイリンクス Vivado 2013.3 またはそれ以降のバージョンでサポートされます。

Avery Design Systems 社製 BFM キットのご利用に関しては、Avery Design Systems 社 [参照 4] へお問い合わせください。

まとめ

PIPE モードのシミュレーションは、複雑な PCI Express アプリケーションを検証する際にシミュレーション時間を短縮できる大変効果的な方法です。このアプリケーション ノートでは、シミュレーション時間の短縮およびシリアルモードと PIPE モードの違いを重点的に説明しています。また、Avery Design Systems 社製 RC BFM とザイリンクス EP コアの統合手順についても簡単に述べました。ここでは、PCIE アプリケーションの検証サイクルを加速させるために、これらの変更をユーザー デザインへ組み入れる手順についても解説しています。

参考資料

このアプリケーション ノートで言及した参考資料の一覧を次に示します。

- PHY Interface for the PCI Express* (PIPE) の仕様 (www.intel.com)
- 『Xilinx LogiCORE IP 7 Series FPGAs Integrated Block for PCI Express 製品ガイド』(PG054)
- 『Vivado Design Suite ユーザー ガイド：ロジック シミュレーション』(UG900)
- [Avery Design Systems 社のウェブ サイト](http://www.averydesign.com)

ライブラリおよびリファレンス デザイン ファイル

Avery Design Systems 社のライブラリ

このアプリケーション ノートで使用している Avery Design Systems 社製 BFM キット (v1.0) は、<http://demokit.avery-design.com/> から入手できます。

リファレンス デザイン ファイル

このアプリケーション ノートのリファレンス デザイン ファイル (ZIP) は、次のリンクからダウンロードできます。

- <https://secure.xilinx.com/webreg/clickthrough.do?cid=351708>

表 5：リファレンス デザインの詳細

パラメーター	説明
全般	
開発元	ザイリンクス
ターゲット デバイス	7 シリーズ
ソース コードの提供	あり
ソース コードの形式	Verilog
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、Vivado ツール、サードパーティからデザインへのコード/IP の使用	あり
シミュレーション	
論理シミュレーションの実施	あり
タイミング シミュレーションの実施	なし
論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用	あり
テストベンチの形式	Verilog
使用したシミュレータ/バージョン	Questa SIM 10.2a
SPICE/IBIS シミュレーションの実施	N/A
インプリメンテーション	
使用した合成ツール/バージョン	N/A
使用したインプリメンテーション ツール/バージョン	N/A
スタティック タイミング解析の実施	N/A
ハードウェア検証	
ハードウェア検証の実施	N/A
使用したハードウェア プラットフォーム	N/A

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013 年 11 月 01 日	1.0	初版

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other

theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。