



XAPP1194 (v1.0) 2013 年 12 月 18 日

# フォワード エラー訂正機能を備えた SMPTE 2022-1/2 CBR MPEG2 over IP

著者 : Muhammad Ilias Mohamed Ibrahim、Gilbert Magnaye

## 概要

このアプリケーション ノートでは、LogiCORE™ IP SMPTE 2022-1/2 Video over IP Transmitter/Receiver コアの性能、特長を活かした Video over IP ネットワーク システムを設計する際の考察事項について説明します [参照 1]。このデザインは、フォワード エラー訂正 (FEC) 機能を備えたデュアル ギガビット イーサネット リンク上の CBR (Constant Bit Rate) MPEG2 トランスポート ストリーム (TS) を実現しています。ソフトウェア アプリケーションは、ザイリンクス SMPTE 2022 リファレンス デザイン フォーマットに基づいています。

このリファレンス デザインには、トランスミッター プラットフォームとレシーバー プラットフォームの 2 つが含まれます。いずれのプラットフォームも、ザイリンクス提供の DVB-ASI ブロックを使用し、Inrevium TB-FMCH-3GSDI2A 3G/HD/SD-SDI メザニン カードの SDI ポートを用いてシリアル ビデオ ストリームを受信または送信します。送信トランザクションでは、DVB-ASI ブロックは、受信したシリアル ビデオ ストリームを、SMPTE 2022-1/2 Video over IP Transmitter コアに送られる AXI4 インターフェイス ストリームに変換します。受信トランザクションでは、DVB-ASI ブロックは、SMPTE 2022-1/2 Video over IP Receiver コアから受け取った AXI4 インターフェイス ストリームを、SDI ポートから送信される ASI ストリームに変換します。

送信プラットフォーム側では、入力される AXI4 インターフェイス ビデオ ストリームは、SMPTE 2022-1/2 Video over IP Transmitter コアによって、ユーザーが設定した IP データグラム パケットに多重化およびカプセル化され、Inrevium TB-FMCL-GLAN-B デュアル ギガビット イーサネット PHY メザニン カードへのインターフェイスとなる Tri-Mode Ethernet MAC v8.0 コア [参照 2] によって送信されます。送信されたパケットは、1G イーサネット ケーブルで受信プラットフォームに転送されます。

受信プラットフォーム側では、Tri-Mode Ethernet Ethernet MAC コアでイーサネット データグラム パケットを収集します。SMPTE 2022-1/2 Video over IP Receiver コアは、選択された RTP ヘッダー上でユーザーが設定したパラメーターに基づいてデータグラムをフィルターし、データグラム パケットのカプセル化と多重化を解除して個々のストリーム (チャンネル) に戻し、ASI ポートからの送信用にストリームを DVB-ASI ブロックに出力します。

イーサネット データグラム パケットは、送信プラットフォームと受信プラットフォームの両方で DDR3 SDRAM でバッファされます。DDR トラフィックは、AMBA® (Advanced Microcontroller Bus Architecture) AXI (Advanced eXtensible Interface) インターコネクタを経由して、Kintex®-7 FPGA 上の AXI4 メモリ コントローラーに送られます。このデザインには、コアの初期化とプラットフォーム全体のステータスの読み出し用に MicroBlaze™ プロセッサが含まれています。

このリファレンス デザインは、Kintex-7 XC7K325T-2FFG900 FPGA [参照 3]、Inrevium TB-FMCH-3GSDI2A [参照 4] メザニン カード、および TB-FMCL-GLAN-B [参照 5] メザニン カードを使用するザイリンクス Kintex-7 FPGA KC705 評価キットをターゲットとしています [参照 6]。

## 含まれるシステム

リファレンス デザインは、Vivado® Design Suite System Edition 2013.4 を使用して作成および構築されています。デザインには、ザイリンクスのソフトウェア開発キット (SDK) 2013.4 を使用して構築されたソフトウェアも含まれます。このソフトウェアは、MicroBlaze プロセッサ サブシステムで実行され、制御機能とステータス機能をインプリメントします。このアプリケーション ノートでは、Vivado Design Suite および SDK 用の完全なプロジェクト ファイルが提供されており、これらをデザインの検査および再構築に活用したり、新規デザインのテンプレートとして使用することが可能です。24 ページの「リファレンス デザイン」を参照してください。

## はじめに

リファレンス デザインは、KC705 評価ボード上の無瞬断保護機能付き 1G SMPTE 2022-1/2 Video over IP コアを対象にしています。このデザインには、ASI ポートを経由してビデオ TS を受信または送信する TB-FMCH-3GSDI2A SDI メザニン カードへのインターフェイスとなる DVB-ASI ブロックが追加されています。図 1 に Video over IP システムの概要図を示します。

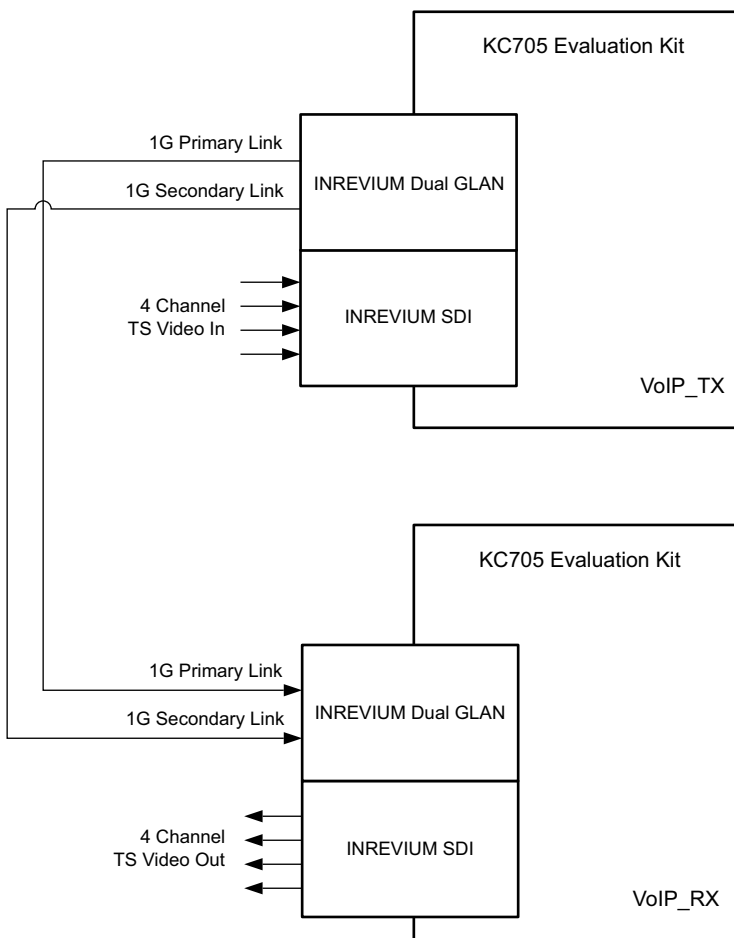


図 1 : KC705 評価ボード上の Video over IP システムの概要図

図 2 に送信プラットフォーム、図 3 に受信プラットフォームを示します。

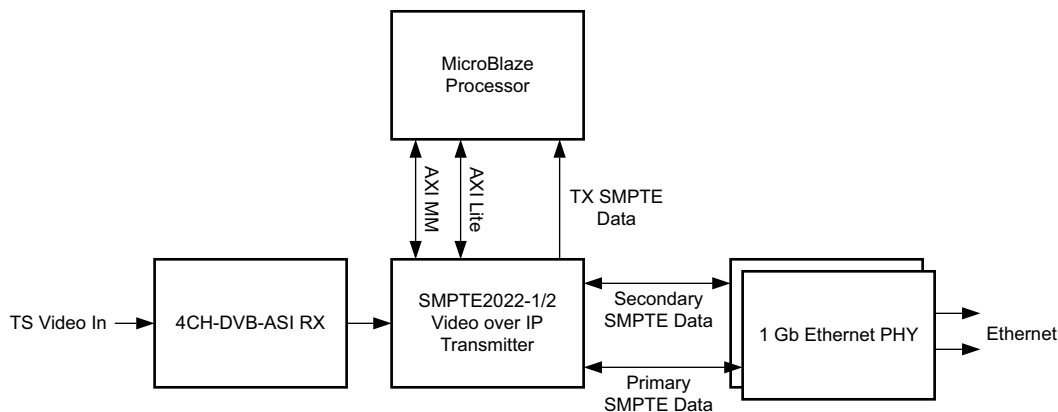


図 2 : 送信プラットフォーム

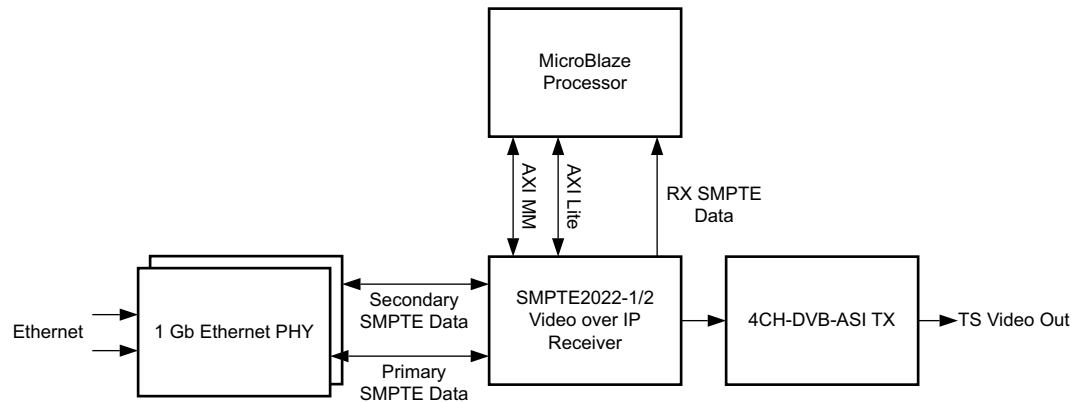


図 3 : 受信プラットフォーム

システムの高度な制御は、I/O ペリフェラルおよびプロセッサ サポート ブロックを含む簡略化されたエンベデッド **MicroBlaze** プロセッサ サブシステムが担います。システムのクロックはクロック ジェネレータが、そのリセットはプロセッサ システムのリセット ブロックが供給します。このロジックは、カスタマイズされた `axilite_bridge` コアに含まれています。図 4 に、**MicroBlaze** プロセッサ サブシステムのブロック図を示します。

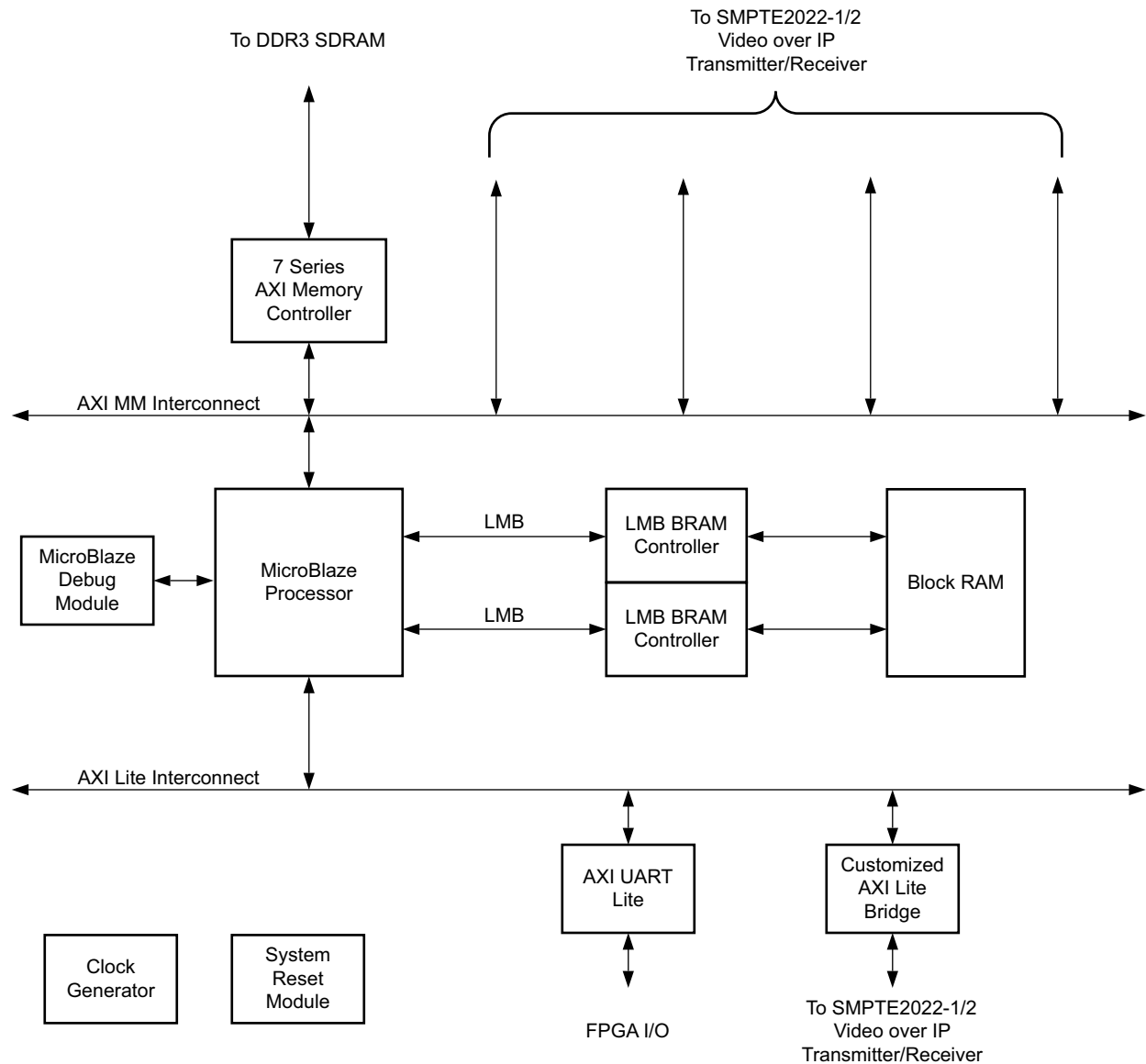


図 4 : MicroBlaze プロセッサ サブシステム

表 1 に、MicroBlaze プロセッサ サブシステムのアドレス マップを示します。

表 1 : MicroBlaze プロセッサ サブシステムのアドレス マップ

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
lmb_bram_if_ctrl	ilmb_bram_if_ctrl	0x00000000	0x0001FFFF
lmb_bram_if_ctrl	dlmb_bram_if_ctrl	0x00000000	0x0001FFFF
mig_7series	mig_1	0xC0000000	0xFFFFFFFF
axi_uartlite	axi_uartlite_1	0x40600000	0x4060FFFF
axilite_bridge	smpte2022_axilite	0x70E00000	0x70E0FFFF

## ハードウェア要件

リファレンス デザインのハードウェア要件は次のとおりです。

- ザイリンクス Kintex-7 FPGA KC705 評価キット (Rev 1.0 または 1.1) × 2
- Inrevium 3GSDI FMC コネクティビティ メザニン カード (TB-FMCH-3GSDI2A) × 2
- Inrevium 1000 Base-T イーサネット FMC コネクティビティ メザニン カード (TB-FMCL-GLAN-B) × 2
- イーサネット ケーブル
- Vivado Design Suite 2013.4
- SDK 2013.4

## リファレンス デザイン仕様

SMPTE 2022-1/2 Video over IP Transmitter/Receiver コア以外に、リファレンス デザインでは次のコアを使用しています。

- AXI4 Interconnect
- MicroBlaze Processor
- MicroBlaze Processor Debug Module
- Local Memory Bus
- LMB BRAM Interface Controller
- Block RAM
- Clocking Wizard
- Processor System Reset Module
- AXI UART Lite
- SMPTE2022 AXI4-Lite Bridge (カスタマイズ済み)
- MIG 7 Series
- Tri-Mode Ethernet MAC

## ハードウェア システム仕様

このセクションでは、リファレンス デザインの機能の概要とメイン IP ブロックの構成について説明します。

### Video over IP システム

リファレンス デザインは、放送用コネクティビティ規格とギガビット イーサネット ネットワーク間のブリッジを必要とする放送用アプリケーション向けモジュールとして、SMPTE 2022-1/2 Video over IP コアを実装しています。これらのコアは、放送現場におけるオーディオ/ビデオ データの配信/伝送の全体的なコスト削減を図るためのインターネット プロトコル ベースのシステムを開発する目的で提供されています。TS データは、SMPTE 2022-2 の定義に従ってメディア データグラム ペイロードにマップされます。システム的に生成されたフォワード エラー訂正 (FEC) の冗長データグラムは、SMPTE 2022-1 に準拠してフォーマットされます。メディアおよび FEC データグラムを IP ネットワーク上で伝送する際には、IP/UDP/RTP プロトコルの標準ヘッダーが付加されます。

システム機能を正しくサポートするには、本システムで生成されるストリームに必要とされるネットワーク帯域幅を確保する必要があります。IP/UDP/RTP および SMPTE 2022-2 のヘッダーがあるため、メディア データグラムの生成には 54 バイトのオーバーヘッドが必要です。

### SMPTE 2022-1/2 Video over IP Transmitter

リファレンス デザインの SMPTE 2022-1/2 Video over IP Transmitter は、SMPTE TS レシーバーからの TS 入力ストリームを 4 チャンnelで受け取るよう構成されています。このトランスミッターは、AXI4-Stream データ インターフェイスを経由してデュアルポート ギガビット イーサネット MAC (Tri Mode Ethernet MAC) に接続し、2つのリンク (無瞬断保護) を提供します。また、トランスミッターは AXI4-Lite 制御インターフェイスを経由して MicroBlaze プロセッサ サブシステム内のカスタマイズした IP コアにも接続しています。このトランスミッター コアは、ネイティブレジスタ アクセスをサポートしていません。そのため、レジスタ アクセス用に smpte2022\_axilite という名前のカスタマイズされた IP コアが作成されます。トランスミッター コアは、3つの AXI4 外部マスター コネクタを使用して AXI4 インターコネクト経由で DDR3 SDRAM にアクセスします。初期メモリ マップ アドレス範囲は、0xC0000000 から、FEC および RTP パケット割り当てに基づいてユーザーが指定した値までの範囲に固定されます。最大ユーザー アドレスは 0xFFFFFFFF です。

トランスミッターには AXI4-Lite インターフェイスも含まれており、コア内のパラメーターをプロセッサから動的に制御できます。レジスタの詳細は、『LogiCORE IP SMPTE 2022-1/2 Video over IP Transmitter v1.0 製品ガイド』(PG180) [参照 8] を参照してください。

レジスタには汎用空間とチャンネル空間の 2つがあります。汎用空間のパラメーターはすべてのチャンネルに適用されます。チャンネル空間のパラメーターは、該当する各チャンネルに適用されます。チャンネル空間レジスタは、それぞれのリンクおよびチャンネルに基づいてパラメーターが設定される部分と、それぞれのチャンネルにのみ基づいてパラメーターが設定される部分の 2つに分かれています。このリファレンス デザインでは 4 チャンネルがサポートされており、すべてのパラメーターは UDP デスティネーションポートによって識別され、プライマリ リンクとセカンダリ リンクは IP アドレスによって識別されます。詳細は、9 ページの「ソフトウェア構成」を参照してください。

汎用レジスタは、通常のアドレス読み出し/書き込み手順でアクセスできます。チャンネル レジスタを更新する場合は、次の手順に従います。

1. レジスタ アドレス `base_addr + 0x00C` の最上位ビットを使用して、設定するプライマリ リンクまたはセカンダリ リンクを選択します。
2. 設定するチャンネルをレジスタ アドレス `base_addr + 0x00C` で指定します。
3. チャンネル固有のレジスタを設定します。
4. レジスタ アドレス `base_addr + 0x000` のビット 1 をパルスして、チャンネル レジスタの変更を実行します。
5. 別のチャンネルまたはレジスタの設定を行う場合は、手順 1 ~ 手順 4 を繰り返します (図 5)。

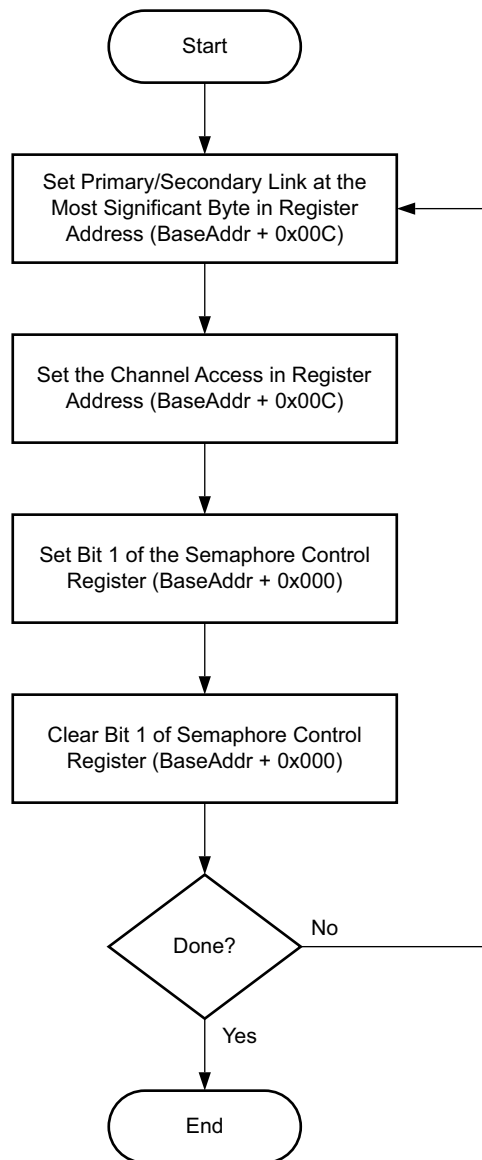


図 5 : チャネル レジスタ設定のフローチャート

## SMPTE 2022-1/2 Video over IP Receiver

リファレンス デザインの SMPTE 2022-1/2 Video over IP Receiver は、4 チャネルの TS 出力ストリームを DVB-ASI ポートに送るよう構成されています。このレシーバーは、AXI4-Stream を経由してデュアルポート ギガビット イーサネット MAC に接続し、2 つのリンク (無瞬断保護) を提供します。また、レシーバーは AXI4-Lite 制御インターフェイスを経由して MicroBlaze プロセッササブシステム内のカスタマイズした IP コアにも接続しています。このレシーバー コアは、ネイティブレジスタアクセスをサポートしていません。そのため、レジスタアクセス用に `smpte2022_bridge` という名前のカスタマイズされた IP コアが作成されます。レシーバー コアは、2 つの AXI4 外部マスター コネクタを使用して AXI4 インターコネクタ経由で DDR3 SDRAM にアクセスします。初期メモリ マップアドレス範囲は、`0xc0000000` から、FEC および RTP パケット割り当てに基づいてユーザーが指定した値までの範囲に固定されます。最大ユーザー アドレスは `0xFFFFFFFF` です。

レシーバーには AXI4-Lite インターフェイスも含まれており、コア内のパラメーターをプロセッサから動的に制御できます。レジスタの詳細は、『LogiCORE IP SMPTE 2022-1/2 Video over IP Receiver v1.0 製品ガイド』(PG181) [参照 9] を参照してください。

レジスタには汎用空間とチャンネル空間の2つがあります。汎用空間のパラメーターはすべてのチャンネルに適用されます。チャンネル空間のパラメーターは、該当する各チャンネルに適用されます。チャンネル空間レジスタは、それぞれのリンクおよびチャンネルに基づいてパラメーターが設定される部分と、それぞれのチャンネルにのみ基づいてパラメーターが設定される部分の2つに分かれています。このリファレンスデザインでは4チャンネルがサポートされており、すべてのパラメーターはUDP デスティネーションポートによって識別され、プライマリ リンクとセカンダリ リンクはIP アドレスによって識別されます。詳細は、9 ページの「ソフトウェア構成」を参照してください。

汎用レジスタは、通常のアドレス読み出し/書き込み手順でアクセスできます。チャンネルレジスタについては、「SMPTE 2022-1/2 Video over IP Transmitter」で説明した手順に従ってください。図 5 を参照してください。

## AXI4 Interconnect (AXI\_MM)

AXI4 インターコネクト インスタンスは、コア データ幅 128 ビットで 200MHz で動作し、デザインに必要な高い  $F_{MAX}$  とスループットを実現します。AXI4 インターコネクト コアのデータ幅およびクロック周波数は、接続先となる AXI4 MIG の性能と一致するため、これらの中でデータ幅やクロックの変換は必要ありません。AXI4 インターコネクト コアのデータ幅およびクロック周波数を、メモリ コントローラーのネイティブ データ幅およびクロック周波数より小さくすると、システムに帯域幅のボトルネックが生じます。256 ビット AXI4 インターフェイスの 200MHz でのタイミング要件を満たすように、AXI\_MM インターコネクトと AXI4 MIG の間でレジスタ スライスランクを1つ有効にしています。さらに、AXI4 インターコネクトと AXI4 MIG を組み合わせることで、4つの AXI4 外部マスター コネクタに接続する4ポートの AXI4 マルチポート メモリ コントローラー (MPMC) を構成しています。この AXI4 インターコネクトのコンフィギュレーションは、『AXI リファレンス ガイド』(UG761) [参照 10] に記載されている AXI4 MPMC ベースのシステムに対するシステム性能最適化の推奨事項に従っています。

## MIG 7 Series

7 シリーズ FPGA の AXI4 メモリ コントローラー (MIG ツールを Vivado IDE ツールに統合するブロック) は、AXI4 インターコネクトに接続される1つのスレーブを構成します。メモリ コントローラーの AXI4 インターフェイスは 128 ビット幅で 200MHz で動作し、スループットとタイミングを最適化するためにナロー バーストのサポートは無効になっています。このコンフィギュレーションは、メモリ クロックが 800MHz の 64 ビット DDR3 DIMM に対応する AXI4 インターフェイスのネイティブ クロックおよび幅に適合しており、スピード グレード -2 の Kintex-7 デバイスにおけるメモリ コントローラーの公称性能を実現します。インターフェイスが 200MHz でのタイミングを確実に満たすように、レジスタ スlice を有効にしています。これらの設定により、トランザクションのパイプライン処理が効率化され、システム スループットが向上します。メモリ コントローラーの詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション v2.0 ユーザー ガイド』(UG586) [参照 11] を参照してください。

## AXI4 Interconnect (AXI4-Lite)

MicroBlaze プロセッサのデータ パリフェラル (DP) インターフェイスのマスターは、制御およびステータス情報のために、デザインの AXI4-Lite スレーブ レジスタすべてに対して書き込みと読み出しを実行します。これらのインターコネクトは 32 ビットで、高い  $F_{MAX}$  やスループットは必要としません。したがって、 $F_{MAX}$  要件が低い別の AXI4 インターコネクトが使用されます。高スループットは不要なため、性能に対してエリアを最適化できるように、このブロックは共有アクセス モードに設定されます。また、このインターコネクトのクロックを 100MHz にすることで、AXI4 インターコネクトで整数比の同期クロック コンバーターが使用可能になります。これにより、非同期クロック コンバーターに比べレイテンシとエリアを抑えることができます。AXI4-Lite インターコネクト上のスレーブは、MDM、AXI4 UART (AXI4-Lite)、および SMPTE 2022-1/2 Video over IP Transmitter または Receiver コアへのブリッジとなるカスタマイズされた IP コアです。



## Tri-Mode Ethernet MAC

トランスミッター側の Tri-Mode Ethernet MAC インスタンスには AXI4-Stream 送信インターフェイスがあり、SMPTE 2022-1/2 Video over IP Transmitter の出力に接続されています。レシーバー側の Tri-Mode Ethernet MAC インスタンスには AXI4-Stream 受信インターフェイスがあり、SMPTE 2022-1/2 Video over IP Receiver の入力に接続されています。Tri-Mode Ethernet MAC コアは、デュアルポート ギガビット イーサネット PHY (Inrevium TB-FMCL-GLAN-B FMC メザニン カード) へのインターフェイスとなります。詳細は、『LogiCORE IP Tri-Mode Ethernet MAC 製品ガイド』(PG051) [参照 12] を参照してください。

## ソフトウェア構成

ソフトウェア アプリケーションは、Video over IP Transmitter/Receiver システムを初期化します。ソフトウェアの初期化後、UART 画面に表示されるメニューからコマンドを選択できます。

アプリケーション レベルのソフトウェアとシステム制御用ドライバーは、C で作成されています。あるいは、IP 制御レジスタにドライバーとアプリケーション ソフトウェアを直接書き込むこともできます。

ソフトウェアは、トランスミッターの汎用空間レジスタの値を表 2 に示すように設定します。トランスミッターのプライマリ チャネル アクセス レジスタとセカンダリ チャネル アクセス レジスタの設定を表 3 および表 4 に示します。レシーバーの汎用空間レジスタの設定を表 5 に示します。レシーバーのプライマリ チャネル アクセス レジスタとセカンダリ チャネル アクセス レジスタの設定を表 6 および表 7 に示します。レジスタ セットのベース アドレスは、AXI4-Lite ブリッジのベース アドレス (0x70E00000) です。表中に示していないレジスタは初期化されず、それぞれのデフォルト値のままになります。

表 2: 初期化されたトランスミッターの汎用空間レジスタの値

オフセット	レジスタ名	値	
0x00000000	0x10	プライマリ Mac アドレス (Low)	0x000000AA
	0x14	プライマリ Mac アドレス (High)	0x00000000
	0x18	セカンダリ Mac アドレス (Low)	0x000000CC
	0x1C	セカンダリ Mac アドレス (High)	0x00000000

表 3: 初期化されたトランスミッターのプライマリ チャネル アクセス レジスタの値

オフセット	レジスタ名	値				
		チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	
0x00000080	0x00	ip_header				0x00006480
	0x04	vlan_tag_info	0x0000AB00	0x0000AB10	0x0000AB20	0x0000AB30
	0x08	dest_mac_low_addr	0x000000FF			
	0x0C	dest_mac_high_addr	0x00000000			
	0x10	dest_ip_host_low_addr	0xC0A80064			
	0x20	src_ip_host_low_addr	0xC0A80032			
	0x30	udp_src_port	0x00000010	0x00000020	0x00000030	0x00000040
	0x34	udp_dest_port	0x00000010	0x00000020	0x00000030	0x00000040

表 3：初期化されたトランスミッターのプライマリ チャネル アクセス レジスタの値 (続き)

オフセット	レジスタ名	値				
		チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	
0x00000100	0x18	ssrc	0x12345600	0x12345610	0x12345620	0x12345630
	0x1C	fec_config	0x00000000			
	0x20	fec_col_offset	0x00000000			
	0x24	fec_L_value	0x00000004			
	0x28	fec_D_value	0x00000004			
	0x2C	FEC BaseAddress	0xC0000000	0xC0AC0000	0xC1580000	0xC2040000

表 4：初期化されたトランスミッターのセカンダリ チャネル アクセス レジスタの値

オフセット	レジスタ名	値				
		チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	
0x00000080	0x00	ip_header				
	0x04	vlan_tag_info	0x0000AB00	0x0000AB10	0x0000AB20	0x0000AB30
	0x08	dest_mac_low_addr	0x000000EE			
	0x0C	dest_mac_high_addr	0x00000000			
	0x10	dest_ip_host_low_addr	0xC0A80066			
	0x20	src_ip_host_low_addr	0xC0A80034			
	0x30	udp_src_port	0x00000010	0x00000020	0x00000030	0x00000040
	0x34	udp_dest_port	0x00000010	0x00000020	0x00000030	0x00000040
0x00000100	0x18	ssrc	0x12345600	0x12345610	0x12345620	0x12345630
	0x1C	fec_config				
	0x20	fec_col_offset				
	0x24	fec_L_value				
	0x28	fec_D_value				
	0x2C	FEC BaseAddress				

表 5：初期化されたレシーバーの汎用空間レジスタの値

オフセット	レジスタ名	値	
0x00000000	0x10	プライマリ Mac アドレス (Low)	0x000000FF
	0x14	プライマリ Mac アドレス (High)	0x00000000
	0x18	セカンダリ Mac アドレス (Low)	0x000000EE
	0x1C	セカンダリ Mac アドレス (High)	0x00000000
	0x28	packet_delay	0x013C6800
	0x30	reorder_delay	0x00000200
	0x34	fec_base_addr	0xD8000000
	0x38	fec_pool_size	0x000E1000

表 6：初期化されたレシーバーのプライマリ チャネル アクセス レジスタの値

オフセット	レジスタ名	値				
		チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	
0x00000080	0x00	ip_header				
	0x04	ip_header_parameter				
	0x08	vlan_tag_info	0x0000AB00	0x0000AB10	0x0000AB20	0x0000AB30
	0x0C	dest_ip_host_low_addr				
	0x1C	src_ip_host_low_addr				
	0x2C	udp_src_port	0x00000010	0x00000020	0x00000030	0x00000040
	0x30	udp_dest_port	0x00000010	0x00000020	0x00000030	0x00000040
0x00000100	0x08	recovey_enable	0x00000003	0x00000003	0x00000003	0x00000003
	0x0C	match_sel	0x0000003E	0x0000003E	0x0000003E	0x0000003E
	0x10	ssrc	0x12345600	0x12345610	0x12345620	0x12345630
	0x18	playout_delay				
	0x2C	chan_buf_base_addr	0xC0000000	0xC6000000	0xCC000000	0xD2000000
	0x30	chan_pkt_buf_size				

表 7：初期化されたレシーバーのセカンダリ チャネル アクセス レジスタの値

オフセット	レジスタ名	値				
		チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	
0x00000080	0x00	ip_header				
	0x04	ip_header_parameter				
	0x08	vlan_tag_info	0x0000AB00	0x0000AB10	0x0000AB20	0x0000AB30
	0x0C	dest_ip_host_low_addr				
	0x1C	src_ip_host_low_addr				
	0x2C	udp_src_port	0x00000010	0x00000020	0x00000030	0x00000040
	0x30	udp_dest_port	0x00000010	0x00000020	0x00000030	0x00000040
0x00000100	0x08	recovery_enable				
	0x0C	match_sel				
	0x10	ssrc				
	0x18	playout_delay				
	0x2C	chan_buf_base_addr				
	0x30	chan_pkt_buf_size				

図 6 に、Video over IP Transmitter/Receiver の全体的なソフトウェア プロセスを示します。

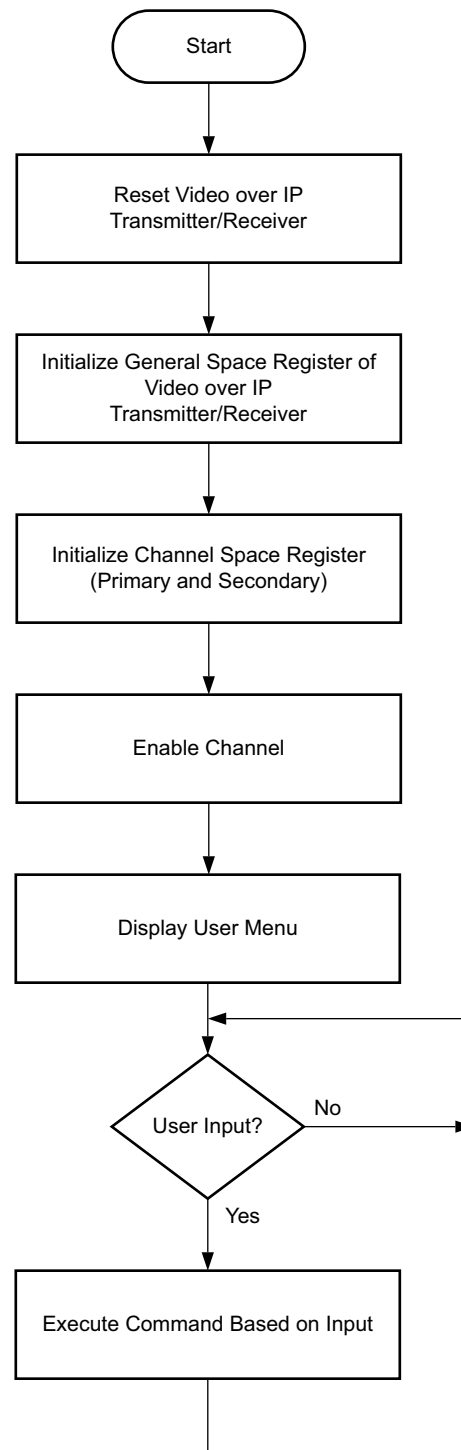


図 6 : Video over IP Transmitter/Receiver の全体的なソフトウェア プロセス

## ハードウェア上でのリファレンス デザインの実行

このセクションでは、ハードウェアでリファレンス デザインを実行する手順について説明します。リファレンス デザインは、[図 7](#) および [図 8](#) に示した Kintex-7 FPGA KC705 評価キット、Inrevium 3G/HD/SD-SDI (TB-FMCH-3GSDI2A)、および Inrevium 1000 Base-T Ethernet (TB-FMCL-GLAN-B) メザニン カード上で動作します。

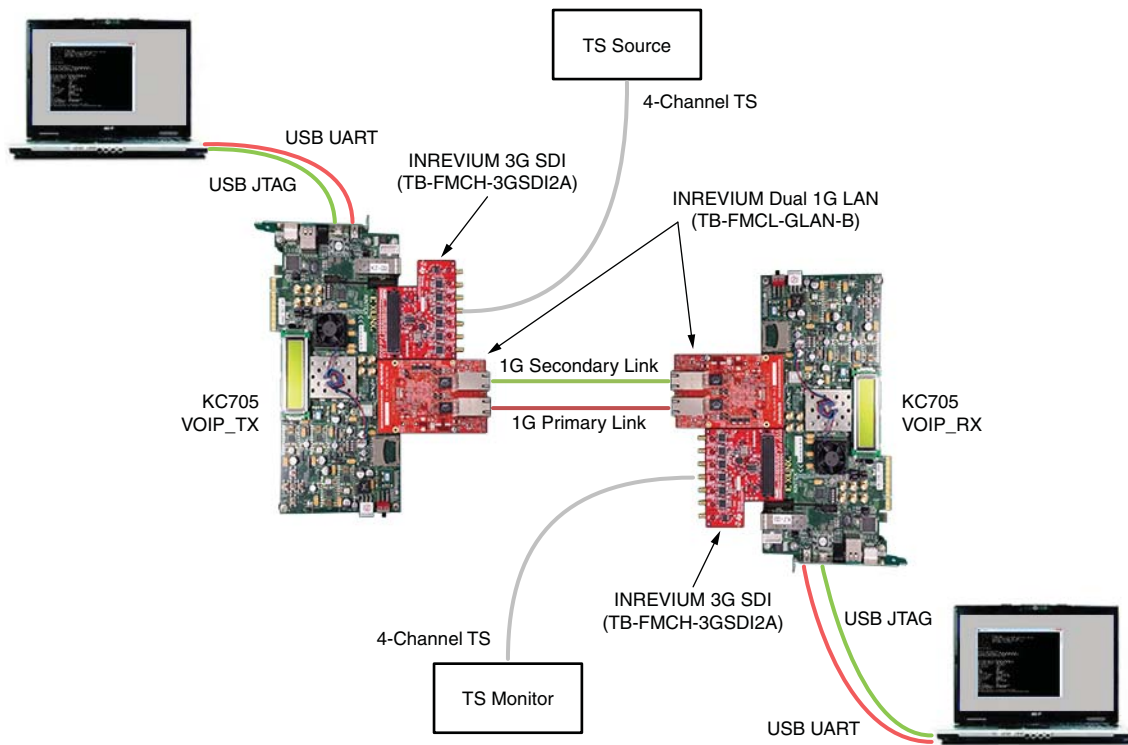


図 7 : Video over IP システム

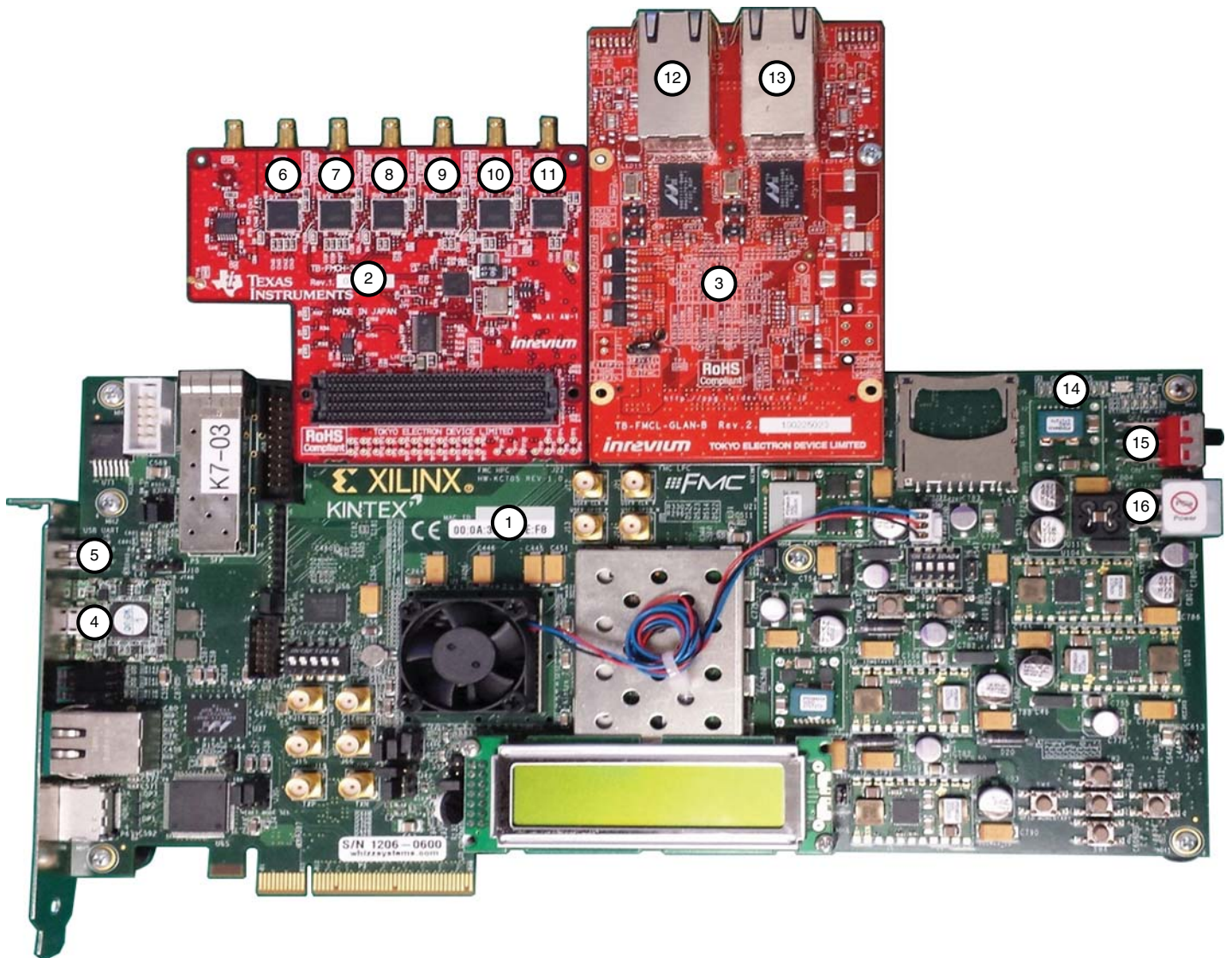


図 8 : KC705、TB-FMCH-3GSDI2A および TB-FMCL-GLAN-B ボード

これらの手順のかつこ内の番号は図 8 に示す番号に対応しています。

1. USB ケーブルをホスト PC から USB JTAG ポート (4) に接続します。適切なデバイスドライバーがインストールされていることを確認します。
2. 別の USB ケーブルをホスト PC から USB UART ポート (5) に接続します。5 ページの「ハードウェア要件」に記載された USB-UART ドライバーがインストールされていることを確認します。
3. TB-FMCH-3GSDI2A ボード (2) を KC705 ボードの HPC-FMC コネクタに接続します。
4. TB-FMCL-GLAN-B ボード (3) を KC705 ボードの LPC-FMC コネクタに接続します。
5. イーサネット LAN ケーブルの一方の端をプライマリ リンク用の GLAN ポート 1 (13) に接続し、別のイーサネット LAN ケーブルをセカンダリ リンク用の GLAN ポート 2 (12) に接続します。
6. 電源を KC705 ボードの J49 (16) コネクタに接続します。
7. KC705 ボードの電源スイッチ (15) を ON の位置に設定します。
8. 送信プラットフォームと受信プラットフォームの HW-KC705 ボードのリビジョン番号 (1) が同じであることを確認します。



9. Video over IP Transmitter ボード上で、TS ソース ケーブルを、指定された 3G/HD/SD DIN コネクタに接続します。
  - チャンネル 0 をコネクタ 2 へ (10)
  - チャンネル 1 をコネクタ 4 へ (8)
  - チャンネル 2 をコネクタ 5 へ (7)
  - チャンネル 3 をコネクタ 6 へ (6)
10. Video over IP Receiver ボード上で、TS モニター ケーブルを、指定された 3G/HD/SD DIN コネクタに接続します。
  - チャンネル 0 をコネクタ 1 へ (11)
  - チャンネル 1 をコネクタ 4 へ (8)
  - チャンネル 2 をコネクタ 5 へ (7)
  - チャンネル 3 をコネクタ 6 へ (6)
11. ホスト PC 上で、次の設定で端末プログラム (ハイパーターミナルなど) を開始します。
  - ボーレート : 115200
  - データビット : 8
  - パリティ : なし
  - ストップビット : 1
  - フロー制御 : なし

### 構築済みビットストリームとコンパイル済みソフトウェア アプリケーションを使用してリファレンス システムを実行する

このセクションでは、`ready_for_download` ディレクトリ内のファイルを使用してシステムを実行するのに必要な手順を詳しく説明します。

1. [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [Vivado 2013.4] → [SDK] をクリックして、Xilinx Microprocessor Debugger を起動します。
2. ザイリンクスのコマンド シェル ウィンドウで、`ready_for_download` ディレクトリに変更します。

VoIP\_TX :

```
>cd <unzip dir>/KC705_SMPTE2022_12_4Ch/  
kc705_smpte2022_12_4ch_tx/ready_for_download
```

VoIP\_RX :

```
>cd <unzip dir>/KC705_SMPTE2022_12_4Ch/  
kc705_smpte2022_12_4ch_rx/ready_for_download
```

3. ビットストリームを FPGA にダウンロードします。

```
XMD% fpga -f download.bit
```

4. XMD コマンド プロンプトを終了します。

```
XMD% exit
```

注記 : 起動する順序は重要ではありません。

### ハードウェアおよびソフトウェアを実行する

#### トランスミッター

図 9 に、Video over IP Transmitter の初期化シーケンスを示すハイパーターミナル画面を示します。4 チャンネルはすべて異なる構成で初期化されています。



Xilinx Inc.  
V\_SMPTE2022\_12\_TX 1G  
Vivado Reference Design  
Created: November 21, 2013  
Copyright (c) 2013 Xilinx, Inc.  
All rights reserved.

VoIP TX Reset

VoIP TX Initializing...  
Primary MAC Address: 00-00-00-00-00-AA  
Secondary MAC Address: 00-00-00-00-00-CC  
VoIP TX Initialization done

Initializing for Primary Channel 1  
Dest MAC Address: 00-00-00-00-00-FF  
TS Packet Size: 188 Bytes  
TS Packets: 7 Packets  
IP Version: IPv4  
TTL: 128  
TOS: 100  
VLAN: Disabled  
VLAN Tag: 0xAB00  
Source IP Addr: 192.168.0.50  
Dest IP Addr: 192.169.0.100  
Source Port: 0x0010  
Dest Port: 0x0010  
SSRC: 0x12345600  
FEC (1D) : On  
FEC (2D) : On  
FEC Size: 5x20  
Block Align: Block Aligned  
FEC BASEADDRESS: 0xC0000000  
Channel Enable  
Primary Channel 1 Initialization Done  
TS Configuration for Primary 1 Initialization Done

Initializing for Secondary Channel 1  
Dest MAC Address: 00-00-00-00-00-EE  
TS Packet Size: 188 Bytes  
TS Packets: 0 Packets  
IP Version: IPv4  
TTL: 128  
TOS: 100  
VLAN: Disabled  
VLAN Tag: 0xAB00  
Source IP Addr: 192.168.1.50  
Dest IP Addr: 192.169.1.100  
Source Port: 0x0010  
Dest Port: 0x0010  
SSRC: 0x12345600  
FEC (1D) : On  
FEC (2D) : On  
FEC Size: 5x20  
Block Align: Block Aligned  
FEC BASEADDRESS: 0xC0000000  
Channel Enable  
Secondary Channel 1 Initialization Done  
TS Configuration for 1 Initialization Secondary Done

図 9 : VOIP\_TX のチャンネル 1 初期設定のハイパーターミナル出力



ハイパーターミナル画面に次の 5 つのオプションが表示されます (図 10)。

- 1 = コアのリセット
- 2 = コアの初期設定 (汎用空間レジスタのみ)
- s = チャンネルの設定 (チャンネル選択サブメニューを表示)
- p = 現在の設定の確認 (選択した汎用空間レジスタのステータスを表示)
- ? = 現在のメニューを表示

```
-----
-- VoIP TX Main Menu --
-----

Select option
1 = Reset Core
2 = Initialize Core
s = Configure Channel
p = Probe Current Settings
? = help
-----
```

図 10: VOIP\_TX のメイン メニューのハイパーターミナル出力

オプション s を選択すると、チャンネル選択メニューが表示されます (図 11)。

```
Select Channel
Primary Channels
1 = Channel 1
2 = Channel 2
3 = Channel 3
4 = Channel 4

Secondary Channels
5 = Channel 1
6 = Channel 2
7 = Channel 3
8 = Channel 4

m = Main Menu
-----
```

図 11: VOIP\_TX のチャンネル選択メニューのハイパーターミナル出力

次のオプションにより、4 チャンネルのうち 1 つ (プライマリ リンクまたはセカンダリ リンク) を選択するか、メイン メニューに戻ることができます。

プライマリ チャンネル:

- 1 = チャンネル 1
- 2 = チャンネル 2
- 3 = チャンネル 3
- 4 = チャンネル 4

セカンダリ チャンネル:

- 5 = チャンネル 1
- 6 = チャンネル 2
- 7 = チャンネル 3
- 8 = チャンネル 4

m = メイン メニュー

いずれかのチャンネルを選択すると、オプション選択のサブメニューが表示されます (図 12)。

```

Select Option
1 = Channel Init
2 = Channel Enable/Disable
3 = Change Host IP Address
4 = VLAN En/Disable
5 = Change VLAN Tag
6 = Set Dest MAC Addr
7 = Set Dest IP Addr
8 = Set Source UDP Port
9 = Set Dest UDP Port
0 = Set SSRC
a = Set Packet Size
b = FEC On/Off
c = Toggle FEC Level
d = Set Column FEC
e = Set Row FEC
f = Toggle Block Alignment
g = Set Number of TS Packets
p = Probe Status
m = Main Menu
s = Channel Select
-----

```

図 12 : VOIP\_TX のオプション選択サブメニューのハイパーターミナル出力

メニュー リストの 20 個のオプションのうち 1 つを選択できます。

- 1 = チャネルの初期設定 (選択したチャネルのチャネルレジスタを設定)
- 2 = チャネルの有効/無効
- 3 = ホスト IP アドレスの変更
- 4 = VLAN の有効/無効
- 5 = VLAN タグの変更
- 6 = デスティネーション MAC アドレスの設定
- 7 = デスティネーション IP アドレスの設定
- 8 = ソース UDP ポートの設定
- 9 = デスティネーション UDP ポートの設定
- 0 = SSRC の設定
- a = パケット サイズの設定
- b = FEC オン/オフ (FEC エンジンのトグル)
- c = FEC レベルのトグル
- d = 列の FEC の設定
- e = 行の FEC の設定
- f = ブロック アライメントのトグル
- g = TS パケット数の設定
- p = ステータスの確認
- m = メイン メニュー
- s = チャネル選択

ネットワーク上にビデオを送信するには、メニューからオプション 2 を選択してチャネルを有効にします。チャネルは初期設定中に自動的に有効にされるわけではありません。

#### レシーバー

図 13 に、Video over IP Receiver の出力を表示したハイパーターミナル画面を示します。4 チャネルはすべて異なる構成で初期化されています。

```

Xilinx Inc.
V_SMPTE2022_12_RX 1G
Vivado Reference Design
Created: November 21, 2013
Copyright (c) 2013 Xilinx, Inc.
All rights reserved.

VoIP RX Reset

VoIP RX Initializing...
Primary MAC Address: 00-00-00-00-00-EE
Secondary MAC Address: 00-00-00-00-00-FF
Packet Delay:      8000
Reorder Delay:     1
FEC Base Address:  0xDC000000
FEC Pool Size:     921600
VoIP RX Initialization done

Initializing Channel 1
Primary Stream Configure
IP Version:        IPv4
VLAN:              Disable
VLAN Tag:          0xAB00
Dest IP Addr:      192.169.0.100
Host IP Addr:      192.168.0.50
Dest Port:         0x0010
Source Port:       0x0010
SSRC:              0x12345600

Match Select:
SSRC:              On
Dest UDP:          On
Source UDP:        On
Dest IP:           Off
Src IP:            Off
VLAN:              Off

Secondary Stream Configure
IP Version:        IPv4
VLAN:              Disable
VLAN Tag:          0xAB00
Dest IP Addr:      192.169.1.100
Host IP Addr:      192.168.1.50
Dest Port:         0x0010
Source Port:       0x0010

Match Select:
SSRC:              On
Dest UDP:          On
Source UDP:        On
Dest IP:           Off
Src IP:            Off
VLAN:              Off

General Channel Setting:
Playout Delay:     9000
Channel Buffer Address: 0xc0000000
Channel Buffer Size: 65535
Channel Enabled

Channel 1 Initialization Done

```

図 13: VOIP\_RX のチャンネル 1 初期設定のハイパーターミナル出力

ハイパーターミナル画面に次の 6 つのオプションが表示されます (図 14)。

- 1 = コアのリセット
- 2 = コアの汎用空間レジスタの初期設定
- 3 = セカンダリ リンクの有効/無効
- s = チャンネルの設定 (チャンネル選択サブメニューを表示)
- p = 現在の設定の確認 (選択した汎用空間レジスタのステータスを表示)
- ? = 現在のメニューを表示

```

-----
-- VoIP RX Main Menu --
-----

Select option
1 = Reset Core
2 = Initialize Core
3 = Secondary On/Off
s = Configure Channel
p = Probe Current Settings
? = help
-----

```

図 14 : VOIP\_RX のメイン メニューのハイパーターミナル出力

オプション s を選択すると、チャンネル選択メニューが表示されます (図 15)。

```

-----
Select Channel
Primary Channels
1 = Channel 1
2 = Channel 2
3 = Channel 3
4 = Channel 4

Secondary Channels
5 = Channel 1
6 = Channel 2
7 = Channel 3
8 = Channel 4

m = Main Menu
-----

```

図 15 : VOIP\_RX のチャンネル選択メニューのハイパーターミナル出力

次のオプションにより、4 チャンネルのうち 1 つ (プライマリ リンクまたはセカンダリ リンク) を選択するか、メイン メニューに戻ることができます。

プライマリ チャンネル :

1 = チャンネル 1

2 = チャンネル 2

3 = チャンネル 3

4 = チャンネル 4

セカンダリ チャンネル :

5 = チャンネル 1

6 = チャンネル 2

7 = チャンネル 3

8 = チャンネル 4

m = メイン メニュー

いずれかのチャンネルを選択すると、オプション選択のサブメニューが表示されます (図 16)。

```

-----
Select Option
1 = Channel Init
2 = Channel Enable/Disable
p = Probe Status
m = Main Menu
s = Channel Select
-----

```

図 16 : VOIP\_RX のオプション選択サブメニューのハイパーターミナル出力

メニュー リストの 5 つのオプションのうち 1 つを選択できます。

- 1 = チャンネルの初期設定 (選択したチャンネルのチャンネルレジスタを設定)
- 2 = チャンネルの有効/無効
- p = ステータスの確認
- m = メイン メニュー
- s = チャンネル選択

## リファレンス デザインの再構築とコンパイル

このセクションでは、ハードウェア デザインの再構築について説明します。プロジェクトを再構築する前に、SMPTE 2022-1/2 Video over IP Transmitter/Receiver コアと Tri-Mode Ethernet MAC のライセンスがインストールされていることを確認します。

注記：ファイルパスが長すぎるためにコンパイル エラーが発生しないように、プロジェクト ファイルはできるだけルート ディレクトリの近くに展開してください。たとえば、一般的な Windows システムへのインストールでは、C:\ にファイルを展開します。

### Vivado Design Suite 2013.4 でプログラミング ファイルを生成する

1. Tcl コンソールに次のように入力し、ワークスペース ディレクトリに変更します。

```
VoIP_TX :
>cd <unzip dir>/KC705_SMPTE2022_12_4Ch/kc705_smpte2022_12_4ch_tx

VoIP_RX :
>cd <unzip dir>/KC705_SMPTE2022_12_4Ch/kc705_smpte2022_12_4ch_rx
```

2. プロジェクト ビットストリームの作成、コンパイル、生成を行うには、Tcl コンソールに次のように入力し、all.tcl スクリプトを実行します。

```
>source all.tcl
```

### SDK でソフトウェアをコンパイルする

1. ビットストリームの生成 (all.tcl script) の完了後、右側の [Implementation] タブの下にある [Open Implemented Design] をクリックし、インプリメントされたデザインを開きます。
2. 右側の [IP Integrator] タブの下にある [Open Block Design] をクリックし、[system\_basic.bd] をクリックします。
3. [Sources] ビューでプロジェクトの階層を展開し、[i\_system\_basic] を右クリックして [Export Hardware for SDK] をクリックします。
4. 画面が表示されます。ワークスペースとエクスポート パスを次のように設定します。

```
VoIP_TX :
<unzip dir>\KC705_SMPTE2022_12_4Ch\kc705_smpte2022_12_4ch_tx\
SW\SDK_workspace

VoIP_RX :
<unzip dir>\KC705_SMPTE2022_12_4Ch\kc705_smpte2022_12_4ch_rx\
SW\SDK_workspace
```

5. すべてのチェック ボックスがオンになっていることを確認し、[OK] をクリックします。
6. [File] → [Import] → [General] → [Existing Projects] をクリックして、ボード サポート パッケージ (BSP) とソフトウェア アプリケーションをワークスペースにインポートします。

- [Next] をクリックし、次のディレクトリに移動します。

VoIP\_TX :

```
<unzip dir>\KC705_SMPTE2022_12_4Ch\kc705_smpte2022_12_4ch_tx\  
SW\SDK_workspace
```

VoIP\_RX :

```
<unzip dir>\KC705_SMPTE2022_12_4Ch\kc705_smpte2022_12_4ch_tx\  
SW\SDK_workspace
```

- [OK] をクリックします。
- すべてのチェック ボックスがオンになっていることを確認します。
- [Finish] をクリックします。

この段階で、BSP とソフトウェア アプリケーションがコンパイルされます。この処理には 2 分から 5 分程度かかります。これで、SDK 内で既存ソフトウェア アプリケーションの変更や新規ソフトウェア アプリケーションの作成が可能になります。

## SDK でハードウェアおよびソフトウェアを実行する

- [Xilinx Tools] → [Configure JTAG Settings] をクリックし、JTAG コンフィギュレーションを開きます (図 17)。

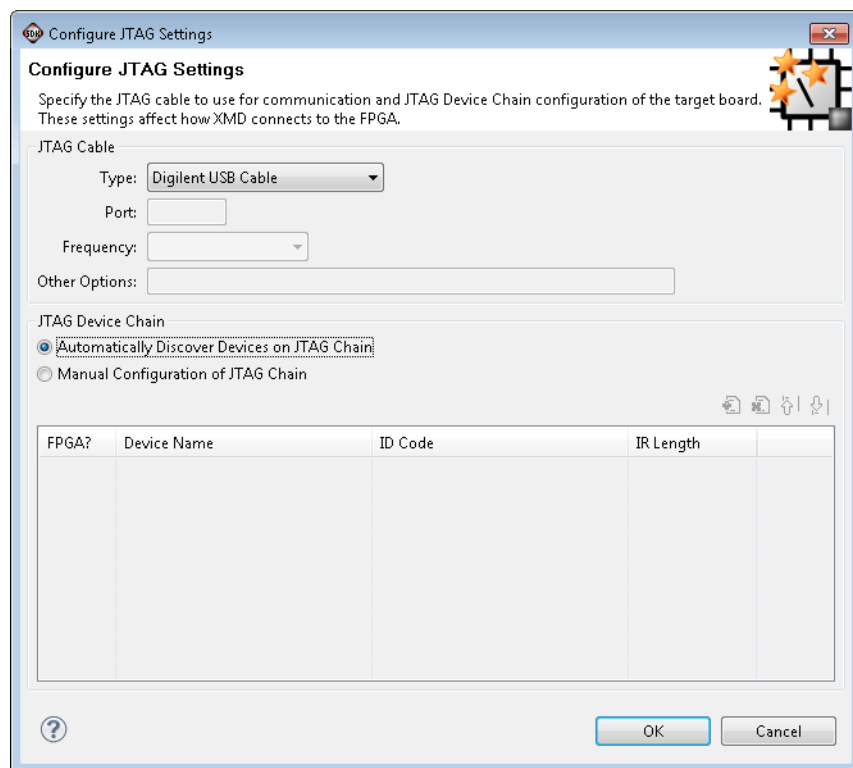


図 17 : [Configure JTAG Settings] の設定

- [Type] で [Digilent USB Cable] を選択します。
- [Automatically Discover Devices on JTAG Chain] をオンにします。

**注記：**デバッガーは一度に 1 本の Digilent USB ケーブルにしか接続できないため、SDK から実行する際は、1 台はトランスミッター用、もう 1 台はレシーバー用に 2 台のワークステーションが必要です。

- [OK] をクリックします。

5. [Xilinx Tools] → [Program FPGA] をクリックします。  
注記：bootloop が microblaze\_0 に使用されていることを確認します。
6. [Program] をクリックします。
7. [Project Explorer] ウィンドウで右クリックし、次のようにクリックします。  
VoIP\_TX :  
[voip\_rx\_main] を右クリックして [Run As] → [Launch on Hardware]  
VoIP\_RX :  
[voip\_tx\_main] を右クリックして [Run As] → [Launch on Hardware]

注記：リンカー スクリプトを編集することにより、ソフトウェア アプリケーションを MIG から実行するか、ブロック RAM から実行するかを選択できます。リンカー スクリプトのデフォルト設定では、ソフトウェア アプリケーションをブロック RAM から実行します。

## デバッグ

リファレンス デザインのセットアップが完了したら、次の項目をチェックして適切に動作することを確認します。

### トランスミッター

- Inrevium TB-FMCL-GLAN-B ボードの 2 つの RJ45 ポートで 2 つの LED が点灯していることを確認します。この状態は、ボードからの 2 つのリンク (プライマリおよびセカンダリ) で送信が行われていること示します。
  - 右の LED : 1GBASE-TX リンク/スピード
  - 左の LED : 送信アクティビティ
- Inrevium TB-FMCH-3GSDI2A ボードの LED (D2、D4、D8、D9) が消灯していることを確認します。この状態は、ボード上にストリームが存在することを示します。
- KC705 評価キット ボードのポート 0、6、7 でユーザー定義の LED (GPIO LED、14 ページの図 8 の 14 番) が点灯していることを確認します。
  - GPIO LED 0 : DDR 初期設定の完了
  - GPIO LED 6 : 100MHz に固定
  - GPIO LED 7 : 200MHz に固定

### レシーバー

- Inrevium TB-FMCL-GLAN-B ボードの 2 つの RJ45 ポートで右側の LED が点灯していることを確認します。この状態は、2 つのリンク (プライマリおよびセカンダリ) での 1GBASE-TX リンク/スピードを示します。
- TB-FMCL-GLAN-B ボードの RX LED および Duplex LED が点灯していることを確認します。この状態は、パケットが存在することを示します。『TB-FMCL-GLAN-B ハードウェア ユーザー マニュアル』 [参照 7] を参照してください。
- KC705 評価キット ボードのポート 0、6、7 でユーザー定義の LED (GPIO LED、14 ページの図 8 の 14 番) が点灯していることを確認します。
  - GPIO LED 0 : DDR 初期設定の完了
  - GPIO LED 6 : 100MHz に固定
  - GPIO LED 7 : 200MHz に固定

## リファレンス デザイン

このアプリケーション ノートのリファレンス デザインは、次のリンクからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=352502> (登録が必要)

表 8 に、リファレンス デザインの詳細を示します。

表 8: リファレンス デザインの詳細

パラメーター	説明
<b>全般</b>	
開発者	Muhammad Ilias, Gilbert Magnaye, Myo Tun Aung, Josh Poh, Tom Sun
ターゲット デバイス (ステッピング レベル、ES、プロダクション、スピード グレード)	Kintex-7 XC7K325T-2FFG900
ソース コードの提供	Yes
ソース コードの形式	VHDL (一部は暗号化済み)
既存のザイリンクス アプリケーション ノート / リファレンス デザイン、CORE Generator™ ツール、サードパーティからデザインへのコード / IP の使用	Yes、Vivado IP カタログからコアを生成
<b>シミュレーション</b>	
論理シミュレーションの実施	N/A
タイミングシミュレーションの実施	N/A
論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用	N/A
テストベンチの形式	N/A
使用したシミュレータ / バージョン	N/A
SPICE/IBIS シミュレーションの実施	N/A
<b>インプリメンテーション</b>	
使用した合成ツール / バージョン	Vivado 2013.4
使用したインプリメンテーション ツール / バージョン	Vivado 2013.4
スタティック タイミング解析の実施	Yes (インプリメンテーション段階)
ハードウェア検証	
ハードウェア検証の実施	Yes
使用したハードウェア プラットフォーム	ザイリンクス Kintex-7 FPGA KC705 評価キット Rev 1.0 および 1.1

## 注意事項

### ソフトウェアアプリケーション

リンカー スクリプト (lscript.ld) 内の値を適切に設定することで、ソフトウェア アプリケーションを DDR (mig\_1) から実行するか、ブロック RAM (lmb\_subsys\_ilmb\_bram\_if\_cntlr\_lmb\_subsys\_dlmb\_bram\_if\_cntlr) から実行するかを設定できます。

### Video over IP Receiver

SMPTE 2022-1/2 Video over IP Receiver コア内のバッファーされるパケットのレベルがプレイアウト遅延レジスタで設定されたレベル以上にすることでデータ レディ信号を調整する、tready 制御ジェネレーター モジュール (tready\_ctrl.vhd) が、デザインにインスタンシエートされています。



## まとめ

このアプリケーション ノートでは、さまざまなザイリンクス IP コアを組み合わせた Video over IP ネットワーク システムについて説明しました。リファレンス デザインは、IP コンフィギュレーション (ユーザーが設定した値) に従って複数のトランスポート ストリームから TS へのカプセル化およびカプセル化解除を行い、1Gb/s イーサネット パイプ経由でトランスポートする、SMPTE 2022-1/2 Video over IP コアの機能を示しています。イーサネット帯域幅の使用率は、4 つの各チャンネルで 125Mb/s の TS ビデオストリームを転送した場合に 90% 以上です (FEC サイズ 4×4、各 IP の TS が 1、TS サイズ 188 バイト)。このリファレンス デザインは、フォワード エラー訂正 (FEC) エンジンを有効にすると、ネットワーク上で何らかのエラーが発生してもイーサネット パケットをある程度まで回復できます。

## 参考資料

このアプリケーション ノートでは、次の参考資料が使用されています。

1. SMPTE 2022-1/2 Video over IP コアの[製品ページ](#)
2. Tri-Mode Ethernet MAC コアの[製品ページ](#)
3. Kintex-7 FPGA KC705 評価キットの[製品ページ](#)
4. 『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』([UG470](#))
5. Inrevium TB-FMCH-3GSDI2A 3G/HD/SD 3GSDI FMC コネクティビティ メザニン カードの[製品ページ](#)
6. Inrevium TB-FMCL-GLAN-B 1000 Base-T Ethernet FMC コネクティビティ メザニン カードの[製品ページ](#)
7. 『TB-FMCL-GLAN-B [ハードウェア ユーザー マニュアル](#)』
8. 『LogiCORE IP SMPTE 2022-1/2 Video over IP Transmitter v1.0 製品ガイド』([PG180](#))
9. 『LogiCORE IP SMPTE 2022-1/2 Video over IP Receiver v1.0 製品ガイド』([PG181](#))
10. 『AXI リファレンス ガイド』([UG761](#))
11. 『7 シリーズ FPGA メモリ インターフェイス ソリューション v2.0 ユーザー ガイド』([UG586](#))
12. 『LogiCORE IP Tri-Mode Ethernet MAC 製品ガイド』([PG051](#))

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2013 年 12 月 18 日	1.0	初版

## Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

## Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。