



XAPP1199 (v1.0) 2014 年 1 月 28 日

フォワード エラー訂正を利用して IP ネットワークで高ビット レートの SMPTE 2022-5/6 メディア トランスポートを実現

著者 : Gilbert Magnaye, Josh Poh, Myo Tun Aung, Tom Sun

概要

このアプリケーション ノートでは、LogiCORE™ IP SMPTE 2022-5/6 Video over IP Transmitter/Receiver コアの性能、特長を活かした Video over IP ネットワーク システムを設計する際の考察事項について説明します。リファレンス デザインは、フォワード エラー訂正 (FEC) エンジンを使用し、10 ギガビット イーサネット上で高ビット レートのネイティブ メディア トランスポートを実現することを目的としています。このデザインは、最大 3 つの SD/HD/3G-SDI ストリームをサポート可能です。

このリファレンス デザインには、トランスミッター プラットフォームとレシーバー プラットフォームの 2 つが含まれます。トランスミッター プラットフォームのデザインは、3 つの SMPTE SDI コアを使用して外部からの SDI ビデオ ストリームを受信します。受信した SDI ストリームは、SMPTE 2022-5/6 Video over IP Transmitter コアを用いて多重化され、固定サイズのデータグラムにカプセル化されてから 10-Gigabit Ethernet MAC コアを使用して送信されます。レシーバー側に接続された光ケーブルを使用する 10-Gigabit Ethernet PCS/PMA コアは、10 ギガビット リンクをサポートします。レシーバー プラットフォーム側では、10-Gigabit Ethernet MAC コアでイーサネット データグラム パケットを収集します。SMPTE 2022-5/6 Video over IP コアはデータグラム パケットをフィルタリングし、カプセル化と多重化を解除して個々のストリームにして、SMPTE SDI コア経由で出力します。トランスミッターとレシーバーの両方で、イーサネット データグラムは DDR3 SDRAM にバッファされます。DDR トラフィックは AXI インターコネクトを経由して 7 シリーズの AXI メモリ コントローラーへ送られます。このデザインには、コアの初期化とステータスの読み出し用に MicroBlaze™ プロセッサが含まれています。

このリファレンス デザインは、Kintex-7 XC7K325T-2FFG900 FPGA と Inveium TB-FMCH-3GSDI2A [参照 1] メザニン カードを使用するザイリンクス Kintex®-7 FPGA KC705 評価キットをターゲットとしています [参照 2]。

含まれるシステム

リファレンス デザインは、Vivado® Design Suite の System Edition 2013.4 を使用して作成および構築されています。デザインには、ザイリンクスのソフトウェア開発キット (SDK) 2013.4 を使用して構築されたソフトウェアも含まれます。このソフトウェアは、MicroBlaze プロセッサ サブシステムで実行され、制御機能とステータス機能を実装しています。このアプリケーション ノートでは、Vivado Design Suite および SDK 用の完全なプロジェクト ファイルが提供されており、これらをデザインの検査および再構築に活用したり、新規デザインのテンプレートとして使用することが可能です。「リファレンス デザイン」を参照してください。

はじめに

このアプリケーション ノートでは、すぐに使えるイリックス IP コアとハードウェア評価キットを使用するリファレンス デザインを利用して、10Gb/s イーサネットにおける SMPTE2022-5/6 規格準拠ビデオ ストリームの転送をデモンストレーションします。リファレンス デザインは SMPTE 2022-5/6 Video over IP Transmitter および Receiver コアを中心に、さらにザイリンクス IP コアを組み合わせで完全なシステムを構成しています。システムの入出力は SDI ビデオ ストリームです。このシステムは 2 つのプラットフォームで構成されます。1 つのプラットフォームにはトランスミッター コア、もう 1 つのプラットフォームにはレシーバー コアが含まれます。2 つのプラットフォームは 1 本の光ケーブルで接続され、模倣的な IP ネットワークを構成しています (図 1 参照)。

Video over IP コアは、SMPTE SDI コアを利用して SDI ストリームを送受信します。また、10-Gigabit Ethernet MAC および 10-Gigabit Ethernet PCS/PMA コアを利用して SDI データをイーサネット媒体で転送します詳細は、[図 2](#) および [図 3](#) を参照してください。

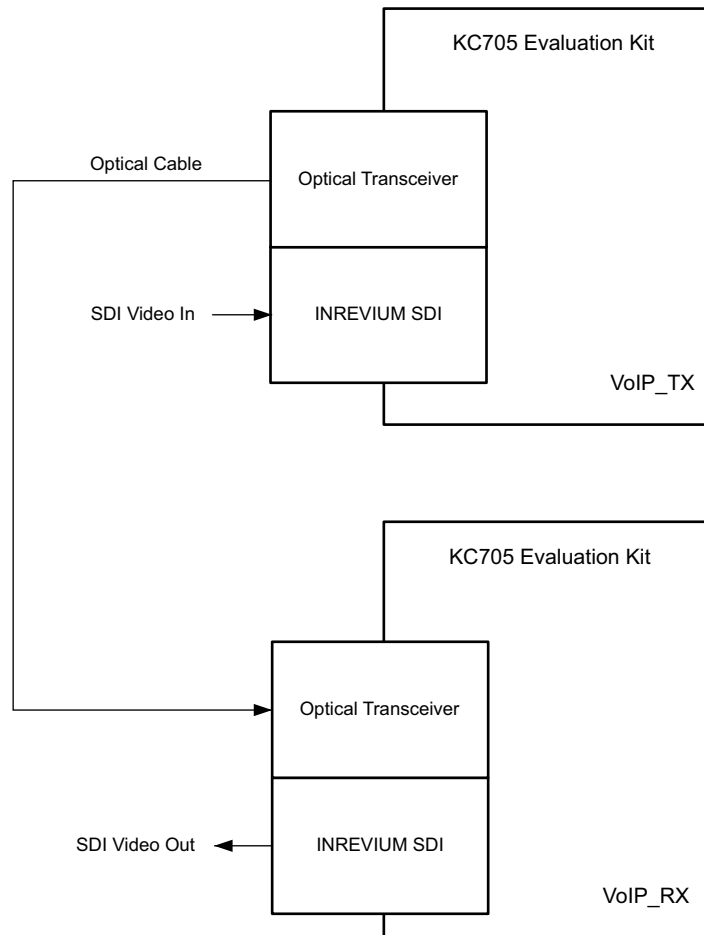


図 1 : KC705 評価ボード上の Video over IP システムの概要図

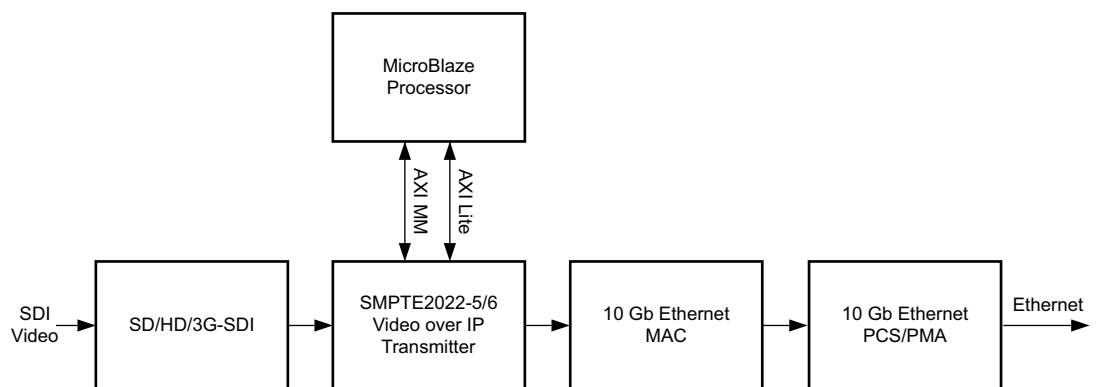


図 2 : 送信プラットフォーム

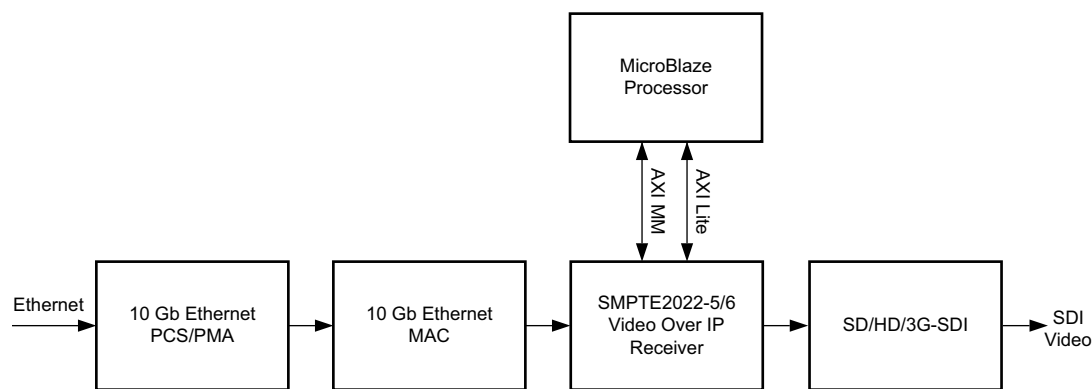


図 3: 受信プラットフォーム

SDI ストリームのカプセル化とカプセル化解除を管理する以外にも、トランスミッター コアとレシーバー コアにはフォワード エラー訂正 (FEC) 保護機能があります。FEC は、IP ネットワーク上で転送される高品質ビデオ ストリームを保護します。FEC を有効にすると、トランスミッターは系統的に生成した冗長データをビデオに付加します。この冗長性により、レシーバーは追加のビデオ データを必要とせずに、ビデオの一部で発生したパケット エラーをある程度まで検出および訂正できます。このようなビデオ パケットの損失という形のエラーは、熱雑音やストレージ システムの不良、周囲環境から混入するノイズなどさまざまな理由によって発生します。FEC を利用すると、レシーバー側でこれらのエラーを訂正できるため、データの再送を要求するための逆方向のチャンネルが不要になります。この機能は、コアのレジスタで有効にできます。

I/O ペリフェラルおよびプロセッサ サポート IP を含むシステム レベルの制御は、簡略化した MicroBlaze エンベデッド プロセッサが担います。クロック ジェネレーター ブロックとプロセッサ システム リセット ブロックは、システム全体にクロック信号とリセット信号をそれぞれ供給します。Video over IP コアが DDR3 SDRAM にアクセスできるように、AXI4 インターコネクトおよび AXI4 メモリ インターフェイス ジェネレーター (MIG) がサブシステムにインスタンス化されています。図 4 および表 1 に、MicroBlaze プロセッサ サブシステムのブロック図とアドレス マップを示します。

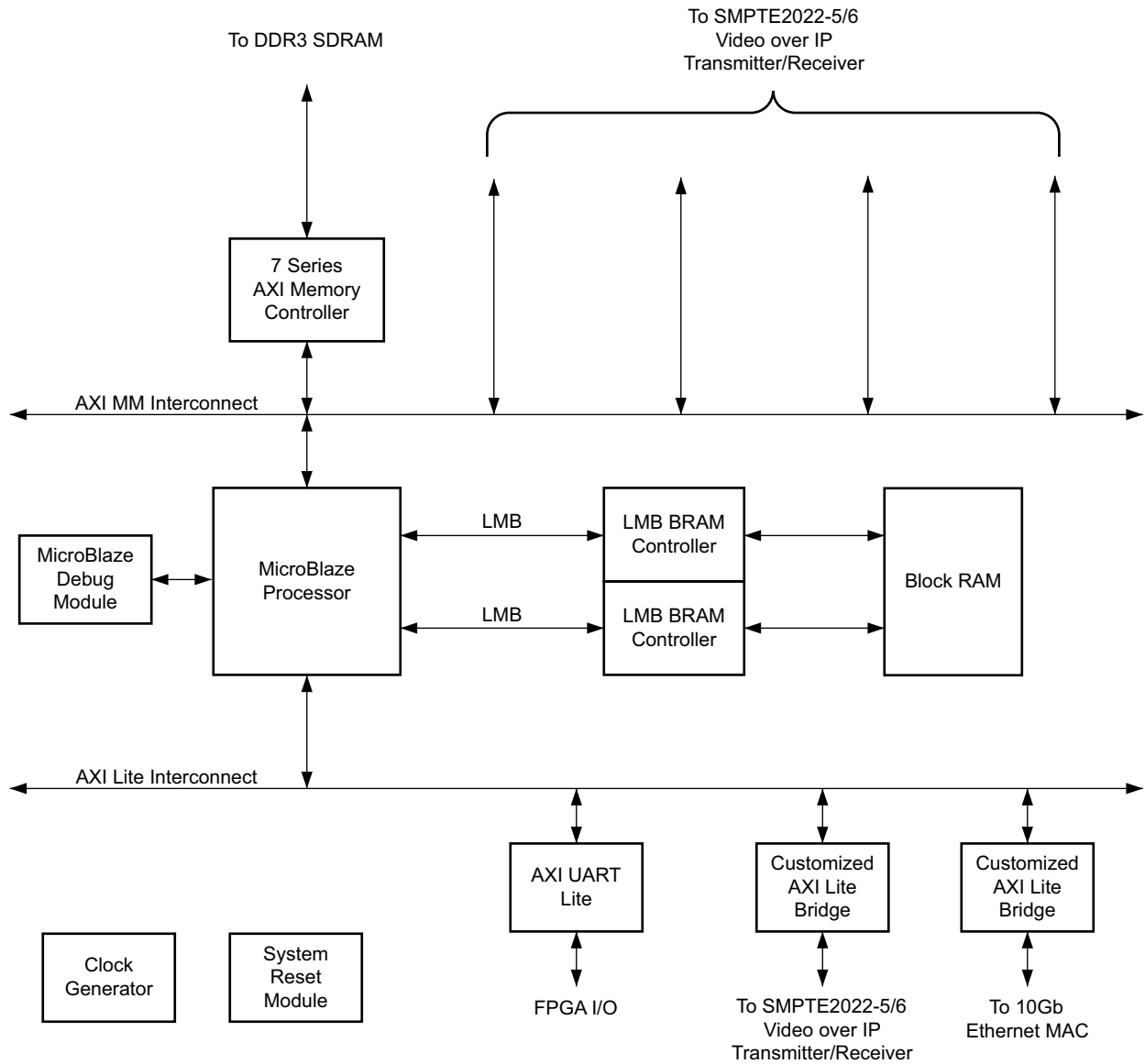


図 4 : MicroBlaze プロセッサ システムのブロック図

表 1 : MicroBlaze プロセッサ サブシステムのアドレス マップ

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
lmb_bram_if_cntlr	ilmb_bram_if_cntlr	0x00000000	0x0001ffff
lmb_bram_if_cntlr	dlmb_bram_if_cntlr	0x00000000	0x0001ffff
mig_7series	mig_1	0xc0000000	0xffffffff
axi_uartlite	axi_uartlite_1	0x40600000	0x4060ffff
axilite_bridge	smpte2022_axilite	0x70e00000	0x70e0ffff
axilite_bridge	ten_gig_eth_mac_axilite	0x7c400000	0x7c400fff

ハードウェア要件

リファレンス デザインのハードウェア要件は次のとおりです。

- ザイリンクス Kintex-7 FPGA KC705 評価キット ボード (x2)
- Inrevium 社製 3G-SDI ボード (TB-FMCH-3GSDI2A) (x2)
- SFP+ Optical Transceiver モジュール (x2)
- 光ケーブル
- Vivado Design Suite 2013.4
- SDK 2013.4

リファレンス デザイン仕様

SMPTE 2022-5/6 Video over IP Transmitter/Receiver コア以外に、リファレンス デザインでは次のコアを使用しています。

- AXI Interconnect
- MicroBlaze Processor
- MicroBlaze Processor Debug Module
- Local Memory Bus
- LMB Block RAM Interface Controller
- Block Memory Generator
- Clocking Wizard
- Processor System Reset Module
- AXI UART Lite
- SMPTE2022 AXI4-Lite Bridge (カスタマイズ済み)
- MIG 7 Series
- SMPTE SD/HD/3G-SDI
- 10-Gigabit Ethernet MAC
- 10-Gigabit Ethernet PCS/PMA

ハードウェア システム仕様

このセクションでは、リファレンス デザインの機能の概要とメイン IP ブロックの構成について説明します。

Video over IP システム

リファレンス デザインは、放送用コネクティビティ規格 (SD/HD/3G-SDI) と 10Gb/s イーサネット ネットワーク間のブリッジを必要とする放送用アプリケーション向けモジュールとして、SMPTE 2022-5/6 Video over IP コアを実装しています。これらのコアは、放送現場におけるオーディオ/ビデオ データの配信/伝送の全体的なコスト削減を狙ったインターネット プロトコル ベースのシステムを開発する目的で提供されています。転送する SDI データは、SMPTE 2022-6 の定義に従ってメディア データグラム ペイロードにマップされます。システムの生成されたフォワード エラー訂正 (FEC) の冗長データグラムは、SMPTE 2022-5 に準拠してフォーマットされます。メディアおよび FEC データグラム パケットを IP ネットワーク上で伝送する際には、IP/UDP/RTP プロトコルの標準ヘッダーが付加されます。

システム機能を正しくサポートするには、このシステムで生成されるストリームに必要な以上のネットワーク帯域幅を確保する必要があります。IP/UDP/RTP および SMPTE 2022-6 のヘッダーにより、メディア データグラムの生成には約 5% のオーバーヘッドが必要です。

SMPTE 2022-5/6 Video over IP Transmitter

リファレンス デザインの SMPTE 2022-5/6 Video over IP Transmitter は、SMPTE SDI レシーバーからの SDI 入カストリームを 3 チャンネルで受け取るよう構成されています。トランスミッターは、AXI4-Stream データ インターフェイスを経由して 10-Gigabit Ethernet MAC に接続します。また、トランスミッターは AXI4-Lite 制御インターフェイスを経由して MicroBlaze プロセッササブシステム内のカスタマイズした IP コアにも接続しています。トランスミッター コアは EDK をネイティブ サポートしていないため、レジスタへのアクセス用として axilite_bridge という名前のカスタマイズした IP コアを作成しています。トランスミッター コアは、2 つの AXI4 外部マスター コネクタを使用して AXI4 インターコネクタ経由で DDR3 SDRAM にアクセスします。メモリ マップのアドレス範囲は 0xC0000000 - 0xFFFFFFFF で固定されています。

トランスミッターのソース MAC アドレスは 0x000000000000AA に設定されています。トランスミッターのソース IP アドレスは 192.168.1.100 に設定され、デスティネーション IP アドレスは全チャンネルとも 192.168.1.50 に設定されています。UDP ポートは、表 2 のように設定しています。各チャンネルの FEC マトリックス サイズは、表 3 のように設定しています。これらのパラメーターの設定は、レジスタで変更できます。

表 2 : SDI チャンネルの UDP ポートの値

BNC コネクタ	チャンネル	ソース UDP ポート	デスティネーション UDP ポート
RX1	0	0x10	0x10
RX2	1	0x20	0x20
RX3	2	0x30	0x30

表 3 : SDI チャンネルの FEC マトリックス サイズの値

BNC コネクタ	チャンネル	L	D
RX1	0	77	77
RX2	1	77	77
RX3	2	77	77

SMPTE 2022-5/6 Video over IP Transmitter には AXI4-Lite インターフェイスも含まれており、コア内のパラメーターをプロセッサから動的に制御できます。レジスタの詳細は、『LogiCORE IP SMPTE 2022-5/6 Video over IP Transmitter 製品ガイド』(PG032) [参照 4] を参照してください。

レジスタは汎用空間とチャンネル空間の 2 つに分かれています。汎用空間レジスタのパラメーターはすべてのチャンネルに適用されます。チャンネル空間レジスタのパラメーターは、該当する各チャンネルに適用されます。

汎用空間レジスタは、通常のアドレス読み出し/書き込み手順でアクセスできます。チャンネル空間レジスタを更新する場合は、次の手順に従います。

1. 設定するチャンネルをレジスタ アドレス base_addr+0x030 で指定します。
2. チャンネル固有のレジスタを設定します。
3. 制御レジスタの reg_update ビットをパルスして、チャンネル レジスタへの変更を確定します。
4. 別のチャンネルまたはレジスタの設定を行う場合は、手順 1 ~ 手順 3 を繰り返します。図 5 を参照してください。

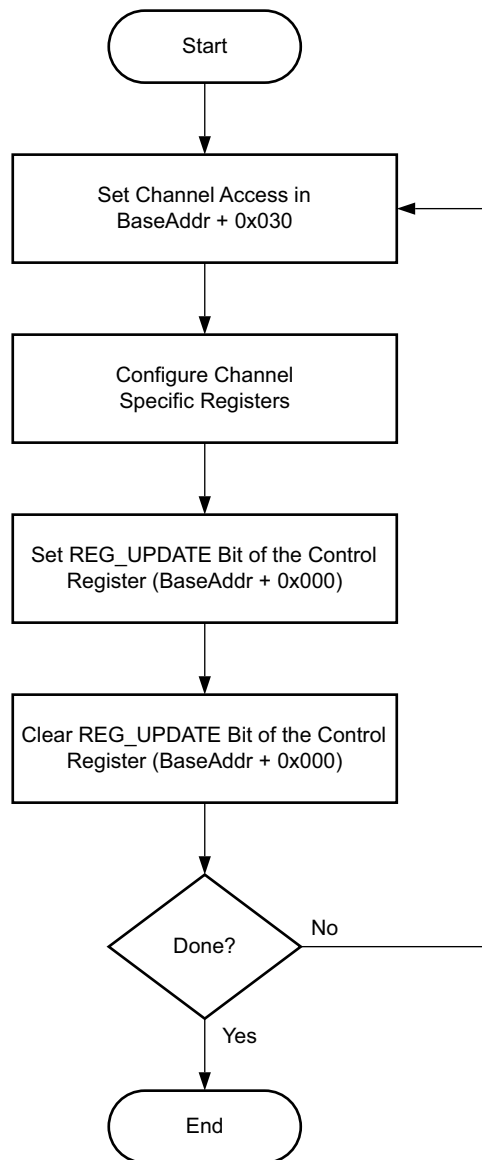


図 5 : チャネル レジスタ設定のフローチャート

SMPTE 2022-5/6 Video over IP Receiver

このリファレンス デザインの SMPTE 2022-5/6 Video over IP Receiver は、3 チャネルの SDI 出力を SMPTE SDI トランスミッターへ送るよう構成されています。レシーバーは、AXI4-Stream データ インターフェイスを経由して 10-Gigabit Ethernet MAC に接続します。また、レシーバーは AXI4-Lite 制御インターフェイスを経由して MicroBlaze プロセッサ サブシステム内のカスタマイズした IP コアにも接続しています。レシーバー コアも EDK をネイティブ サポートしていないため、レジスタへのアクセス用として axilite_bridge という名前のカスタマイズした IP コアを作成しています。レシーバー コアは、3 つの AXI4 外部マスター コネクタを使用して AXI4 インターコネクト経由で DDR3 SDRAM にアクセスします。メモリ マップのアドレス範囲は 0xC0000000 - 0xFFFFFFFF で固定されています。SMPTE 2022-5/6 Video over IP Receiver は、VCXO の代替となるソリューションを使用してビデオクロック リカバリを実行します。詳細は、『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え』(XAPP589) [参照 11] を参照してください。

受信したメディア パケットは、表 4 に示した UDP デスティネーション ポートに基づいてフィルタリングされます。

表 4 : SDI チャンネルの UDP ポートの値

BNC コネクタ	チャンネル	デスティネーション UDP ポート
TX1	0	0x10
TX2	1	0x20
TX3	2	0x30

SDI 出力を開始する前にバッファされるメディア パケットの数は、1 チャンネルにつき 14,000 に設定されています。

SMPTE 2022-5/6 Video over IP Receiver には AXI4-Lite インターフェイスも含まれており、コア内のパラメーターをプロセッサから動的に制御できます。レジスタの詳細は、『LogiCORE IP SMPTE 2022-5/6 Video over IP Receiver 製品ガイド』(PG033) [参照 5] を参照してください。

レジスタは汎用空間とチャンネル空間の 2 つに分かれています。汎用空間レジスタのパラメーターはすべてのチャンネルに適用されます。チャンネル空間レジスタのパラメーターは、該当する各チャンネルに適用されます。

汎用空間レジスタは、通常のアドレス読み出し/書き込み手順でアクセスできます。チャンネル空間レジスタを更新する場合は、次の手順に従います。

1. 設定するチャンネルをレジスタ アドレス `base_addr+0x030` で指定します。
2. 選択したチャンネルのチャンネル レジスタの設定を必要に応じて変更します。
3. 制御レジスタの `reg_update` ビットをパルスして、チャンネル レジスタへの変更を確定します。
4. 別のチャンネルの設定を行う場合は、手順 1 ~ 手順 3 を繰り返します。7 ページの図 5 を参照してください。

SMPTE SD/HD/3G-SDI

SMPTE SDI コアは、SMPTE SD-SDI、HD-SDI、3G-SDI 規格に対応したトランスミッターおよびレシーバー インターフェイスを提供します。このコアは、SDI ビデオ ストリームのシリアライズ/デシリアライズを行うために 7 シリーズ FPGA の GTX トランシーバーに接続されています。SMPTE SDI レシーバーは 148.5MHz の GTX トランシーバー基準クロック周波数を使用して、サポートされている SDI ビット レートを受信します。レシーバーは受信した SDI ビット レートを自動的に判定し、その SDI モードに合わせて自分自身と GTX トランシーバーを正しく設定します。デザインで指定した SMPTE SDI がサポートしている SDI ビット レート (148.5MHz および 148.35MHz) を利用するには、2 種類の異なる GTX トランシーバー基準クロック周波数が必要です。これら 2 つの基準クロックは、GTX トランシーバー内蔵のクロック マルチプレクサーで切り替えられます。トランスミッターに対する SDI の動作モードは、各ポートが動的に制御します。一方、トランスミッターは、各 SDI モードに合わせて適切な構成となるようにダイナミック リコンフィギュレーション ポート (DRP) を介して GTX トランスミッターを制御します。詳細は、『SMPTE SD/HD/3G-SDI 製品ガイド』(PG071) [参照 6] を参照してください。

10-Gigabit Ethernet MAC

トランスミッター側の 10-Gigabit Ethernet MAC インスタンスの AXI4-Stream インターフェイスは、SMPTE 2022-5/6 Video over IP Transmitter の出力に接続されています。レシーバー側の 10-Gigabit Ethernet MAC インスタンスの AXI4-Stream インターフェイスは、SMPTE 2022-5/6 Video over IP Receiver の入力に接続されています。10-Gigabit Ethernet MAC には、10-Gigabit Ethernet PCS/PMA コアへの接続用に 64 ビットの SDR PHY ポートが 1 つコンフィギュレーションされています。フロー制御は使用していません。詳細は、『LogiCORE IP 10-Gigabit Ethernet MAC 製品ガイド』(PG072) [参照 7] を参照してください。

10-Gigabit Ethernet PCS/PMA

10-Gigabit Ethernet PCS/PMA コアは、Video over IP Transmitter と Receiver プラットフォームの間で 10GBASE-R の光リンクを形成します。PCS/PMA は 1 つのトランシーバーを使用して 10Gb/s のデータレートを実現します。両方のプラットフォームの SFP+ 光トランシーバー同士を 1 本の光ケーブルで接続します。PCS/PMA 10GBASE-R/KR 規格は、10 ギガビットイーサネット IEEE 802.3-2008 仕様の第 45、49、72、73、74 節で完全に定義されています。詳細は、『LogiCORE IP 10-Gigabit Ethernet PCS/PMA 製品ガイド』(PG072) [参照 8] を参照してください。

AXI インターコネク (AXI_MM)

この AXI4 インターコネク インスタンスは、コア データ幅 256 ビットでクロック周波数 200MHz のデザインで求められる高い F_{MAX} とスループットを提供します。AXI4 インターコネク コアのデータ幅およびクロック周波数は、接続先となる AXI MIG の性能と一致するため、データ幅やクロックの変換は必要ありません。AXI4 インターコネク コアのデータ幅およびクロック周波数を、メモリ コントローラーのネイティブ データ幅およびクロック周波数より小さくすると、システムに帯域幅のボトルネックが生じます。256 ビット AXI4 インターフェイスの 200MHz でのタイミング要件を満たすように、AXI_MM インターコネクと AXI4 MIG の間でレジスタ スライス ランクを 1 つ有効にしています。さらに、AXI4 インターコネクと AXI4 MIG を組み合わせることで、4 つの AXI4 外部マスター コネクタに接続する 4 ポートの AXI4 マルチポート メモリ コントローラー (MPMC) を構成しています。この AXI4 インターコネクのコンフィギュレーションは、『AXI リファレンス ガイド』[参照 9] に記載されている AXI4 MPMC ベースのシステムに対するシステム性能最適化の推奨事項に従っています。

メモリ インターフェイス ジェネレーター

メモリ インターフェイス ジェネレーター (MIG) は、AXI4 インターコネクに接続される 1 つのスレーブを構成します。MIG AXI4 インターフェイスは 256 ビット幅で 200MHz で動作し、スループットとタイミングを最適化するためにナロー バーストのサポートは無効になっています。このコンフィギュレーションは、メモリ クロックが 800MHz の 64 ビット DDR3 DIMM に対応する AXI4 インターフェイスのネイティブ クロックおよび幅に適合しており、スピード グレード -2 の Kintex-7 デバイスにおけるメモリ コントローラーの公称性能を実現します。インターフェイスが 200MHz でのタイミングを確実に満たすように、レジスタ スライス を有効にしています。これらの設定により、トランザクションのパイプライン処理が効率化され、システム スループットが向上します。詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション v2.0 ユーザー ガイド』(UG586) [参照 10] を参照してください。

AXI インターコネク - (AXI lite)

MicroBlaze プロセッサのデータ ペリフェラル (DP) インターフェイスのマスターは、デザインのすべての AXI4-Lite スレーブ レジスタに対して、制御およびステータス情報の書き込み/読み出しを実行します。これらは 32 ビット インターコネクであり、高い F_{MAX} やスループットは必要ないため、別の AXI インターコネクでデザイン内の低い F_{MAX} 部分へ接続されます。このデザインの AXI4-Lite インターコネク ブロックは低スループットとなるため、共有アクセス モードに設定され、性能よりエリアが最適化されます。このインターコネクのクロックを 100MHz にすることで、AXI インターコネクで整数比の同期クロック コンバーターが使用可能になり、これによって非同期クロック コンバーターよりも低いレイテンシとより小さいエリアが得られます。AXI4-Lite インターコネク上のスレーブは、AXI UART Lite コアと、10-Gigabit Ethernet PCS/PMA または SMPTE 2022-5/6 Video over IP Transmitter/Receiver コアへ接続するカスタマイズされた axilite_bridge IP コアです。

ソフトウェア構成

ソフトウェア アプリケーションは、Video over IP Transmitter/Receiver プラットフォームを初期化します。ソフトウェアの初期化後、UART 端末画面に表示されるメニューからコマンドを選択できます。

アプリケーション レベルのソフトウェアとシステム制御用ドライバーは、C で記述されています。あるいは、IP 制御レジスタにドライバーとアプリケーション ソフトウェアを直接書き込むこともできます。

Transmitter/Receiver のレジスタの値は、ソフトウェアによって設定されます。トランスミッターの汎用空間レジスタの値を表 5 に示し、チャンネル空間レジスタの値を表 6 に示します。レシーバーの汎用空間レジスタの値を表 7 に示し、チャンネル空間レジスタの値を表 8 に示します。レジスタセットのベースアドレスは、AXI4-Lite ブリッジのベースアドレス (0x70E0000) です。表中に示していないレジスタは初期化されず、それぞれのデフォルト値のままになります。

表 5: 初期化されたトランスミッターの汎用空間レジスタの値

オフセット	レジスタ名	値
0x060	Src_mac_low_addr	0x000000AA
0x064	Src_mac_high_addr	0x00000000
0x068	Src_IP_addr	0xC0A80064

表 6: 初期化されたトランスミッターのチャンネル空間レジスタの値

オフセット	レジスタ名	値		
		チャンネル 1	チャンネル 2	チャンネル 3
0x100	chan_en	0x1	0x1	0x1
0x104	FEC_config	0x7	0x7	0x7
0x10C	FEC_L	0x4D	0x4D	0x4D
0x110	FEC_D	0x4D	0x4D	0x4D
0x128	dest_ip_addr	0xC0A80032	0xC0A80032	0xC0A80032
0x138	src_udp_port	0x10	0x20	0x30
0x13C	dest_udp_port	0x10	0x20	0x30
0x140	SSRC	0x12345600	0x12345610	0x12345620
0x144	RTP TOS (2) TTL (64)	0x00020040	0x00020040	0x00020040
0x148	FEC TOS (3) TTL (65)	0x00030041	0x00030041	0x00030041

表 7: 初期化されたレシーバーの汎用空間レジスタの値

オフセット	レジスタ名	値
0x060	mac_low_addr	0x000000BB
0x064	mac_high_addr	0x00000000
0x068	IP_host_addr	0xC0A80032

表 8: 初期化されたレシーバーのチャンネル空間レジスタの値

オフセット	レジスタ名	値		
		チャンネル 1	チャンネル 2	チャンネル 3
0x100	chan_en	0x1	0x1	0x1
0x110	firewall_sel	0x0	0x0	0x0
0x114	dest_port	0x10	0x20	0x30
0x118	SSRC	0x12345600	0x12345610	0x12345620
0x11C	src_ip_host_addr	0xC0A80064	0xC0A80064	0xC0A80064
0x12C	start_buffer_size	0x36B0	0x36B0	0x36B0

図 6 に、Video over IP Transmitter/Receiver の全体的なソフトウェア プロセスを示します。

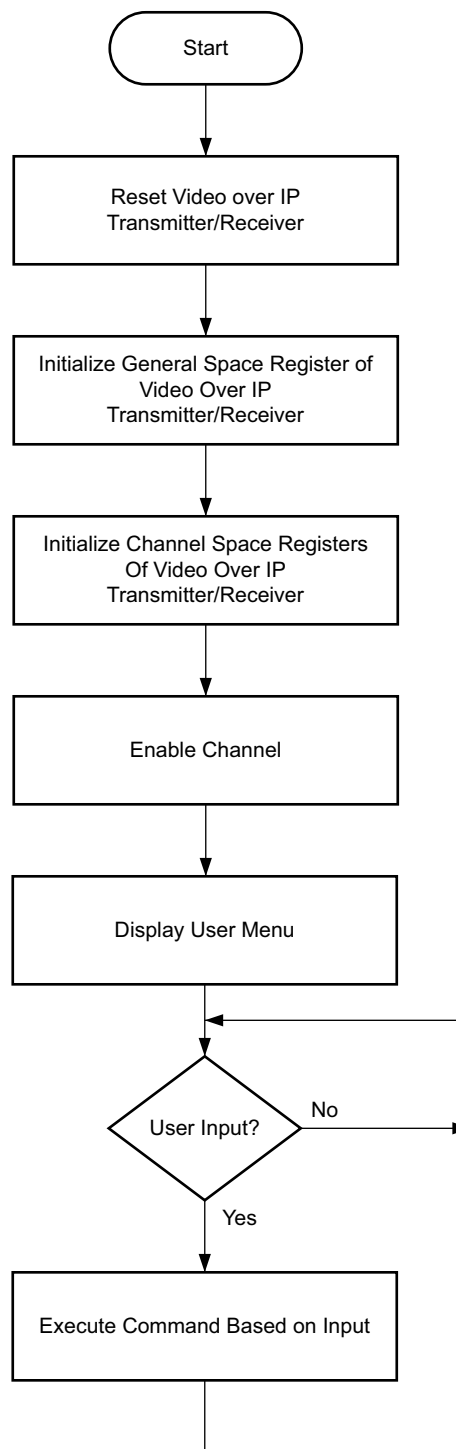


図 6 : Video over IP Transmitter/Receiver の全体的なソフトウェア プロセス

注記：リセット後の適切なコア動作を保証するために、チャンネルのイネーブル信号は最後にアサートされます。

Video Over IP コアのリセットは、システムのセットアップ段階で実行することを推奨しています。動作中にリセットがアサートされると動作が不安定になる可能性があります。

ハードウェア上でのリファレンス デザインの実行

このセクションでは、Inrevium TB-FMCH-3GSDI2A メザニン ボードを使用する KC705 評価ボード上のリファレンス デザインのセットアップおよび動作について詳しく説明します (図 7 および図 8)。

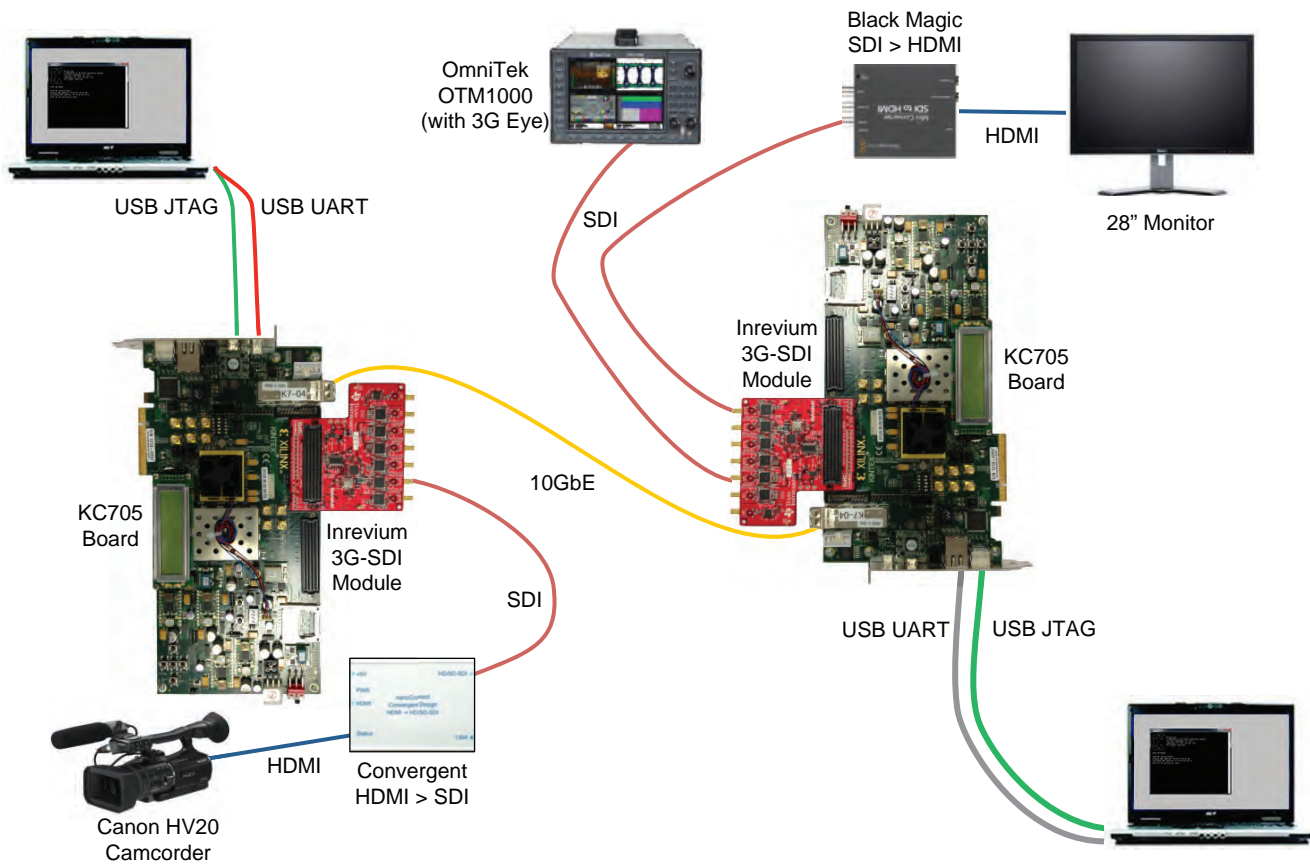


図 7 : Video over IP システム

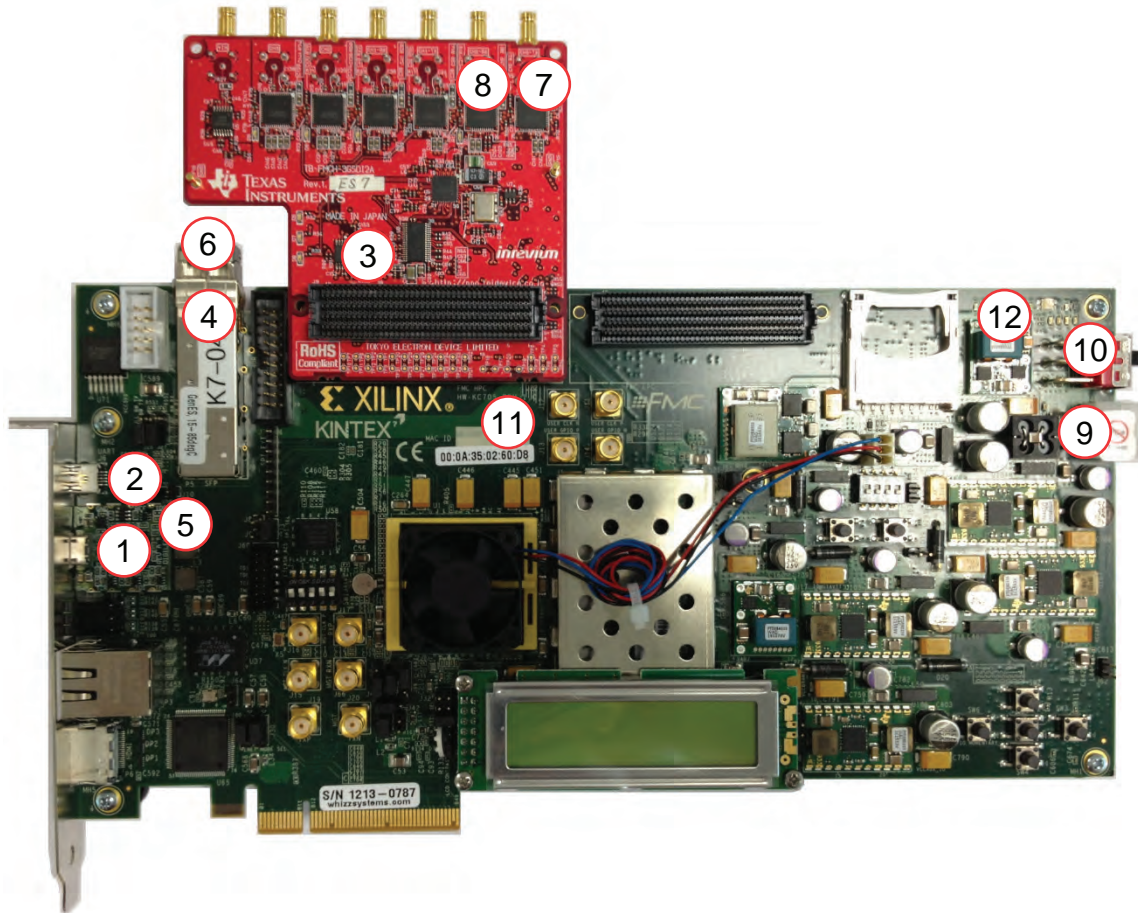


図 8 : KC705 および TB-FMCH-3FSDI2A ボード

これらの手順のかつこ内の番号は図 8 に示す番号に対応しています。

1. USB ケーブルをホスト PC から USB JTAG ポート (1) に接続します。適切なデバイスドライバーがインストールされていることを確認します。
2. 別の USB ケーブルをホスト PC から USB UART ポート (2) に接続します。「ハードウェア要件」に記載された USB-UART ドライバーがインストールされていることを確認します。
3. TB-FMCH-3GSDI2A ボードを KC705 ボードの LPC-FMC コネクタ (3) に接続します。
4. SFP+ 光トランシーバー モジュール (6) を KC705 ボードの SFP コネクタ (4) に接続します。
5. KC705 ボードの J4 (5) にジャンパーを接続して SFP+ トランスミッターを有効にします。
6. 光ケーブルの一端を Video over IP トランスミッター ボードの SFP+ トランシーバー モジュール (6) に接続し、もう一方の端を Video over IP レシーバー ボードの SFP+ トランシーバー モジュールに接続します。
7. Video over IP Receiver ボード上で、SDI ビデオ モニター ケーブルを、TB-FMCH-3GSDI2A 3G/HD/SD チャンネル 0、1 および 2 DIN コネクタ (7) に接続します。
8. Video over IP Transmitter ボード上で、SDI ビデオ ジェネレーター ケーブルを、TB-FMCH-3GSDI2A 3G/HD/SD チャンネル 0、1 および 2 DIN コネクタ (8) に接続します。
9. 電源を KC705 ボードの J49 コネクタ (9) に接続します。
10. KC705 ボードの電源スイッチ (10) を ON の位置に設定します。

11. 送信プラットフォームと受信プラットフォームの HW-KC705 ボードのリビジョン番号 (11) が同じであることを確認します (リビジョン 1.1 より前の KC705 評価ボードの場合は注記を参照してください)。
12. すべての LED が点灯していることを確認してください (詳細は「デバッグ」を参照)。
13. ホスト PC 上で、次の設定で端末プログラム (ハイパーターミナルなど) を開始します。
 - ボーレート : 115200
 - データビット : 8
 - パリティ : なし
 - ストップビット : 1
 - フロー制御 : なし

注記 : KC705 評価ボードのリビジョン番号が 1.1 以前 (例 : 1.0 および C) の場合は、10Gb ETH PCS/PMA MGT の P ピンと N ピンがスワップされています。したがって、一般的な機器では光信号の互換性に問題が発生します。

回避策 : このファイルで TXPOLARITY および RXPOLARITY を VCC へ接続します。

```
ten_gig_eth_pcs_pma_0
|
|_ synth
   |
   |_ ten_gig_eth_pcs_pma_0_gtwizard_10gbaser_gt.VHD
```

構築済みビットストリームとコンパイル済みソフトウェア アプリケーションを使用してリファレンス システムを実行する

このセクションでは、ready_for_download ディレクトリ内のファイルを使用してシステムを実行するのに必要な手順を詳しく説明します。

1. [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [Vivado 2013.4] → [SDK] をクリックして、Xilinx Microprocessor Debugger を起動します。
2. ザイリンクスのコマンド シェル ウィンドウで、ready_for_download ディレクトリに変更します。

VoIP_TX :

```
>cd <unzip_dir>/kc705_smpte2022_56_tx_ip/ready_for_download
```

VoIP_RX :

```
>cd <unzip_dir>/kc705_smpte2022_56_rx_ip/ready_for_download
```

3. ビットストリームを FPGA にダウンロードします。

```
XMD% fpga -f download.bit
```

4. XMD コマンド プロンプトを終了します。

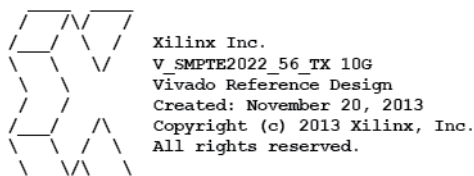
```
XMD% exit
```

注記 : FPGA のコンフィギュレーションが完了するとすぐにソフトウェア アプリケーションの実行が開始します。実行可能ファイル (.elf) は、コンフィギュレーション ファイル (download.bit) に埋め込まれています。起動する順序は重要ではありません。

ハードウェアおよびソフトウェアを実行する

トランスミッター

図 9 に、Video over IP Transmitter の初期化シーケンスを示すハイパーターミナル画面を示します。3 チャネルはすべて異なる構成で初期化されています。



```
VoIP TX Reset
VoIP TX Initializing...

Fault Inhibit: Enabled
IP Address: 192.168.0.100
MAC Address: 00-00-00-00-00-AA
Time Stamp: Enabled
IP Version: IPv4
VLAN: Disabled
VLAN Tag: 0xABCD
VoIP TX Initialization done

Initializing Channel 1
Dest IP Addr: 192.168.0.50
Source Port: 0x0010
Dest Port: 0x0010
SSRC: 0x12345600
FEC Size: 77x77
FEC: On
Block Align: Block Aligned
FEC TOS: 3
FEC TTL: 65
RTP TOS: 2
RTP TTL: 64
Channel Enabled
Channel 1 Initialization Done

Initializing Channel 2
Dest IP Addr: 192.168.0.50
Source Port: 0x0020
Dest Port: 0x0020
SSRC: 0x12345610
FEC Size: 77x77
FEC: On
Block Align: Block Aligned
FEC TOS: 3
FEC TTL: 65
RTP TOS: 2
RTP TTL: 64
Channel Enabled
Channel 2 Initialization Done

Initializing Channel 3
Dest IP Addr: 192.168.0.50
Source Port: 0x0030
Dest Port: 0x0030
SSRC: 0x12345620
FEC Size: 77x77
FEC: On
Block Align: Block Aligned
FEC TOS: 3
FEC TTL: 65
RTP TOS: 2
RTP TTL: 64
Channel Enabled
Channel 3 Initialization Done
```

図 9 : VoIP_TX 初期化のハイパーターミナル出力

ハイパーターミナル画面のメイン メニューに次の 12 のオプションが表示されます (図 10)。

- 1 = コアのリセット
- 2 = コアの初期設定 (汎用空間レジスタのみ)
- 3 = ホスト IP アドレスの変更
- 4 = ソース MAC アドレスの変更
- 5 = タイム スタンプの有効/無効
- 6 = VLAN の有効/無効
- 7 = VLAN タグの変更
- 8 = 10G MAC の Fault Inhibit のオン/オフ (単一のダウンストリーム Tx-RX 光リンク)
- c = チャネルの設定 (チャネル選択サブメニューを表示)
- p = 現在の設定の確認 (選択した汎用空間レジスタのステータスを表示)
- q = ソフトウェア アプリケーションの終了
- ? = 現在のメニューを表示

```

-----
-- VoIP TX Main Menu --
-----

Select option
1 = Reset Core
2 = Initialize Core
3 = Change Host IP Address
4 = Change Source MAC Address
5 = Time Stamp En/Disable
6 = VLAN En/Disable
7 = Change VLAN Tag
8 = 10G MAC Fault Inhibit On/Off
c = Configure Channel
p = Probe Current Settings
q = exit
? = help

```

図 10 : VOIP_TX のメイン メニューのハイパーターミナル出力

オプション c を選択すると、チャネル選択メニューが表示されます (図 11)。

```

Select Channel
1 = Channel 1
2 = Channel 2
3 = Channel 3
m = Main Menu

```

図 11 : VOIP_TX のチャネル選択メニューのハイパーターミナル出力

3 チャネルのうち 1 つを選択するか、メイン メニューに戻ることができます。

- 1 = チャネル 1
- 2 = チャネル 2
- 3 = チャネル 3
- m = メイン メニュー

チャネルを選択した後、チャネル選択サブメニューが表示されます (図 12)。


```

Select Option
1 = Channel Init
2 = Channel Enable/Disable
3 = FEC On/Off
4 = Toggle FEC 1D/2D
5 = Set Column FEC
6 = Set Row FEC
7 = Toggle Block Alignment
8 = Set Dest MAC Addr
9 = Set Dest IP Addr
0 = Set Source UDP Port
a = Set Dest UDP Port
b = Set SSRC
d = Set FEC TOS
e = Set FEC TTL
f = Set RTP TOS
g = Set RTP TTL
p = Probe Status
m = Main Menu
c = Channel Select

```

図 12 : VOIP_TX のオプション選択サブメニューのハイパーターミナル出力

メニュー リストの 19 のオプションのうち 1 つを選択できます。

- 1 = チャンネルの初期化
- 2 = チャンネルの有効/無効
- 3 = FEC のオン/オフ
- 4 = FEC 1D/2D のトグル
- 5 = 列の FEC の設定
- 6 = 行の FEC の設定
- 7 = ブロック アライメントのトグル
- 8 = デスティネーション MAC アドレスの設定
- 9 = デスティネーション IP アドレスの設定
- 0 = ソース UDP ポートの設定
- a = デスティネーション UDP ポートの設定
- b = SSRC の設定
- d = FEC TOS の設定
- e = FEC TTL の設定
- f = RTP TOS の設定
- g = RTP TTL の設定
- p = ステータスの確認
- m = メイン メニュー
- c = チャンネル選択

レシーバー

図 13 に、Video over IP Receiver の初期化シーケンスを示すハイパーターミナル画面を示します。3 チャンネルはすべて異なる構成で初期化されています。

```

Xilinx Inc.
V_SMPTE2022_56_RX 10G
Vivado Reference Design
Created: November 20, 2013
Copyright (c) 2013 Xilinx, Inc.
All rights reserved.

```

```

VoIP RX Reset
VoIP RX Initializing...

Fault Inhibit: Enabled
IP Address: 192.168.0.50
MAC Address: 00-00-00-00-00-BB
VoIP RX Initialization done

```

```

Initializing Channel 1
Host IP Addr: 192.168.0.100
Source Port: 0x0010
SSRC: 0x12345600
Buffer Size: 14000
Channel Enabled
Channel 1 Initialization Done

```

```

Initializing Channel 2
Host IP Addr: 192.168.0.100
Source Port: 0x0020
SSRC: 0x12345610
Buffer Size: 14000
Channel Enabled
Channel 2 Initialization Done

```

```

Initializing Channel 3
Host IP Addr: 192.168.0.100
Source Port: 0x0030
SSRC: 0x12345620
Buffer Size: 14000
Channel Enabled
Channel 3 Initialization Done

```

図 13 : VOIP_RX のチャンネル初期設定のハイパーターミナル出力

ハイパーターミナル画面のメイン メニューに次の 9 つのオプションが表示されます (図 14)。

- 1 = コアのリセット
- 2 = コアの初期設定 (汎用空間レジスタのみ)
- 3 = ボード IP アドレスの変更
- 4 = MAC アドレスの変更
- 5 = 10G MAC の Fault Inhibit のオン/オフ (単一のダウンストリーム TX-RX 光リンク)
- c = チャンネルの設定 (チャンネル選択サブメニューを表示)
- p = 現在の設定の確認 (選択した汎用空間レジスタのステータスを表示)
- q = ソフトウェア アプリケーションの終了
- ? = 現在のメニューを表示

```

-----
-- VoIP RX Main Menu --
-----

Select option
1 = Reset Core
2 = Initialize Core
3 = Change Board IP Address
4 = Change MAC Address
5 = 10G MAC Fault Inhibit On/Off
c = Configure Channel
p = Probe Current Settings
q = exit
? = help

```

図 14 : VOIP_RX のメイン メニューのハイパーターミナル出力

オプション c を選択すると、チャンネル選択メニューが表示されます (図 15)。

```

Select Channel
1 = Channel 1
2 = Channel 2
3 = Channel 3
m = Main Menu

```

図 15 : VOIP_RX のチャンネル選択メニューのハイパーターミナル出力

3 チャンネルのうち 1 つを選択するか、メイン メニューに戻ることができます。

```

1 = チャンネル 1
2 = チャンネル 2
3 = チャンネル 3
m = メイン メニュー

```

チャンネルを選択した後、チャンネル選択サブメニューが表示されます (図 16)。

```

Select Option
1 = Channel Init
2 = Channel Enable/Disable
3 = Change Firewall
4 = Set Host IP Addr
5 = Set Dest UDP Port
6 = Set SSRC
p = Probe Status
m = Main Menu
c = Channel Select

```

図 16 : VOIP_RX のオプション選択サブメニューのハイパーターミナル出力

メニュー リストの 9 つのオプションのうち 1 つを選択できます。

```

1 = チャンネルの初期化
2 = チャンネルの有効/無効
3 = ファイヤーウォールの変更
4 = ホスト IP アドレスの設定
5 = デスティネーション UDP ポートの設定
6 = SSRC の設定
p = ステータスの確認
m = メイン メニュー
c = チャンネル選択

```

リファレンス デザインの再構築 とコンパイル

このセクションでは、ハードウェア デザインの再構築について説明します。プロジェクトを再構築する前に、SMPTE 2022-5/6 Video over IP Transmitter/Receiver コア、10-Gigabit Ethernet PCS/PMA、および 10-Gigabit Ethernet MAC のライセンスがインストールされていることを確認します。

注記：ファイルパスが長すぎるためにコンパイル エラーが発生しないように、プロジェクト ファイルはできるだけルート ディレクトリの近くに展開してください。たとえば、一般的な Windows システムへのインストールでは、C:\ にファイルを展開します。

Vivado Design Suite 2013.4 でプログラミング ファイルを生成する

1. Vivado Design Suite を起動します。
2. Tcl コンソールに次のように入力し、ワークスペース ディレクトリに変更します。
VoIP_TX :
>cd <unzip dir>/KC705_SMPTE2022_12_4Ch/kc705_smpte2022_12_4ch_tx
VoIP_RX :
>cd <unzip dir>/kc705_smpte2022_56_rx_ip
3. プロジェクト ビットストリームの作成、コンパイル、生成を行うには、Tcl コンソールに次のように入力し、all.tcl スクリプトを実行します。
>source all.tcl

SDK でソフトウェアをコンパイルする

1. ビットストリームの生成 (all.tcl script) の完了後、右側の [Implementation] タブの下にある [Open Implemented Design] をクリックし、インプリメントされたデザインを開きます。
2. 右側の [IP Integrator] タブの下にある [Open Block Design] をクリックし、[system_basic.bd] をクリックします。
3. [Sources] ビューでプロジェクトの階層を展開し、[i_system_basic] を右クリックして [Export Hardware for SDK] をクリックします。
4. 画面が表示されます。ワークスペースとエクスポート パスを次のように設定します。

VoIP_TX :
<unzip dir>\kc705_smpte2022_56_tx_ip\SW\SDK_Workspace

VoIP_RX :
<unzip dir>\kc705_smpte2022_56_rx_ip\SW\SDK_Workspace

5. すべてのチェック ボックスがオンになっていることを確認し、[OK] をクリックします。
6. [File] → [Import] → [General] → [Existing Projects] をクリックして、ボード サポート パッケージ (BSP) とソフトウェア アプリケーションをワークスペースにインポートします。
7. [Next] をクリックし、次のディレクトリに移動します。

VoIP_TX :
<unzip dir>\kc705_smpte2022_56_tx_ip\SW\SDK_Workspace

VoIP_RX :
<unzip dir>\kc705_smpte2022_56_rx_ip\SW\SDK_Workspace

8. [OK] をクリックします。
9. すべてのチェック ボックスがオンになっていることを確認します。
10. [Finish] をクリックします。

この段階で、BSP とソフトウェア アプリケーションがコンパイルされます。この処理には 2 分から 5 分程度かかります。これで、SDK 内で既存ソフトウェア アプリケーションの変更や新規ソフトウェア アプリケーションの作成が可能になります。

SDK でハードウェアおよびソフトウェアを実行する

1. [Xilinx Tools] → [Configure JTAG Settings] をクリックし、JTAG コンフィギュレーションを開きます (図 17)。

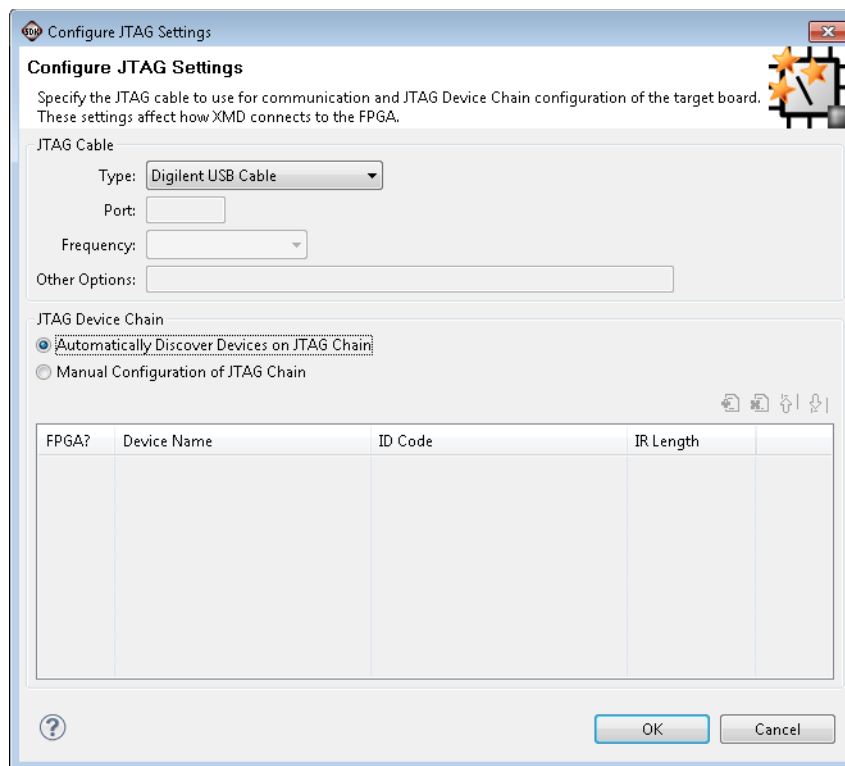


図 17 : [Configure JTAG Settings] の設定

2. [Type] で [Digilent USB Cable] を選択します。
3. [Automatically Discover Devices on JTAG Chain] をオンにします。
4. [OK] をクリックします。
5. [Xilinx Tools] → [Program FPGA] をクリックします。
6. [Program] をクリックします。
7. [Project Explorer] ウィンドウで右クリックし、次のようにクリックします。

VoIP_TX :

[voip_tx_main] を右クリックして [Run As] → [Launch on Hardware]

8. VoIP_RX :

[voip_rx_main] を右クリックして [Run As] → [Launch on Hardware]

注記：このリファレンス デザインは、アドレス解決プロトコル (ARP) をサポートしていません。また、リンカー スクリプトを編集することにより、ソフトウェア アプリケーションを MIG から実行するか、ブロック RAM から実行するかを選択できます。リンカー スクリプトのデフォルト設定では、ソフトウェア アプリケーションをブロック RAM から実行します。

リンカー スクリプトの MIG ベース アドレスは 0xF8000000 に設定し、video over IP Transmitter コアや Receiver コアのメモリ アドレス範囲から確実に分離させます。メモリ要件の詳細は、『LogiCORE IP

SMPTE 2022-5/6 Video over IP Transmitter 製品ガイド』(PG032) [参照 4] および『LogiCORE IP SMPTE 2022-5/6 Video over IP Receiver 製品ガイド』(PG033) [参照 5] を参照してください。

その他の情報

proj.TCL スクリプトの 35 ~ 36 行目を実行中に、カスタム IP の axilite_bridge がプロジェクトのローカルレポジトリに追加されます。

プロジェクトのローカルレポジトリパスは、Vivado IDE の [Project Settings] ダイアログボックスで指定できます。

デバッグ

オンボードの GPIO LED 利用して、素早いトラブルシューティングを行うことが可能です。通常の動作の場合、ビットストリーム コンフィギュレーションが完了してから 5 秒以内にすべての LED が非同期にオンになる必要があります。表 9 に LED の説明を示します。

表 9: トランスミッターおよびトランシーバーの KC705 GPIO LED の意味

GPIO_LED	意味
0	10G PCS/PMA のリンクアップ
1	10G PCS/PMA のリセット完了
2	10G ブロック リセット (反転)
3	10G PCS/PMA 156.25MHz PLL のロック
4	Si5324 の未ロック (反転)
5	クロック 100MHz のロック
6	クロック 200 MHz のロック
7	DDR メモリの初期化完了

GPIO_LED 0: この LED がオフの場合は、反対側のプラットフォームの J4 ジャンパーが適切に設定されていないことを意味します。たとえば、VoIP_TX の LED 0 がオフの場合、VoIP_RX の J4 ジャンパーの設定を確認してください。

GPIO_LED 1 および 2: これらの LED がオフの場合は、156.25MHz クロックがない、または 10-Gigabit Ethernet MAC および PCS/PMA ブロックに配線されていないことを意味します。

GPIO_LED 3: この LED がオフの場合は、10-Gigabit Ethernet PCS/PMA への 156.25MHz 差動基準クロックがないことを意味します。

GPIO_LED 7: この LED がオフの場合は、メモリ サブシステムが初期化を完了していないことを意味します。KC705 開発ボードの電源を一旦オフにしてから再度オンにしてみてください。

リファレンス デザイン

このアプリケーション ノートのリファレンス デザインは、次のリンクからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=355405> (登録が必要)

表 10 に、リファレンス デザインの詳細を示します。

表 10: リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	Gilbert Magnaye, Josh Poh, Myo Tun Aung, Tom Sun
ターゲット デバイス (ステッピング レベル、ES、プロダクション、スピード グレード)	Kintex-7 XC7K325T-2FFG900

表 10: リファレンス デザインの詳細 (続き)

パラメーター	説明
ソース コードの提供	あり
ソース コードの形式	VHDL (一部は暗号化済み)
既存のザイリンクス アプリケーション ノート / リファレンス デザイン、CORE Generator™ ツール、サードパーティからデザインへのコード / IP の使用	Vivado IP カタログからコアを生成
シミュレーション	
論理シミュレーションの実施	N/A
タイミング シミュレーションの実施	N/A
論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用	N/A
テストベンチの形式	N/A
使用したシミュレータ / バージョン	N/A
SPICE/IBIS シミュレーションの実施	N/A
インプリメンテーション	
使用した合成ツール / バージョン	Vivado 2013.4
使用したインプリメンテーション ツール / バージョン	Vivado 2013.4
スタティック タイミング解析の実施	あり
ハードウェア検証	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	Kintex-7 FPGA KC705 評価キット

デザインの特性

リファレンス デザインは、Vivado Design Suite 2013.4 を使用して、Kintex-7 FPGA (XC7K325T-2FFG900) にインプリメントされています。

使用率とパフォーマンス

表 11 に、video over IP Transmitter リファレンス デザインのリソース使用状況を示します。

表 11: Video Over IP Transmitter のリソース使用状況

リソース	使用されている リソース数	利用可能な数	使用率
FF	52,197	407,600	13
LUT	45,430	203,800	22
メモリ LUT	3,722	64,000	6
I/O	162	500	32
BRAM	170	445	38
DSP48	3	840	1
BUFG	12	32	38
MMCM	2	10	20
PLL	1	10	10
GT	6	20	30

表 12 に、video over IP Receiver リファレンス デザインのリソース使用状況を示します。

表 12 : Video Over IP Receiver のリソース使用状況

リソース	使用されている リソース数	利用可能な数	使用率
FF	55377	407600	13
LUT	45472	203800	22
メモリ LUT	3905	64000	6
I/O	162	500	32
BRAM	195	445	44
DSP48	3	840	1
BUFG	12	32	38
MMCM	2	10	20
PLL	1	10	10
GT	7	20	35

注記：デバイスのリソース使用率の結果は、インプリメンテーション ツールのバージョンによって異なります。厳密な結果は変動する可能性があります。上記の値は、指標として使用してください。

まとめ

このアプリケーション ノートでは、さまざまなザイリンクス IP コアを組み合わせた Video over IP ネットワーク システムについて説明しました。リファレンス デザインは、複数の伝送ストリームをカプセル化およびカプセル化解除して 10Gb/s イーサネット パイプ経由で伝送する SMPTE 2022-5/6 Video over IP コアの機能を示しています。3 つの 3G-SDI ビデオを使用した場合、イーサネット帯域幅の使用率は 90% を超えています。このリファレンス デザインは、フォワード エラー訂正 (FEC) エンジンを実効にすると、ネットワーク上で何らかのエラーが発生してもイーサネット パケットをある程度まで回復できます。

参考資料

このアプリケーション ノートの参考資料は次のとおりです。

1. Kintex-7 FPGA KC705 評価キットの[製品ページ](#)
2. Inrevium TB-FMCH-3GSDI2A 3G/HD/SD 3GSDI FMC コネクティビティ メザニン カードの[製品ページ](#)
3. AMBA AXI4 [仕様](#)
4. 『LogiCORE IP SMPTE 2022-5/6 Video over IP Transmitter 製品ガイド』([PG032](#))
5. 『LogiCORE IP SMPTE 2022-5/6 Video over IP Receiver 製品ガイド』([PG033](#))
6. 『SMPTE SD/HD/3G-SDI 製品ガイド』([PG071](#))
7. 『LogiCORE IP 10-Gigabit Ethernet MAC 製品ガイド』([PG072](#))
8. 『LogiCORE IP 10-Gigabit Ethernet PCS/PMA 製品ガイド』([PG068](#))
9. 『AXI リファレンス ガイド』([UG761](#))
10. 『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』([UG586](#))
11. 『ギガビット トランシーバー アプリケーションにおけるデジタル VCXO の置き換え』([XAPP589](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2014 年 1 月 28 日	1.0	初版

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。