



XAPP1205 (v1.0) 2014 年 3 月 28 日

# Zynq-7000 All Programmable SoC による高性能ビデオ システムの IP インテグレーターを用いた設計

著者 : James Lucero、Bob Slous

## 概要

ザイリンクス Zynq®-7000 All Programmable SoC などのハイエンドなプロセッシング プラットフォームを使用する場合、プロセッシング システム (PS) やデバイス内に用意されたカスタム ペリフェラルの性能をフルに引き出すことが求められます。これに沿ったシステムの一例として、ライブのビデオ ストリームをメモリに書き込み (入力)、プロセッサがこのメモリにアクセスしてライブ ビデオ ストリームを読み出し、送出する (出力) というものがあります。このアプリケーション ノートでは、Zynq-7000 AP SoC メモリ インターフェイス、プログラマブル ロジック (PL) 内にインプリメントされた AXI マスター インターフェイス、および ARM® Cortex™-A9 プロセッサそれぞれから高い性能を引き出すことを焦点にしたデザインの基本原則を解説します。

ビデオ ストリームの場合、フレーム落ちやフレーム破損が発生しないように、ワースト ケースにおけるレイテンシを保証する必要があります。レイテンシが低く、Zynq-7000 AP SoC メモリ インターフェイスに直接アクセスする高速の AXI インターフェイス マスターを PL 内で実現するには、高性能 (HP) インターフェイスへの接続が必要です。Zynq-7000 AP SoC は、高スループットを得るよう設計された 64 ビットまたは 32 ビットの AXI3 スレーブ インターフェイスを 4 つ、HP インターフェイスとして備えています。

デザインでは 4 つの AXI Video Direct Memory Access (VDMA) コアを用い、8 つのストリームを同時に転送します (4 つの送信ビデオ ストリームと 4 つの受信ビデオ ストリーム)。各ストリームのフォーマットは 1920 x 1080 ピクセルで、リフレッシュ レートは 60Hz、ピクセルあたりのデータ ビットは最大 24 ビットです。各 AXI Video DMA コアは、ビデオ テスト パターン ジェネレーター (TPG) によって駆動され、このとき必要なビデオ タイミング信号は Video Timing Controller (VTC) コアが設定します。AXI Video DMA コアによって読み出されたデータは、複数のビデオ ストリームを単一の出力ビデオ ストリームに多重化またはオーバーレイ処理する、共通の Video On-Screen Display (OSD) コアに送信されます。オンボードの HDMI™ ビデオ ディスプレイ インターフェイスは、Video On-Screen Display コアとその他の追加 IP コアの出力によって駆動されます。

性能データの取得には AXI Performance Monitor コアを使用します。4 つの AXI Video DMA コアは、いずれも AXI インターコネクトによって 4 つの独立した HP インターフェイスに接続され、Cortex-A9 プロセッサによって制御されます。このデザインは、メモリ コントローラー帯域幅の 70% を使用します。

リファレンス システム デザインは、Zynq-7000 AP SoC ZC702 評価ボードをターゲットにしています。

## 含まれるシステム

デザインは Vivado® Design Suite : System Edition 2013.4 と Vivado IP インテグレーター機能を使用して構築します。IP インテグレーター は、IP コアをインスタンス化、コンフィギュレーション、および接続して複雑な統合化システムを構築する作業を簡略化します。デザインには、ザイリンクスのソフトウェア開発キット (SDK) によって構築されたソフトウェアも含まれます。このソフトウェアは Zynq-7000 AP SoC PS 上で動作し、制御機能をインプリメントします。このアプリケーション ノートは、IP インテグレーターおよび SDK ツールの完全なプロジェクト ファイルを提供しており、これらをデザインの検討および再構築に活用したり、新規デザイン着手時のテンプレートとして使用したりできます。

アプリケーション ノート付属の ZIP ファイル xapp1205-high-performance-video-zynq.zip には、リファレンス システム zc702\_video\_4x\_ipi が含まれます。詳細は、「[リファレンス デザイン](#)」を参照してください。

## はじめに

ザイリンクスが提供する LogiCORE™ IP AXI インターフェイス コアを用いて、高性能のビデオ システムを作成できます。AXI インターコネク、Zynq-7000 AP SoC 上の AXI3 ポート、AXI Video DMA IP コアを使用することで、複数のビデオ ストリームの処理や、共通の DDR3 SDRAM メモリを共有する複数のビデオ フレーム バッファに対応できるビデオ システムの基盤を構築できます。AXI は ARM 社の AMBA4 および AMBA3 AXI 仕様に基づいて標準化された IP インターフェイス プロトコルです。このサンプル デザインが使用する AXI インターフェイスは、AMBA4 および AMBA3 AXI 仕様 [参照 3] に記載された AXI4、AXI3、AXI4-Lite、AXI4-Stream の各インターフェイスで構成されています。これらのインターフェイスは、デザインを構築するための共通した IP インターフェイス プロトコルのフレームワークを提供します。

Zynq-7000 AP SoC 上の AXI インターコネクと AXI HP ポートを組み合わせることで、複数のデバイスが共通のメモリ コントローラーを共有するアプリケーション向けに、高帯域幅のマルチポート メモリ コントローラー (MPMC) をインプリメントします。このコンフィギュレーションは、複数のソースからのデータが共通のメモリ デバイス (通常、DDR3 SDRAM) を介して移動する、ビデオ、エンベデッド システム、通信のアプリケーションの多くで一般的に求められる要件です。

AXI Video DMA コアは、フレーム バッファ機能、スキッター ギャザー機能 (通常は使用しない)、2 次元 (2D) DMA 機能を備えた、ビデオに最適化された高性能 DMA エンジンを実装します。AXI Video DMA コアは、ビデオ データ ストリームをメモリとの間で送受信し、動的ソフトウェア制御モードまたは静的コンフィギュレーション モードで動作します。

Zynq-7000 AP SoC PS は、PL を含むシステム全体にクロックとリセット信号を供給します。システムの高度な制御は、Cortex-A9 プロセッサによって Zynq-7000 AP SoC PS 内で提供され、I/O ペリフェラル (IOP)、オンチップ メモリ (OCM)、プロセッサ サポート IP コアが使用されます。性能とエリア使用率のバランスをとるようにシステムを最適化するには、複数の AXI インターフェイス コアを使用し、AXI インターフェイス コアを個別に調整および最適化して、セグメント化/階層化された AXI インターフェイス ネットワークを実装します。

## ハードウェア要件

リファレンス システムのハードウェア要件は次のとおりです。

- ザイリンクス ZC702 Rev C 評価ボード (JTAG モードで使用)
- Type-A/Mini-B の 5 ピン USB ケーブル 2 本
- HDMI ケーブル
- 1080P 解像度 (60 フレーム/秒で解像度 1920 x 1080) をサポートするディスプレイ モニター

このリファレンス システムを構築し、ダウンロードするには、次のソフトウェア ツールを実装しておく必要があります。

- Vivado Design Suite : System Edition 2013.4
- SDK 2013.4

## リファレンス システム仕様

リファレンス システムには次の LogiCORE IP コアが含まれています。

- Processing System 7
- AXI Memory Interconnect (AXI\_INTERCONNECT)
- Video Timing Controller (V\_TC)
- Test Pattern Generator (V\_TPG)
- AXI Video DMA (AXI\_VDMA)
- AXI Performance Monitor (AXI\_PERF\_MON)
- Video On-Screen Display (V\_OSD)
- AXI4-Stream to Video Out (AXI4S\_VID\_OUT)

- Chroma Resampler (V\_CRESAMPLE)
- RGB to YCrCb Color-Space Converter (V\_RGB2YCRCB)

デザインにはクロック ジェネレーターおよびカスタム コアの ZYNQ\_ADDR\_SWITCH も含まれます。

Zynq-7000 AP SoC PS 内のプロセッサまたは DMA コントローラー (DMAC) は、32 ビットの AXI3 マスター インターフェイスである AXI 汎用 (GP) インターフェイスを介して、PL 内の AXI スレーブ インターフェイスにアクセスできます。S\_AXI\_GP<sub>x</sub> インターフェイスは S\_AXI\_HP<sub>x</sub> インターフェイスに比べて性能が劣るとされており、ここでは使用しません。このデザインでは、デザイン内のスレーブ レジスタ用に AXI GP インターフェイスを 1 つ (M\_AXI\_GP0) だけ使用します。

図 1 に、リファレンス システムのブロック図を示します。

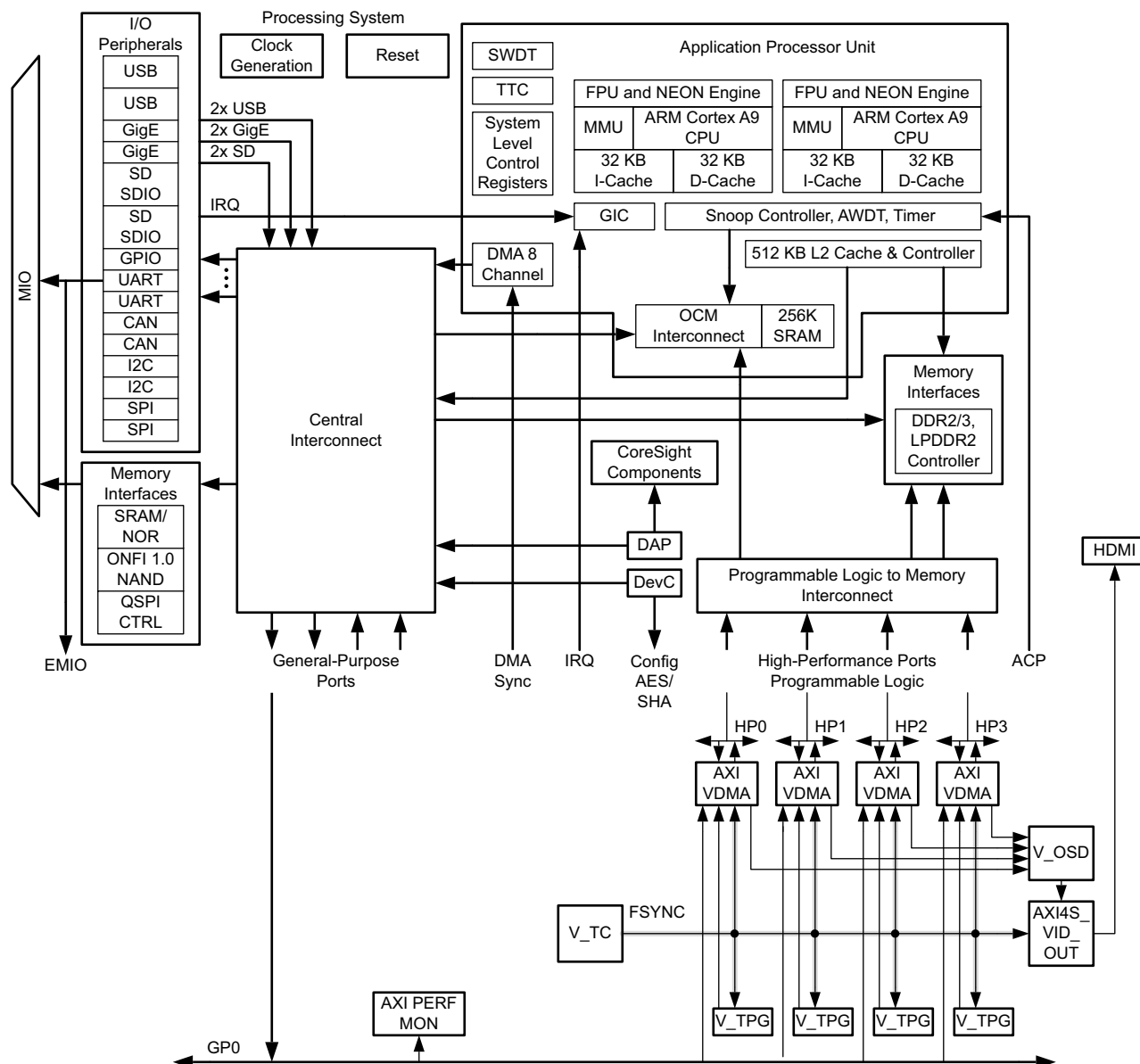


図 1：リファレンス システムのブロック図

注記：図 1 には、V\_RGB2YCRCB (RGB から YCrCb への色空間コンバーター) または V\_CRESAMPLE (クロマ リサンプラー) の IP ブロックは示していません。

表 1 に、リファレンス システムのアドレス マップを示します。

表 1: リファレンス システムのアドレス マップ

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
processing_system7	processing_system7_1 (M_AXI_GP0)	0x40000000	0x7FFFFFFF
processing_system7	processing_system7_1 (S_AXI_HP0)	0x00000000	0x3FFFFFFF
processing_system7	processing_system7_1 (S_AXI_HP1)	0x00000000	0x3FFFFFFF
processing_system7	processing_system7_1 (S_AXI_HP2)	0x00000000	0x3FFFFFFF
processing_system7	processing_system7_1 (S_AXI_HP3)	0x00000000	0x3FFFFFFF
axi_vdma	axi_vdma_1	0x40000000	0x4000FFFF
axi_vdma	axi_vdma_2	0x40010000	0x4001FFFF
axi_vdma	axi_vdma_3	0x40020000	0x4002FFFF
axi_vdma	axi_vdma_4	0x40030000	0x4003FFFF
axi_perf_mon	perf_axi_mon_0	0x41000000	0x4100FFFF

## ハードウェア システム仕様

このセクションでは、主要 IP ブロックおよび Zynq-7000 AP SoC PS の設定方法など、リファレンス デザインの高度な機能について説明します。IP の便利な機能、性能とエリアのトレードオフ、その他の設定などの情報についても解説します。これらの情報はビデオ システム向けですが、システム性能の最適化に用いられている原則は高性能 AXI インターフェイスに基づくデザインに幅広く適用できます。AXI システムの最適化および設計上のトレードオフに関する詳細は、『ザイリンクス AXI リファレンス ガイド』(UG761) [参照 2] を参照してください。このアプリケーション ノートは、ユーザーが Zynq-7000 AP SoC ファミリー、AXI プロトコル、Vivado Design Suite、Vivado IP インテグレーターに関する一般的な知識を持っていることを前提としています。Vivado IP インテグレーターの機能の詳細は『Vivado Design Suite チュートリアル: エンベデッド プロセッシング ハードウェアの設計』(UG940) [参照 1] を参照してください。

### Zynq-7000 AP SoC PS

Zynq-7000 AP SoC PS は、Cortex A9 プロセッサを 1 つ、IIC (MIO インターフェイス) を 1 つ、UART (MIO インターフェイス) を 1 つ、および Zynq-7000 AP SoC メモリ コントローラー (MIO インターフェイス) を使用できるように設定されています。これらは、SDK ツールで作成される FSBL (ファースト ステージ ブート ロード) によって有効化されます。

Zynq-7000 AP SoC PS は、PS と PL の両方にクロックとリセット信号を供給します。このデザインで使用するクロック信号の周波数は、表 2 を参照してください。

表 2: リファレンス システムのクロック周波数

エレメント	クロック周波数 (MHz)
プロセッサ	666
32 ビット DDR3 メモリ コントローラー	533
高速 AXI インターフェイス (S_AXI_HP0、S_AXI_HP1、S_AXI_HP2)	148.5
低速 AXI インターフェイス (M_AXI_GP0)	50
64 ビット メモリ インターコネク	355
32 ビット マスターおよびスレーブ インターコネク	222

Zynq-7000 AP SoC PS 内のクロック周波数とインターコネクトに関する詳細は、『Zynq-7000 All Programmable SoC テクニカル リファレンス マニュアル』(UG585) [参照 4] を参照してください。

## ビデオ関連の IP コア

このリファレンス デザインは、1080P60 (60 フレーム/秒の 1920 x 1080 画像) で動作するビデオ パイプラインを 4 つインプリメントします。各フレームは 1 ピクセルあたり 3 バイトで構成され、アルファチャンネル情報を含む RGB などのハイエンド高品位ビデオ ストリームに対応します。ビデオ パイプラインは、それぞれ約 3Gb/s に相当する 373.248MB/s の帯域幅を必要とします。

ビデオ トラフィックは Test Pattern Generator IP コア (V\_TPG) で生成され、Video On-Screen Display (V OSD) コアによって表示されます。生成されるトラフィックの読み出し/書き込みの総帯域幅は 8 個のビデオ ストリームに相当し、ほぼ 3GB/s (24Gb/s) を必要とします。

このアプリケーション ノートでは、高精細度のビデオ ストリームを 8 個用いた AXI システムの性能を具体的に説明します。ビデオ システムには最低限、ソース、何らかの内部処理、およびデスティネーションが含まれます。複数の IP モジュールを使用する複数の工程からなる内部処理が含まれる場合もあります。図 2 に示すような標準的なビデオ システムは、多くの場合、入力、前処理、メイン処理、後処理、および出力の工程で構成されます。図に示されているビデオ 工程の多くで、ビデオ レートでのメモリ アクセスが必要です。内部処理工程の要求に従って、ビデオ データはメモリ との間で転送されます。このアプリケーション ノートでは、一連のテスト パターン ジェネレーターで内部ブロック メモリのトラフィックを生成し、一般的な条件をシミュレーションします。

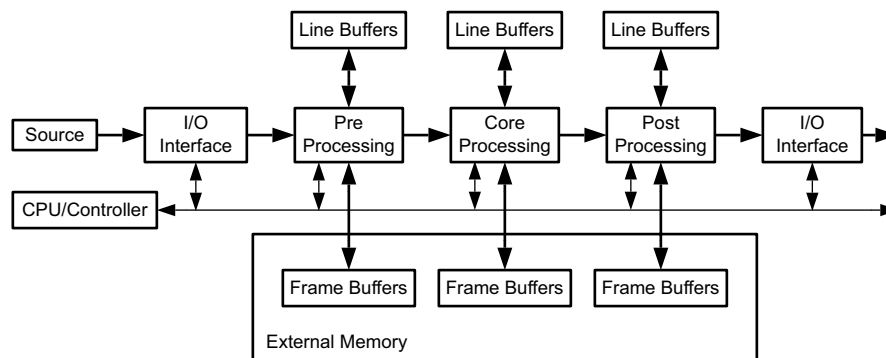


図 2 : 標準的なビデオ システム

## AXI インターコネクト (processing\_system7\_1\_axi\_periph) のインスタンス

processing\_system7\_1\_axi\_periph インスタンスは、AXI4-Lite スレーブ ペリフェラルのみに接続するため、エリア最小化 (Minimize Area) ストラテジを使用してエリアに最適化され、共用バス トポロジをインプリメントします。このストラテジは AXI インターコネクト用のシステム リソースを削減し、AXI マスターの発行数と AXI スレーブの受け付け数を 1 に設定します。Cortex-A9 プロセッサは制御およびステータス情報取得のために、デザイン内のすべての AXI4-Lite スレーブ レジスタに対して書き込みと読み出しを実行します。また、デザインのこの部分は、システムのほかの部分よりも低速な 50MHz クロックで駆動します。

AXI インターフェイス スレーブは、AXI Video DMA スレーブ インターフェイスの 4 つのインスタンスと AXI\_PERF\_MONITOR のスレーブ インターフェイスで使用します。

## AXI インターコネクト (axi\_mem\_intercon\_x) のインスタンス

axi\_mem\_intercon\_x インスタンスは高速のマスターおよびスレーブで使用し、高スループット、高  $F_{MAX}$  の最適化が適用されます。これらのインスタンスは、コア データ幅 64 ビット、動作速度 148.5MHz を提供することで、デザインが最高の  $F_{MAX}$  とスループットを実現できるようにします。各インスタンスは 1 つの AXI Video DMA (AXI MM2S と AXI S2MM マスター インターフェイス) を 1 つの HP インターフェイスに接続します。

これらの AXI インターコネクト インスタンスはカスタム (Custom) ストラテジで最適化します。この設定では高スループットに対応するためにクロスバー接続モードを使用します。デザインが煩雑にならないように、AXI マスターの発行数は 2、AXI スレーブの受け付け数は 4 に設定します。また、各 AXI マスターおよび AXI スレーブに対してレジスタ スライスを有効にし、 $F_{MAX}$  の最大化とバッファ機能実装のために 512 エレメントのデータ パケット FIFO を各 AXI マスター インターフェイスに追加します。32 ビットの AXI4 プロトコル (32 ビット AXI4 マスター) を 64 ビットの AXI3 プロトコル (64 ビット AXI3 スレーブ) に変換するために、プロトコル コンバーターとアップサイザーが必要です。

### AXI Video DMA のインスタンス

AXI Video DMA コアは、メモリ マップされた AXI4 ドメインから AXI4-Stream (およびその逆方向) へのビデオ読み出し/書き込み転送機能を提供するよう設計されています。AXI Video DMA コアによって、システム メモリと AXI4-Stream ベースのターゲット ビデオ IP コア間的高速データ転送が可能になります。メモリ マップ方式の AXI4 インターフェイスは、AXI インターフェイス間的高速データ転送とバッファ記述子のフェッチに使用されます。このデザインでは、フレーム バッファのベース アドレスにレジスタ ダイレクト モードでアクセスします。

デザインは、完全に同期したフレーム DMA 動作および 2 次元 DMA 転送に対応するよう genlock やフレーム同期などのビデオ固有の機能を備えています。中央プロセッサによる制御を容易にするため、スキャッター/ギャザーまたはレジスタ ダイレクト モード動作も用意されています。このデザインは、レジスタ ダイレクト モード動作を使用します。

このデザインでは、AXI4 MM2S、AXI4 S2MM、AXI4-Stream MM2S、AXI4-Stream S2MM の各インターフェイスと共に AXI Video DMA のインスタンスを 4 つ使用します。さらに、各インスタンスの初期化、ステータス、および管理レジスタには、AXI4-Lite スレーブ インターフェイスを介してアクセスします。

AXI Video DMA コア インスタンスからの 32 ビット幅の AXI MM2S および AXI S2MM インターフェイスは S\_AXI\_HP $x$  インスタンス (高性能メモリ アクセス用 AXI3 スレーブ) に接続されます。AXI4-Stream インターフェイスは 24 ビットで 148.5MHz のクロックによって駆動されます。AXI Video DMA コアは 24 ビット から 32 ビット AXI MM インターフェイスへのデータ変換/パディングを効率的に処理します。

AXI Video DMA コアのインスタンスは最大バーストが 32 になるように設定されています。AXI3 プロトコルがサポートする最大バーストは 16 です。しかし、Zynq-7000 デバイス上で接続される HP インターフェイスは 64 ビットであるため、このインターフェイスは 64 ビット x 16 データ ビート (32 ビット x 32 データ ビート) の転送サイズをサポートします。AXI Video DMA コア内の読み出しおよび書き込み側ライン バッファは、1 ラインの約 1/4、すなわち深さ 1KB ((1920 x 3 バイト) x 1/4 = 1440 バイト深さ) を格納できるように設定されています。

### Zynq-7000 AP SoC メモリ コントローラー

#### 概要

ZC702 ボード上の Zynq-7000 AP SoC メモリ コントローラーは、533MHz のクロックで駆動される 32 ビットの DDR3 コントローラーです。アドレス指定の方法は、行、バンク、列です。

メモリ コントローラーには、AXI\_HP から DDR インターフェイスへの接続 (2 つ)、中央インターコネクトからの接続、Zynq-7000 デバイス内の L2 キャッシュ インターフェイスからの接続の計 4 つの直接接続があります。また、これら 4 つのソースとメモリ コントローラーへの接続の間には、サービス品質 (QoS) 優先度モジュールが配置され、要求を制限することでトラフィック パターンの調整を可能にしています。HP0/HP1 および HP2/HP3 スレーブ インターフェイスは、AXI\_HP - DDR インターフェイスを使用し、メモリ コントローラーへの直接接続を共有します。このデザインでは、HP0/HP1/HP2/HP3 スレーブ インターフェイスを使用します。これらのインターフェイスに関する詳細は、『Zynq-7000 All Programmable SoC テクニカル リファレンス マニュアル』(UG585) [参照 4] を参照してください。

## 60% を上回る使用率の達成

メモリ コントローラーの使用率を最適化するには、マスター インターフェイスからのトランザクションが別々のバンクで発生し、KB/MB の境界に揃っていなければなりません。ビデオ デザインでは、フレーム バッファへのアクセスが別々のバンクで生じるようにし、動作中はバンクの重複を最小限に抑える必要があります。

このデザインは、ピクセルあたり 3 バイトを使用した 1080P60 フレーム (1920 x 1080) の動作をデモンストレーションします。水平ラインはそれぞれ約 8KB (1920 x 3 = 5760) であることから、AXI Video DMA のライン ストライドは 8KB 境界に設定します。新しいラインの開始点は 8KB 境界に揃えられます。各フレームの垂直ライン (1080 ライン/フレーム) は、フレームごとに 2KB 境界に揃えられます。したがって、デザイン内の各フレーム バッファは 16MB (8KB x 2KB) 境界に揃えられることになります。

ZC702 ボードのメモリ コントローラーはこの DDR アドレス コンフィギュレーションを使用するように設定されます。

DDR_ADDR[27:15]	行
DDR_ADDR[14:12]	バンク
DDR_ADDR[11:0]	列/ワード

AXI マスターのアドレスは、各フレーム バッファがそれ自身のバンク内に確実に配置されるように並べ替えられます。各フレーム バッファは 16MB 境界に揃えられているため、アドレス空間を表すために 24 ビット [23:0]、バンクを表すために 3 ビット [26:24] を必要とします。AXI アドレス ビット [26:24] は DDR アドレスでは [14:12] に移されます。このように並べ替えられた AXI マスター アドレスは次のようになります。

```
axi_addr[31:27] axi_addr[23:12] axi_addr[26:24] axi_addr[11:0]
```

このアプリケーション ノートでは、AXI インターフェイスに対する AXI マスター アドレスを並べ替えるために、Vivado IP パッケージャーで追加のカスタム IP コア ZYNQ\_ADDR\_SWITCH を作成しました。この並べ替えでは、プロセッサまたはソフトウェアがアドレスの並べ替えを処理する必要があります。

**注意:** ZYNQ\_ADDR\_SWITCH コアは、このアプリケーション ノートでの一例として挙げるものです。

## フレーム バッファ

通常の genlock モードで動作する各 AXI Video DMA コアでは、一度に 2 つのフレーム バッファがアクティブになり、通常は 1 フレーム バッファ分の遅延が発生します (つまり、読み出し/書き込み動作が同じフレーム バッファ内で発生することはない)。このデザインのトラフィック パターンを確定的にするため、すべての AXI Video DMA コア インターフェイスが同じ FSYNC 信号を共有します。このデザインはフレーム バッファを合計 12 個使用しますが、メモリ コントローラーにはバンクが 8 個しかありません。フレーム バッファは同時に 8 個しかアクティブにならないため、バンクの重複を制限するか、完全に排除するようフレーム バッファの配置は慎重に選択します。

表 3 にフレーム バッファのベース アドレスを示します。アクティブなフレーム バッファは次の順に連続パターンとして配置されます。

1. FRAME0/FRAME2
2. FRAME1/FRAME0
3. FRAME2/FRAME1

すべての AXI Video DMA コア インターフェイスは同じ FSYNC 信号を共用するため、表 3 のフレーム バッファ レイアウトではフレーム バッファの重複が同時に 1 回または 2 回発生する可能性があります (表 4 参照)。

表 3: フレームバッファのベースアドレス

フレーム バッファ	ベース アドレス	バンク番号
AXI VDMA1		
FRAME0	0x08000000	BANK0
FRAME1	0x0A000000	BANK2
FRAME2	0x09000000	BANK1
AXI VDMA2		
FRAME0	0x0B000000	BANK3
FRAME1	0x0D000000	BANK5
FRAME2	0x0C000000	BANK4
AXI VDMA3		
FRAME0	0x0E000000	BANK6
FRAME1	0x18000000	BANK0
FRAME2	0x0F000000	BANK7
AXI VDMA4		
FRAME0	0x19000000	BANK1
FRAME1	0x1B000000	BANK3
FRAME2	0x1A000000	BANK2

表 4: フレームバッファのオーバーラップ

インターフェイス	バッファパターン		
	FRAME0/FRAME2	FRAME1/FRAME0	FRAME2/FRAME1
AXI VDMA1	BANK0/BANK1	BANK2/BANK0	BANK1/BANK2
AXI VDMA2	BANK3/BANK4	BANK5/BANK3	BANK4/BANK5
AXI VDMA3	BANK6/BANK7	BANK0/BANK6	BANK7/BANK0
AXI VDMA4	BANK1/BANK2	BANK3/BANK1	BANK2/BANK3
オーバーラップ数	1	2	1

### QoS

未処理 (Outstanding) トランザクションの最大数、ピーク レート、平均レート、バースト レベルを設定し、QoS 制御メカニズムを使用することでインターフェイスからメモリ コントローラーへの要求を制御できます。これは、ビデオパイプラインを使用し、スロットルが不可の場合に特に効果的です。このデザインでは、プロセッサトラフィックがビデオパイプラインをスロットルすることがないため、QoS 機能は使用しません。

### Video Timing Controller (V\_TC)

Video Timing Controller コアは、汎用のビデオ タイミング ジェネレーター兼ディテクターです。このコアの入力側は、水平同期パルスと垂直同期パルス、極性、ブランキング、タイミング、およびアクティブビデオピクセルを自動検出します。このデザインではビデオ入力として Test Pattern Generator コアを使用しているため、これらの機能を有効にしていません。コアの出力側は、標準的なビデオシステムで使用される水平ブランキングと垂直ブランキングおよび同期の各パルスを生成し、プログラム可能なパルス極性をサポートします。

Video Timing Controller コアはコンフィギュレーション時に IP 設定によって 1080P フレームに設定されます。このデザインには、プロセッサからスレーブ制御レジスタにアクセスするための AXI4-Lite インターフェイスがありません。



このコアからの FSYNC 信号は AXI Video DMA の S2MM FSYNC 入力信号と Test Pattern Generator コアのリセット信号に接続され、コアの書き込み動作をビデオ タイミングに同期させます。ビデオ タイミング インターフェイスは、AXI Video DMA と Video On-Screen Display コアからの読み出しデータを受け付け、ZC702 ボードの HDMI コンフィギュレーションで使用できるようにデータを変換する (YUV 4:2:2 フォーマットを使用) AXI4-Stream to Video Out コアに接続されます。

## Video Test Pattern Generator (V\_TPG)

Test Pattern Generator コアはコンフィギュレーション時に IP 設定によって 1080P フレームの RGB (3 バイト/ピクセル) に設定され、カラー パターン、ゾーン プレート、水平スイープ、チェッカーボード パターンを生成するために使用します。このデザインには、プロセッサからスレーブ制御レジスタにアクセスするための AXI4-Lite インターフェイスがありません。

このデザインでは、DRAM へのビデオ トラフィックが Test Pattern Generator コアによって生成されます。Test Pattern Generator コアは、ビデオ業界で検証およびテストに広く使用されている複数のビデオ テスト パターンを生成できます。これらのパターンはテスト用であり、放送業界の規格向けにキャリブレーションされてはいません。ここでは、システム性能を示すために、生成されるトラフィック量のみが重要であることから、TPG をほかのビデオ IP の代用として使用します。IP のコンフィギュレーション時にどのテスト パターンを選択しても、生成されるデータ量は同じ 1080P60 HD ビデオです (60 フレーム/秒の 1920 x 1080 フレーム)。たとえば、RGB 1080P60 パターンは、ほぼ 3Gb/s のデータ ストリームに相当する 373.3MB/s のトラフィックを生成します。

このアプリケーション ノートの目的から、Test Pattern Generator コアは常にカラー バーの 1 つ、水平方向周波数スイープ、垂直方向周波数スイープ、ゾーン プレート パターンのいずれかのテスト パターンを生成します。

## Video Onscreen Display (V\_OSD)

Video On-Screen Display コアは、アルファ ブレンディングや最大 8 つの独立したレイヤーの構成に対応する柔軟なビデオ処理を提供します。このコアは、簡単なテキストとグラフィックも生成し、8 種類の画像フォーマットでカラー コンポーネントあたり 8、10、12 ビットの最大 4K x 4K ピクセルの画像を処理できます。このアプリケーション ノートでは、Video On-Screen Display コアによって、4 つのビデオ ストリームを独立した表示用レイヤーとして合成します。ビデオ ストリームは Test Pattern Generator コアによって生成されるため、ディスプレイには合成済みのレイヤーが重なって表示されます。図 3 に、Video On-Screen Display コアの最上位ブロック図を示します。

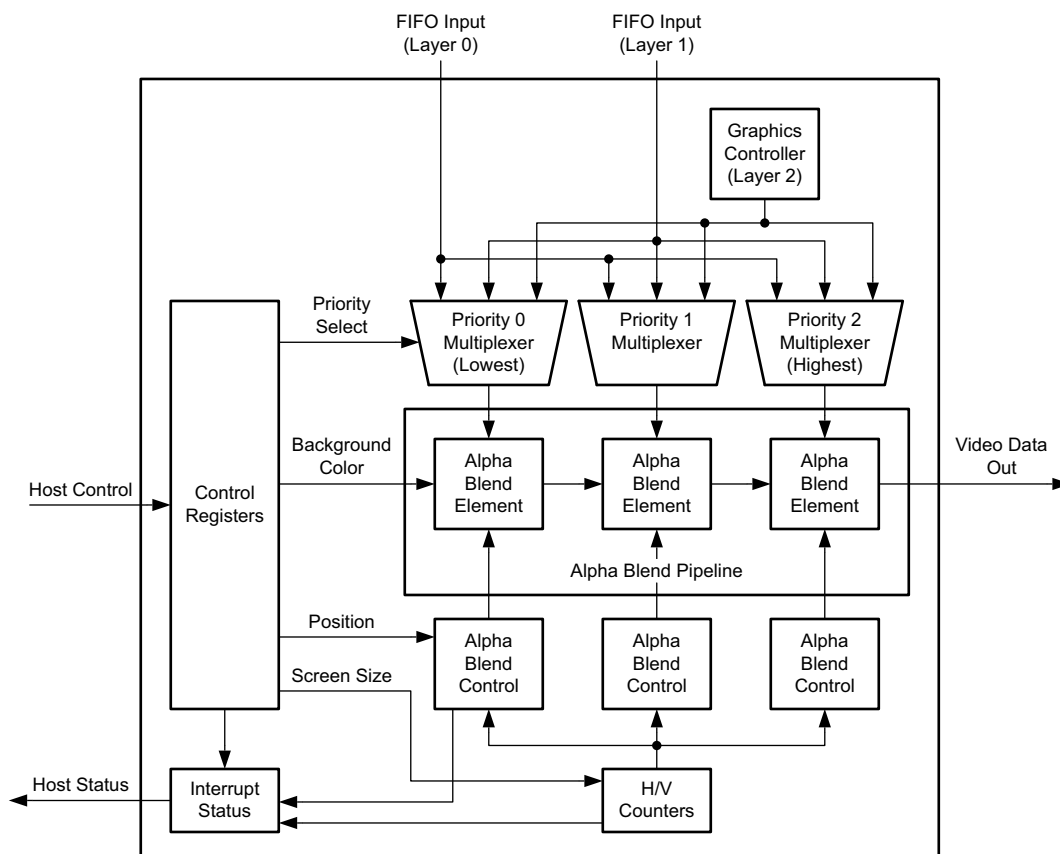


図 3 : 3 レイヤー OSD のブロック図 (例)

Video On-Screen Display コアはコンフィギュレーション時に IP 設定によって 1080P RGB フレームおよび 4 層のビデオレイヤーに設定されます。このデザインには、プロセッサからスレーブ制御レジスタにアクセスするための AXI4-Lite インターフェイスがありません。

### AXI Performance Monitor (AXI\_PERF\_MON)

AXI Performance Monitor コアは、最大 8 つの AXI インターフェイスにおいて、各種の指標に基づいたバス レイテンシの測定を可能にします。このデザインでは、メトリック カウンター レジスタによって読み出しおよび書き込みバイトを計測するカウンターを 4 つ使用します。

デザインには、4 つのバス モニター インターフェイスがあります。AXI\_S\_HP0、AXI\_S\_HP1、AXI\_S\_HP2、AXI\_S\_HP3 スレーブ インターフェイスを個別にモニターします。サンプル間隔レジスタ (クロック数) は 1 秒間カウントするように設定します。この 1 秒の間に、AXI Performance Monitor コアは AXI インターフェイス上の読み出しバイトと書き込みバイトをモニターし、サンプル間隔カウンターがオーバーフローした時点で、これらの値をメトリック カウンター レジスタに書き込みます。1 秒の間隔が経過したかどうかは、ソフトウェア ルーチンによってサンプル間隔カウンター割り込みビットをポーリングすることで判断します。

AXI Performance Monitor コアの詳細は、『LogiCORE IP AXI Performance Monitor 製品ガイド』(PG037) [参照 10] を参照してください。

### ビデオ ストリームの ZC702 ボード 向け変換 (YUV 4:2:2)

このデザインはビデオ ストリーム (AXI4-Stream) に RGB ピクセルを使用します。ZC702 ボードの HDMI デバイス接続には 16 ビット YUV 4:2:2 信号フォーマットが求められるため、36 ビット RGB ビデオ ストリームの変換が必要です。

RGB to YCrCb Color-Space Converter コアは RGB ビデオ ストリームを YUV 4:4:4 に変換します。その後、Chroma Resampler コアが YUV 4:4:4 ストリームを YUV 4:2:2 に変換します。最終的に Chroma Resampler コアの出力は AXI4S\_VIDEO\_OUT コアに接続され、このコアが ZC702 ボードの HDMI インターフェイスを駆動してモニター上に適切なビデオを表示します。

## ソフトウェア アプリケーション

### AXI Video DMA ディスプレイ アプリケーション

このソフトウェア アプリケーションはビデオ パイプラインを起動し、リアルタイムで帯域幅を調べながら、全レイヤーをアルファ ブレンドしたものを LCD 画面上に表示できます。ソフトウェア アプリケーションは、Zynq-7000 AP SoC PS 内の OCM によって動作します。

ビデオ IP コアの多くは、起動時にそれぞれのパラメーター設定に基づいて、Video On-Screen Display コアによる 1080P60 ビデオ ストリームを 4 つサポートするように自動的に設定されます。コアにはスレーブ レジスタを制御する AXI4-Lite スレーブ インターフェイスがありません。ただし、このデザインの AXI Video DMA コアには AXI4-Lite スレーブ インターフェイスが含まれ、ソフトウェアはこれを使用してコアを 1080P に設定します。プロセッサによって各水平ラインが 5760 バイト (1920 x 3 バイト/ピクセル)、各垂直ラインが 1080 ピクセルに設定されます。このデザインは 12 個のフレーム バッファ (3 フレーム バッファ x 4 ビデオ パイプライン) を備えています。

さらに、AXI\_PERF\_MON コアにも AXI4-Lite スレーブ インターフェイスが含まれているため、プロセッサはビデオ パイプラインのスループット数値を生成するようにコアを設定できます (コアは Zynq-7000 AP SoC デバイスの HP0/HP1/HP2/HP3 読み出し/書き込みインターフェイスをモニターする)。

ソフトウェア アプリケーションは次の手順を実行します。

1. ZC702 ボード上の 1080P60 出力用 HDMI ポートを、IIC インターフェイスを介して設定します。
2. AXI Video DMA インスタンスを起動します。このときプロセッサは AXI Video DMA コア内のレジスタにバッファ ディスクリプターを書き込みます。その後、読み出しチャンネル、続いて書き込みチャンネルを起動し、AXI Video DMA インスタンスでの転送を開始します。

最初の設定シーケンスが完了すると次の 2 つのオプションが選択できるようになります。

- オプション 1 を選ぶと、DDR3 メモリに対する 32 ビット メモリ テストが実行されます。
- オプション 2 を選ぶと、4 つのモニター対象 AXI インターフェイス上の読み出しバイト数と書き込みバイト数を測定するように、性能をモニターする IP のインスタンスが設定されます (モニターは Zynq-7000 AP SoC デバイスの AXI3 スレーブに接続)。各ビデオ パイプラインの TX および RX スループットの数値およびシステム スループットの数値は、ソフトウェア機能を使用してホスト PC のターミナル ディスプレイ上に表示されます。

## ハードウェア上でのリファレンス デザインの実行

ZC702 ボードの設定手順は、次のとおりです。

1. USB ケーブルをホスト PC から ZC702 ボードの USB JTAG ポートに接続します。適切なデバイスドライバがインストールされていることを確認します。
2. 2 本目の USB ケーブルをホスト PC から ZC702 ボードの USB UART ポートに接続します。USB-UART ドライバがインストールされていることを確認します。
3. ZC702 の HDMI コネクタを、1920 x 1080p、60Hz のビデオ信号を表示できるビデオ モニターに接続します。
4. ZC702 ボードに電源ケーブルを接続します。
5. ZC702 ボードの電源をオンにします。
6. ホスト PC 上で、次の設定でハイパーターミナルなどの端末プログラムを起動します。
  - ボーレート : 115200
  - データビット : 8
  - パリティ : なし
  - ストップビット : 1
  - フロー制御 : なし

### 構築済みビットストリームとコンパイル済みソフトウェア アプリケーションを使用したリファレンス システムの実行

システムを実行するには、<unzip\_dir>/zc702\_video\_4x\_ipi/ready\_for\_download ディレクトリにあるファイルを使用して、次の手順を実行します。

1. Vivado IDE の Tcl コンソールまたは端末ウィンドウで次のコマンドを実行し、ディレクトリを ready\_for\_download に変更します。

```
% cd <unzip_dir>/zc702_video_4x_ipi/ready_for_download
```

2. Tcl スクリプトを用いる次の XMD コマンドによってデザインを実行します。この Tcl スクリプトの内容は、ビットストリームのボードへのダウンロード、プロセッサへの接続、FSBL のダウンロードと実行、ソフトウェア アプリケーションのダウンロードと実行です。

```
% xmd -tcl xmd_top.tcl
```

## ハードウェアとソフトウェアの実行結果

デザインを実行すると、ZC702 ボードに接続された LCD モニター上に全レイヤーをアルファブレンディングしたものが表示され、ホスト PC の端末プログラムには図 4 に示す出力が表示されます。

```
--- Entering main() ---
HDMI Setup Complete!

-----
-- Performance Menu --
-----

Select option
0 = Memory Test DDR3 (32-bit 16 MB Test)
1 = Benchmark Design (Average)

q = exit
? = help
-----
```

図 4 : ホスト PC の端末出力

ホスト PC 端末に表示されるパフォーマンス メニューには、次の 2 つのオプションがあります。

- 0 : DDR3 メモリ内で 32 ビット、16MB のメモリ テストを実行します。
- 1 : ターミナルにリアルタイムのシステム性能パラメータを表示します (転送 1 秒)。

## 性能

DDR3 PHY は、メモリ クロック周波数 533MHz の 32 ビットに設定されています (データ レート 1066MHz)。DDR3 の理論上のスループットは 4.2GB/s で、これがこのデザインで使用可能な総帯域幅です。

ソフトウェア アプリケーションのオプション 1 を選択すると、次のような出力が表示されます。

```
AXI_VDMA1 Tx = 373.248000
AXI_VDMA1 Rx = 373.248000
AXI_VDMA2 Tx = 373.248000
AXI_VDMA2 Rx = 373.248000
AXI_VDMA3 Tx = 373.248000
AXI_VDMA3 Rx = 373.248000
AXI_VDMA4 Tx = 373.248000
AXI_VDMA4 Rx = 373.248000

System Total Bandwidth = 2985.984000 MB/s
DDR3 Theoretical Bandwidth = 4266.666666 MB/s
Percent of DDR3 Theoretical Bandwidth = 69.984000%
```

注記：実際に表示される値は、上記とは若干異なる場合があります。

総帯域幅は約 2986MB/s で、メイン メモリの総帯域幅 4267MB/s の約 70% にあたります。

## ハードウェアの構築

ハードウェア デザインを再構築するには、次の手順に従います。

注記：生成されたビットストリームは次の場所にあります。

<unzip dir>/zc702\_video\_4x\_ipi/HW/project\_1.runs/impl\_1/design\_1\_wrapper.bit.

1. Vivado Desing Suite から zc702\_video\_4x\_ipi/HW/project\_1.xpr ファイルを開きます。
2. [Sources] ビューで design\_1\_wrapper を展開します。
3. design\_1\_i を右クリックして [Generate Output Products] → [Generate] をクリックします。
4. Flow Navigator で [Project Manager] をクリックします。
5. [Design Runs] ビューの impl\_1 を右クリックし、[Launch Run] をクリックします。次の 2 つのダイアログで [OK] をクリックして、合成およびそれに続くインプリメンテーションを開始します。

注記：この手順には 1 時間以上を要する場合があります。

6. デザインのインプリメンテーションが完了したら [Implementation Completed] ビューの [Generate Bitstream] をクリックします。[OK] をクリックします。
7. [Bitstream Generation Completed] ビューの [Open Implemented Design] をオンにして、[OK] をクリックします。この操作によって、ハードウェア デザインを SDK にエクスポートする際に、ビットストリームも含まれるようになります。
8. [Sources/Hierarchy] ビューでハードウェア デザインを SDK にエクスポートするには、design\_1\_i を右クリックして、[Export Hardware for SDK] をクリックします。
9. [Export Hardware] および [Include bitstream] をオンにします。[OK] をクリックします。

## SDK ツールによるソフトウェアのコンパイルとデザインの実行

### SDK ツールによるソフトウェアのコンパイル

1. SDK ツールを起動します。Linux で「**xsdk**」と入力します。
2. Workspace Launcher で、次のワークスペースを選択します。  
<unzip dir>/zc702\_video\_4x\_ipi/SW/SDK\_Workspace
3. [OK] をクリックします。
4. ボード サポート パッケージ (BSP)、ハードウェア プラットフォーム、ソフトウェア アプリケーションをインポートする必要があります。[File] → [Import] → [General] → [Existing Projects into Workspace] をクリックします。

5. [Next] をクリックして、<unzip dir>/zc702\_video\_4x\_ipi/SW ディレクトリを参照します。  
[OK] をクリックします。
6. FSBL、hw\_platform\_0、standalone\_bsp\_0、zynq\_axi\_vdma\_display を含むすべてのチェック ボックスがオンであることを確認します。[Finish] をクリックします。  
  
注記：BSP およびソフトウェア アプリケーションがコンパイルされます。これには、2～5 分を要します。zynq\_axi\_vdma\_display ソフトウェア アプリケーションにビルド エラーがある場合、[Project Explorer] ビュー内の zynq\_axi\_vdma\_display を右クリックして、[Change Referenced BSP] → [standalone\_bsp\_0] をクリックします。
7. 以上の操作で SDK ツールによる既存ソフトウェア アプリケーションの変更や、新規ソフトウェア アプリケーションの作成が可能になります。

## SDK ツールによるハードウェアおよびソフトウェアの実行

1. [Xilinx Tools] → [Program FPGA] をクリックします。
2. [Program] をクリックします。
3. [Project Explorer] ビューで、[zynq\_axi\_vdma\_display] → [Run As] → [Launch on Hardware] を右クリックします。デフォルト設定の SDK ツールは Tcl スクリプトを使用して FSBL を実行します。

## リファレンス デザイン

このアプリケーション ノートのリファレンス デザイン ファイルは、次のリンクからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=356501> (登録が必要)

表 5 に、リファレンス デザインの詳細を示します。

表 5：リファレンス デザインの詳細

パラメーター	説明
<b>全般</b>	
開発者	James Lucero
ターゲット デバイス (ステッピング レベル、ES、プロダクション、スピード グレード)	Zynq-7000 AP SoC XC7Z020-1CLG484C
ソース コードの提供	あり
ソース コードの形式	VHDL、Verilog
既存のザイリンクス アプリケーション ノート / リファレンス デザイン、CORE Generator™ ツール、サードパーティからデザインへのコード / IP の使用	あり
<b>シミュレーション</b>	
論理シミュレーションの実施	N/A
タイミング シミュレーションの実施	N/A
論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用	N/A
テストベンチの形式	N/A
使用したシミュレータ / バージョン	N/A
SPICE/IBIS シミュレーションの実施	N/A
<b>インプリメンテーション</b>	
使用した合成ツール / バージョン	Vivado Design Suite 2013.4

表 5：リファレンス デザインの詳細 (続き)

パラメーター	説明
使用したインプリメンテーション ツール / バージョン	Vivado Design Suite 2013.4
スタティック タイミング解析の実施	あり
<b>ハードウェア検証</b>	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	Zynq-7000 AP SoC ZC702 評価ボード

## 参考資料

- 『Vivado Design Suite チュートリアル: エンベデッド プロセッサ ハードウェア デザイン』([UG940](#))
- 『AXI リファレンス ガイド』([UG761](#))
- 『AMBA AXI4-Stream プロトコル仕様』
- 『Zynq-7000 All Programmable SoC テクニカル リファレンス マニュアル』([UG585](#))
- 『LogiCORE IP AXI Interconnect 製品ガイド』([PG059](#))
- 『LogiCORE IP AXI Video Direct Memory Access 製品ガイド』([PG020](#))
- 『LogiCORE IP Video On-Screen Display 製品ガイド』([PG010](#))
- 『LogiCORE IP Test Pattern Generator 製品ガイド』([PG103](#))
- 『LogiCORE IP Video Timing Controller 製品ガイド』([PG016](#))
- 『LogiCORE IP AXI Performance Monitor 製品ガイド』([PG037](#))

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2014年3月28日	1.0	初版

## Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications:

<http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。  
資料によっては英語版の更新に対応していないものがあります。  
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、  
[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。