



XAPP1208 (v1.0) 2014 年 5 月 16 日

ロジックでの Bitslip 機能

著者 : Marc Defossez

概要

UltraScale™ デバイスの I/O ロジックは、I/O バッファと汎用インターコネクタ間のコンポーネントを処理する専用の I/O のことをいいます。これは、7 シリーズや Virtex®-6 FPGA など旧世代ファミリの I/O ロジックとは異なります。UltraScale デバイスの I/O ロジック構成は、より高速な I/O 処理、優れたジッター仕様、多くの機能を提供する一方で、旧世代デバイスファミリの I/O ロジックで使用可能な機能の一部が削除されています。

Bitslip 機能は、UltraScale デバイスの I/O ロジックでネイティブ サポートされていません。このアプリケーション ノートでは、汎用インターコネクタを使用する Bitslip ソリューションについて説明します。このソリューションは、UltraScale デバイス コンポーネントと旧世代デバイス アーキテクチャの両方で使用できます。リファレンス デザインでは、Bitslip 機能を実装し、いくつかのオプションを使用して基本機能を拡張します。

UltraScale デバイスの基本的な BITSlice I/O プリミティブを使用するモードを「ネイティブ モード」といい、「コンポーネント モード」のプリミティブでは UltraScale デバイスの I/O を使用して、旧世代デバイスファミリの I/O ロジック機能に相当する機能を実現します。

はじめに

旧世代デバイスファミリの各 ISERDES でネイティブ サポートされている Bitslip 機能は、シリアル入力ストリーム上で動作します。UltraScale デバイスの ISERDES に相当する機能 (コンポーネント モード) またはネイティブ RX_BITSlice には、Bitslip 機能がインプリメントされていません。

このアプリケーション ノートでは、旧世代デバイスファミリでネイティブ サポートされている Bitslip 機能と、UltraScale デバイスに同等の Bitslip 機能をインプリメントする方法について説明します。リファレンス デザインはそのまま使用できるソリューションを提供しますが、必要に応じて変更も可能です。

リファレンス デザインは、4 ビットおよび 8 ビット出力を備えたコンポーネント モード (ISERDES) またはネイティブ モード (RX_BITSlice) で使用でき、VHDL コードで属性/ジェネリックを使用してカスタマイズ可能です。

また、7 シリーズおよび Virtex-6 FPGA デザインでこのリファレンス デザインを使用することも可能で、この場合、デザインのリターゲットがより簡単になります。ネイティブ Bitslip の代わりに汎用インターコネクタでインプリメントする Bitslip を使用するよう、オリジナル デザインに変更を加えます。オリジナル デバイスでデザインをテストした後、それを UltraScale デバイスに移行します。

図 1 では、ロジックにインプリメントされた Bitslip 機能のコンポーネント ブロックを示します。このブロックのピンと属性については、この資料の後半で詳しく説明します。

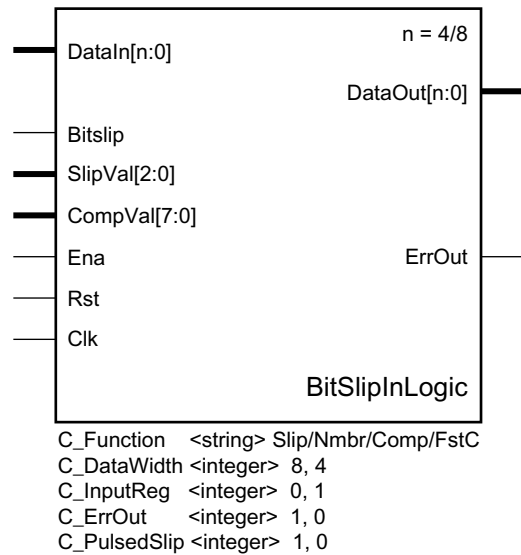


図 1 : Bitslip 機能ブロック

旧世代アーキテクチャのネイティブ Bitslip 機能

キャプチャするビット数は、ISERDES コンポーネントをデザイン ソース コードにインスタンスエートする際に DATA_WIDTH 属性で設定されます。ビットは、ISERDES 内で CLK クロックでキャプチャされ、その後 CLKDIV クロックを使用して汎用インターコネクで ISERDES パラレル出力が有効になります。

つまり、CLKDIV は CLK 信号を分周したクロックです。DATA_WIDTH が 8 に設定され、シングルデータ レート (SDR) モードで ISERDES が使用される場合、CLKDIV は CLK の 8 分周クロックとなります。ISERDES がデュアルデータ レート (DDR) モードで使用される場合は、CLKDIV は CLK の 4 分周クロックとなります。DATA_WIDTH が 8 に設定された場合は、次のようになります。

- ビットが CLK レートで ISERDES の入力シリアル-パラレルレジスタにキャプチャされます。
- 同じ CLK レートで動作する ISERDES のステート マシンがクロック パルスを生成し、DATA_WIDTH に設定した値に到達するたびにシリアル-パラレルレジスタから内部レジスタにビットをキャプチャします。この場合、シリアル-パラレルレジスタに 8 ビットがキャプチャされると、ステート マシンは内部レジスタにクロック パルスを生成します。
- 内部ステート マシンが生成するクロックは、外部供給される CLKLDV クロックと同等です。この内部生成クロックは、CLK クロックと関連しますが、外部供給される CLKDIV と位相は揃っていません。
- データは、外部供給される CLKDIV によって内部レジスタからパラレル出力レジスタ Q へ転送されます。

図 2 に、機能の例を示します (SDR 動作)。データ キャプチャはビット値 7 から開始します。これらのビットは CLK のクロック レートでシリアル-パラレルレジスタへシフトされます。垂直方向に積み重なったブロックがこのレジスタを表しています。これらのブロックでは、ビット値 7 が最初にシフトされ、一番下に配置されて終わっています。シフトインされた最後のビットは D 値を含んでいます。シリアル-パラレルレジスタにキャプチャしたビットが 8 つ含まれると、内部レジスタはこのレジスタからコンテンツをキャプチャします。次の CLKDIV の立ち上がりエッジでは、コンテンツすべてがパラレル出力レジスタへ移動します。つまり、このレジスタには DCBA0987 が含まれるようになります。

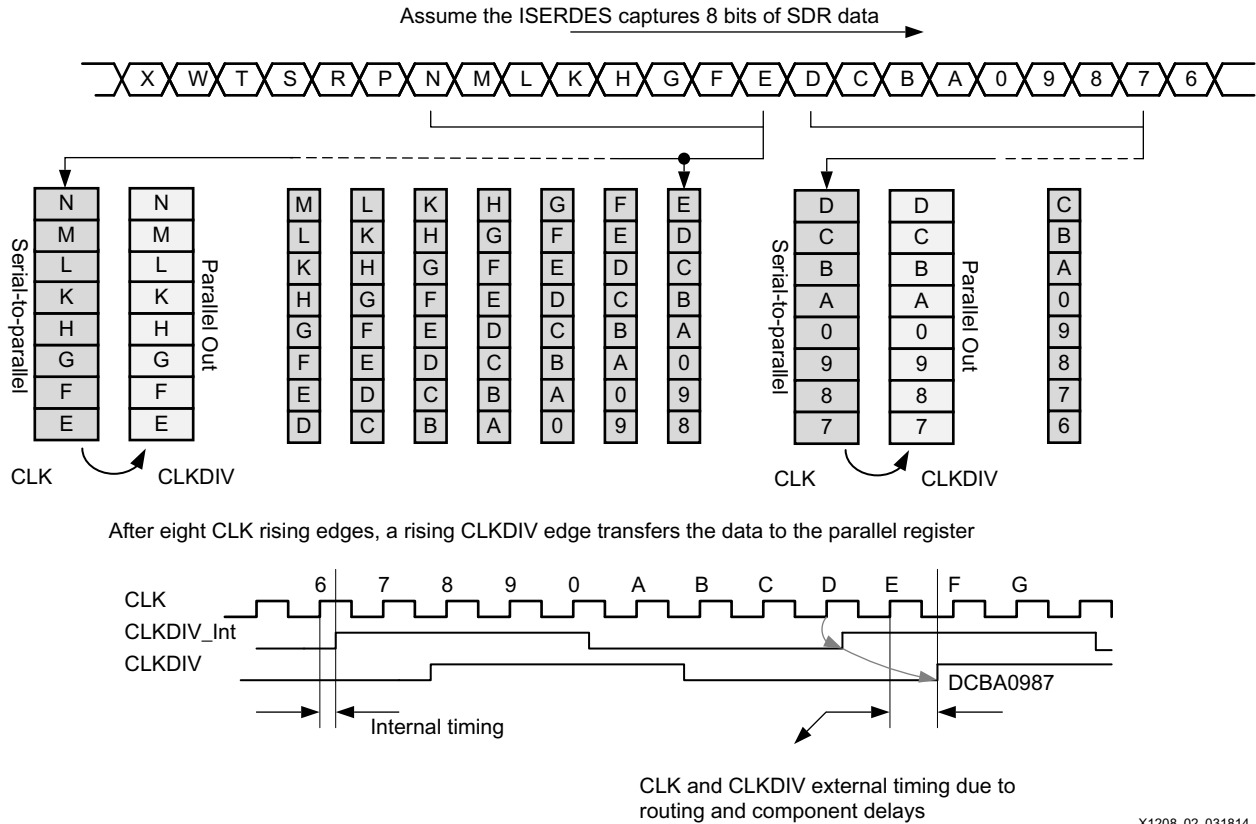
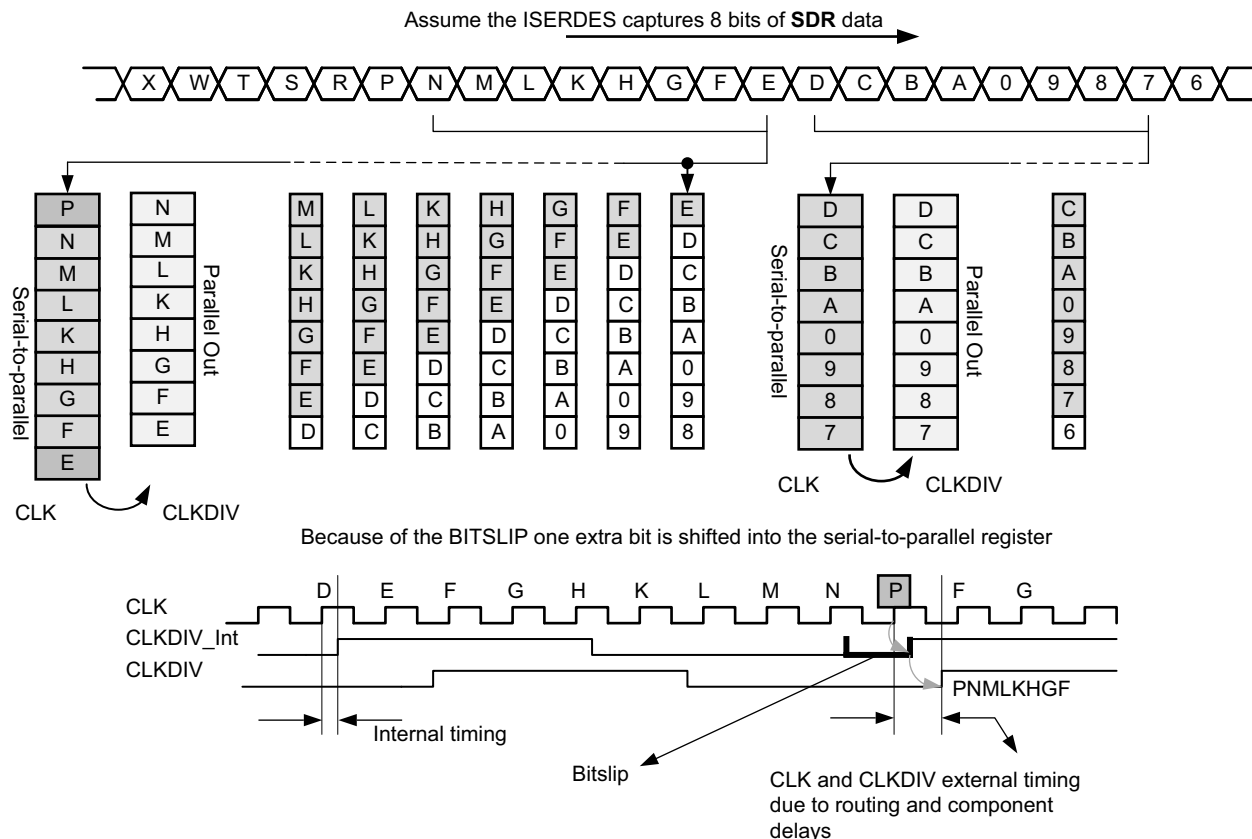


図 2 : Bitslip 動作なしのビット キャプチャ

データがシリアル-パラレルレジスタから内部ストレージレジスタへ転送されるとすぐに、新しい連続データがシリアル-パラレルレジスタへシフトされます。

Bitslip 機能を使用される場合、キャプチャ、内部レジスタへの転送、および出力レジスタへの転送は同様に行われます。ISERDES の Bitslip 入力信号がアサートされると、シリアル-パラレルレジスタと内部レジスタ間のデータ転送が CLK の 1 周期遅延されます。データ転送が CLK の 1 周期遅延されると、シリアル-パラレルレジスタに追加の 1 ビットがシフトされ、一番下の 1 ビットが失われます。つまり、内部レジスタにキャプチャされたデータは、1 ビットシフトした状態となります。

図 3 は図 2 と同じ動作ですが、2 番目のバイトがシリアル-パラレルレジスタにキャプチャされるときに Bitslip 動作が実行されます。8 番目のビットの受信後ではなく 9 ビットの後にパラレルレジスタへデータが転送されます。つまりパターンが 1 ビットシフトした状態となります。シリアル-パラレルレジスタの一番下にある最初にシフトしたビットが失われます。



X1208_03_032014

図 3 : Bitslip 機能を使用するビット キャプチャ

Bitslip 入力が CLKDIV クロックの 1/2 周期間 High に保持されるたびに、データに対して Bitslip 動作が実行されます。同じ入力ビット パターンを連続してキャプチャすると、結果としてビットが一周シフトされることになります。このメカニズムを使用することによって、簡単にデータをパターンに揃えたり、データ チャンネルを調整できます。

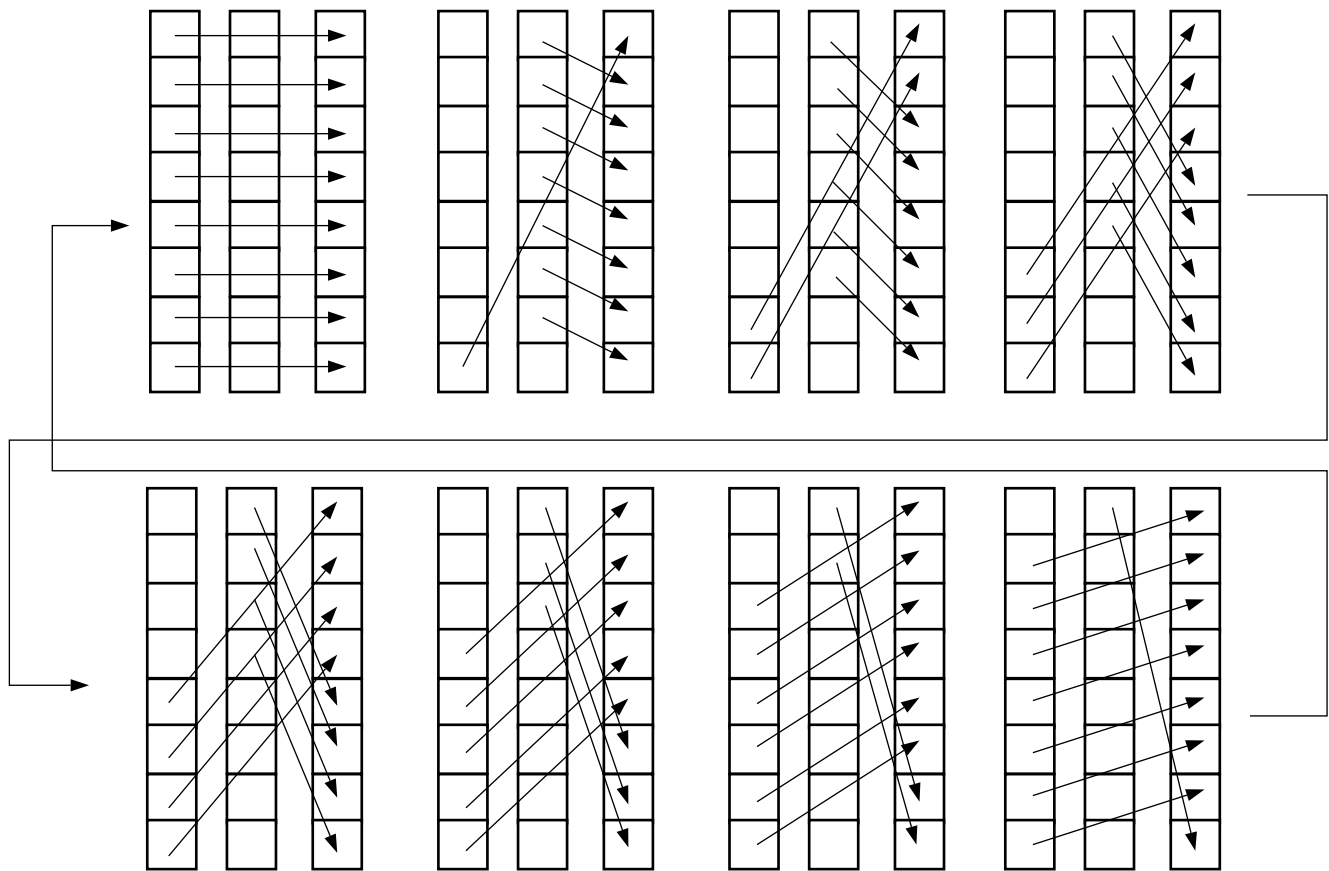
ロジックでの Bitslip 機能

Bitslip 機能は、I/O ロジックの出力で汎用インターコネクトを使用してインプリメントすることも可能です。この場合、「旧世代アーキテクチャのネイティブ Bitslip 機能」で説明したような入力シリアルデータではなく、パラレルにデシリアライズされたデータに対して Bitslip 機能が実行される必要があります。

CLKDIV レートでパラレル データ ワード内のビットを Bitslip/シフトできるようにする回路が提供されます。この動作を実行可能な回路はいくつか考えられます。ここでは、ダイナミックシフトとあらかじめ定義されたシフト ソリューションについて説明します。

ソリューション A

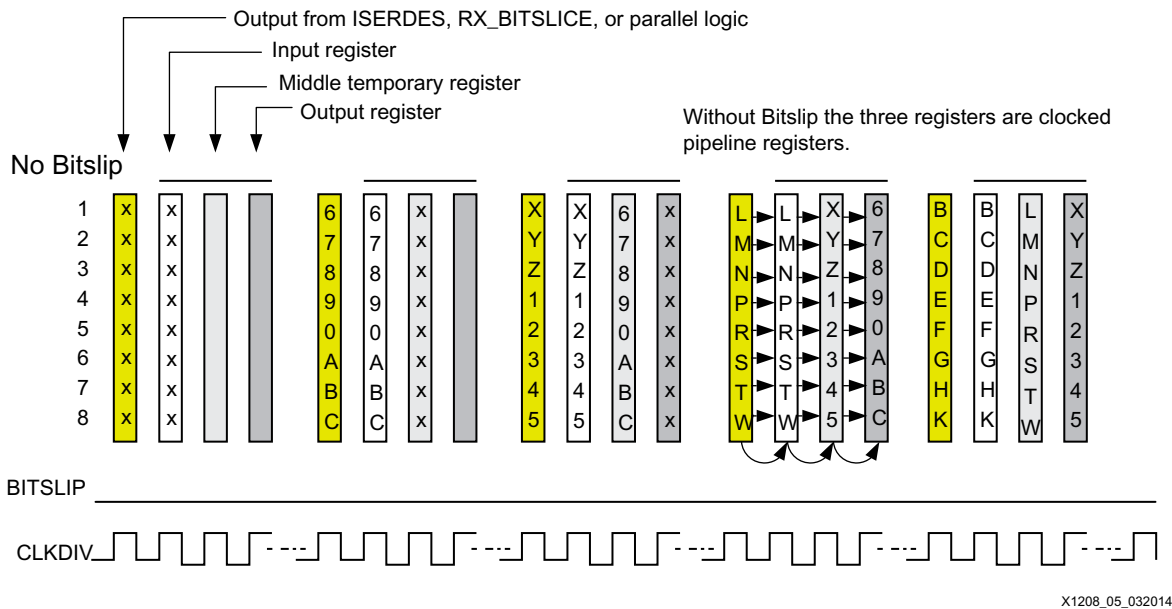
連続配置されたパラレル レジスタのビットを CLKDIV レートで循環させます。すべての可能性な Bitslip またはシフトを実行するには、レジスタ幅と同数の CLKDIV クロック サイクル数が必要となります (図 4 参照)。



X1208_04_031814

図 4: ロジックにおけるシリアル型 Bitslip

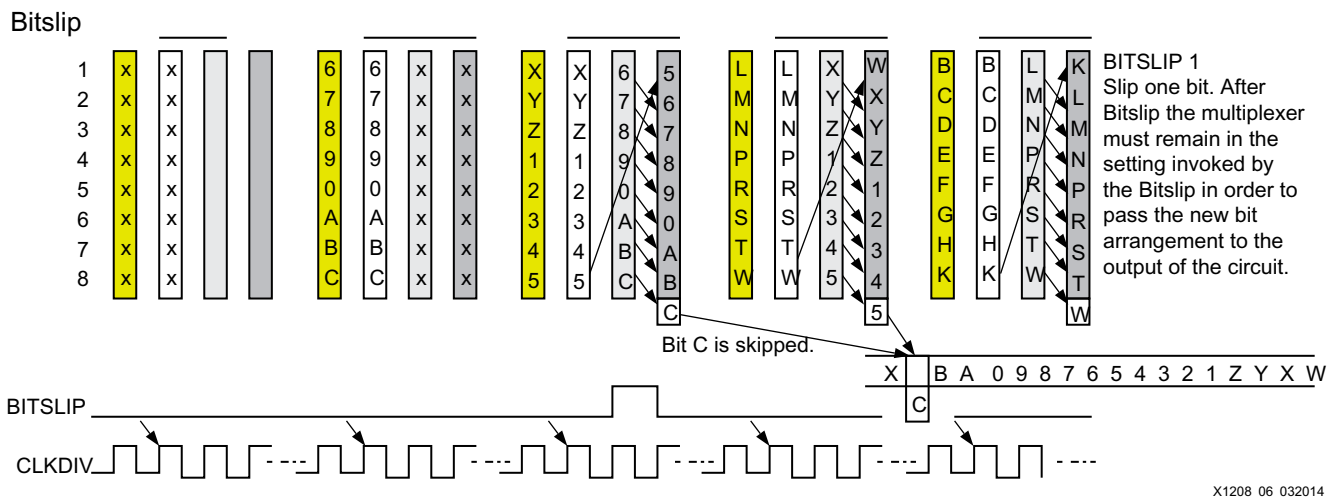
図 4 に、8 ビット ワードで考えられるすべてのシフト/Bitslip ステップを示します。これらの動作を実行するには、少なくとも 2 つの 8 ビット レジスタと 1 つのマルチプレクサーが必要です。図 5 ~ 図 7 では、Bitslip の動作を順を追って詳細に示します。



X1208_05_032014

図 5 : Bitslip 動作の詳細 - ステップ a

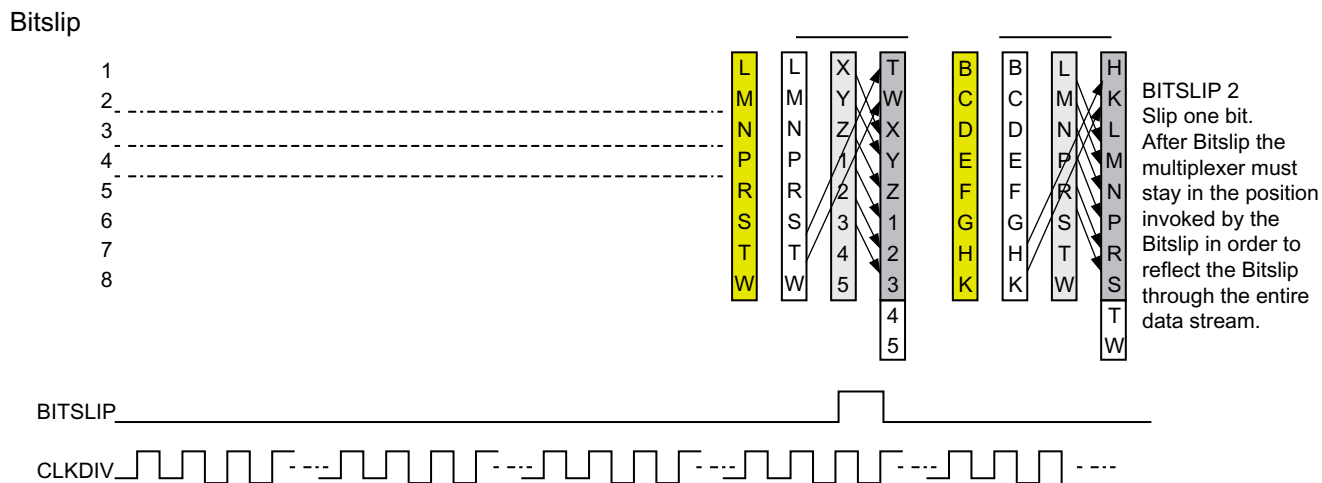
- ステップ a: 最初 (図 5) は Bitslip が実行されていない状態で、レジスタはパイプライン レジスタとして機能します。パラレル データが単純に CLKDIV クロック レートでレジスタを通過します。



X1208_06_032014

図 6 : Bitslip 動作の詳細 - ステップ b

- ステップ b: 図 6 は、Bitslip 機能が開始したときの動作を示しています。旧世代デバイスの動作モードと同様、1 ビットがスキップされて、その他すべてのビットが新しい場所に再配置されます。デザインのその後の動作に Bitslip 動作を反映させるため、Bitslip 動作後のビットの再配置は維持される必要があります。



X1208_07_032014

図 7 : Bitslip 動作の詳細 - ステップ c

- ステップ c: 図 7 に示す新たな Bitslip 動作は、前の Bitslip 動作を受けて 2 ビット スキップされています。データに関しては、旧世代デバイスファミリのシリアルモードとまったく同じです。つまり、すべてのビットが 2 ビットシフトされます。

図 5 に示す ISERDES、RX_BITSLICE、またはパラレル ロジック レジスタと入力レジスタは 1 つのレジスタに結合できます。レジスタを結合することによって CLKDIV クロックのパイプライン ステージを 1 つ節約できますが、レジスタを個別に使用すると、タイミング性能を向上させることができます。このオプションは、リファレンス デザインでジェネリック属性として提供されています。

ソリューション B

ISERDES の出力、RX_BITSLICE の出力、またはその他のパラレル ロジックの出力をキャプチャし、パラレル配置されたレジスタ セットへすべてのビットを同時にシフトします。このソリューションでは、すべての可能な値をシフトするのに CLKDIV 信号の 1 サイクル分が必要です。動作開始時に、有効な出力を取得するために 2 クロック サイクルが必要になります。1 つ目のクロック サイクルでヒストリ レジスタをロードし、2 つ目のクロック サイクルで出力レジスタ内のすべてのビット順列をロードします。その後、各クロック サイクルで有効な出力データが現れます。アプリケーションは、任意のビット順列のニブルまたはバイトを選択できます。このソリューションは、あらかじめ定義されたパターンを検出および一致させる必要がある場合に最適です (図 8 参照)。

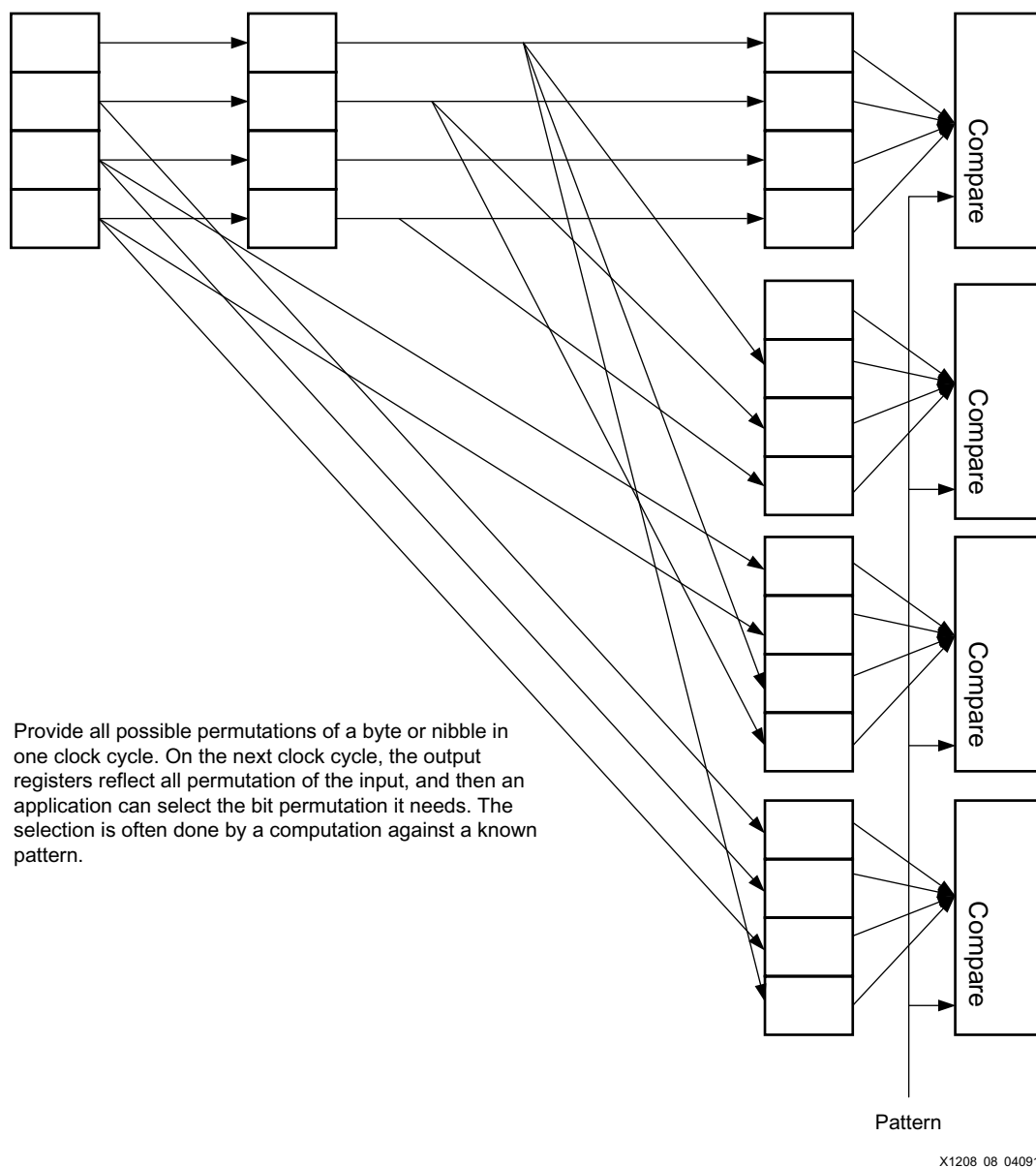


図 8 : 4 ビット幅の平行型 Bitslip

ロジックでの Bitslip デザイン

リファレンス デザインには説明した両方の回路が含まれており、選択したオプションによって使用する回路とそのオプションが決定します。リファレンス デザインは、オプションが付いたインスタンス化可能なシングル コンポーネントとして提供されます。2つの回路それぞれに、デザイン機能を適用する独自のオプションがあります。

リファレンス デザインのコンポーネントは、[図 1](#) を参照してください。ピンの機能は次のとおりです。

- **DataIn** : 4 または 8 ビット入力です。4 ビット モードの場合、LSB ニュルを使用します。
- **BitSlip** : **High** 駆動されると、この制御入力によってソリューション A の Bitslip 機能およびソリューション B の回路イネーブル信号が有効になります。
- **SlipVal** : 出力を有効にする前に、指定した回数の Bitslip 動作を回路に実行させる 3 ビット入力です。
- **CompVal** : データ内のパターン検出に使用される 8 ビット入力です。4 ビット モードの場合、LSB ニュルを使用します。
- **Ena** : アクティブ **High** で回路が有効になります。
- **Rst** : アクティブ **High** で回路がリセットされます。

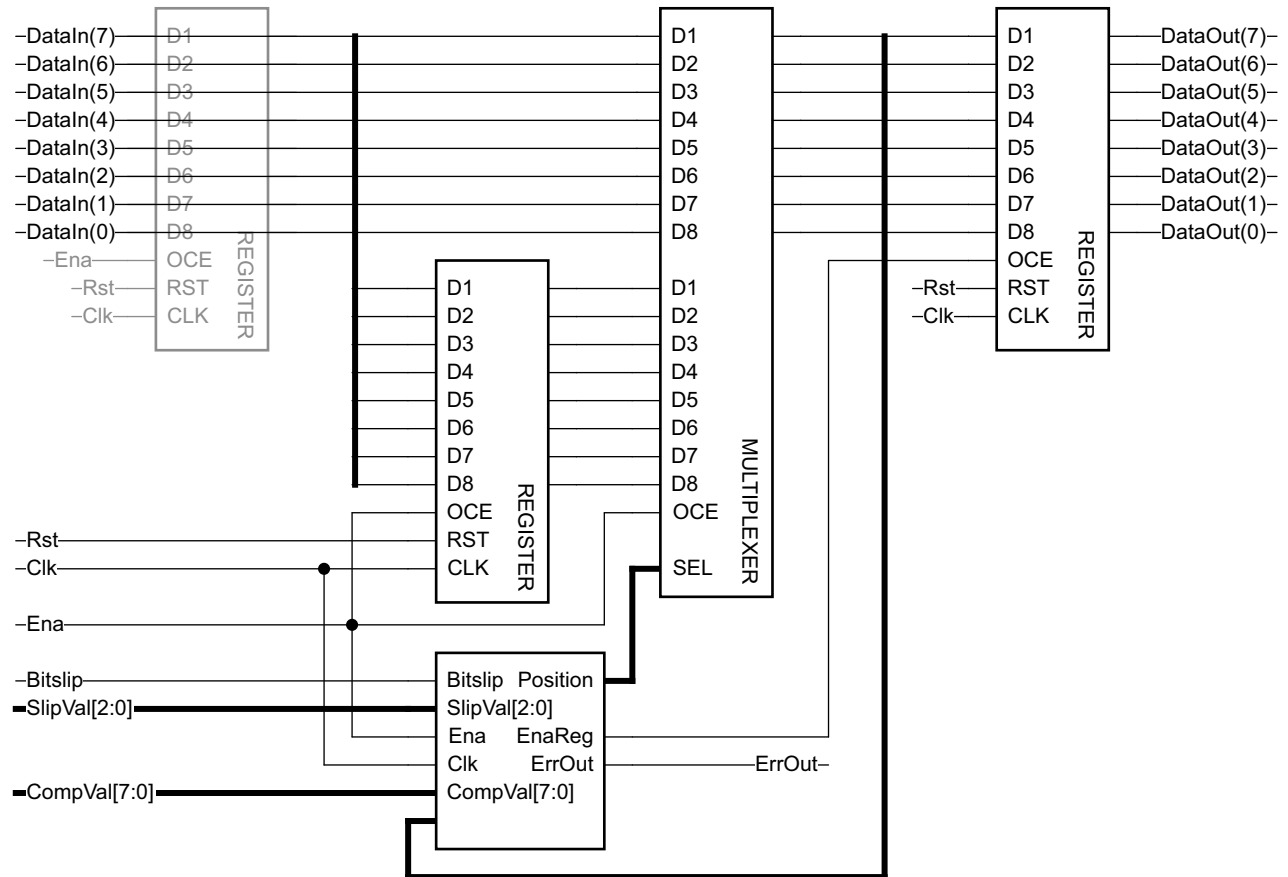
- Clk : 通常は CLKDIV クロックに相当します。
- DataOut : 4 または 8 ビット出力です。4 ビット モードの場合、LSB ニブルを使用します。
- ErrOut : エラーおよびステータス出力です。
 - Slip モード : Bitslip が 8 回実行されると High 駆動します。
 - Nmbr モード : 「Nmbr」で指定した Bitslip 動作が完了し、出力データが有効になることを示します。
 - Comp モード : 要求されたパターンの検出を示します。

ソリューション A

ソースコードのジェネリックを使用するカスタマイズ オプションは次のとおりです。

- C_DataWidth : デザインのデータ幅を設定します。有効な値は 4 および 8 です。デフォルトは 8 です。この値は、最も優れた I/O ロジックの使用効率と最も低い内部クロック レートを提供するため、最善の値と考えられます (タイミング目標の到達が最も容易)。
- C_InputReg : 1 に設定した場合、回路の入力に入力レジスタが 1 つ追加されます。デフォルトは 0 で、無効に設定されています。レジスタが 1 つ追加されると、クロック サイクルが 1 つ増加します。
- C_Function : 4 つのオプションのうち 3 つが、このデザイン ソリューションに適用されます。
 - Slip : 旧世代デバイス ファミリで有効な Bitslip 機能であり、この Bitslip 入力が 1 クロック サイクル間 High 駆動されると、1 ビットの Bitslip を実行します。この Bitslip 入力が数クロック サイクル間 High に保持される場合の結果と、Bitslip が 1 クロック間パルスされる場合の結果は同じです。
 - Nmbr : SlipVal 入力に与えられる値分だけ入力データを Bitslip します。要求されたすべての Bitslip 動作が終了すると、出力が有効になります。この Bitslip 入力は、SlipVal 入力に適用される値の負荷として機能します。この Bitslip 入力は 1 クロック サイクル間 High 駆動します。
 - Comp : CompVal 入力に与えられたパターンが検出されるまで入力データを Bitslip し、その後、出力が有効になります。

図 9 に、ソリューション A のインプリメンテーションを示します。



X1208_09_031814

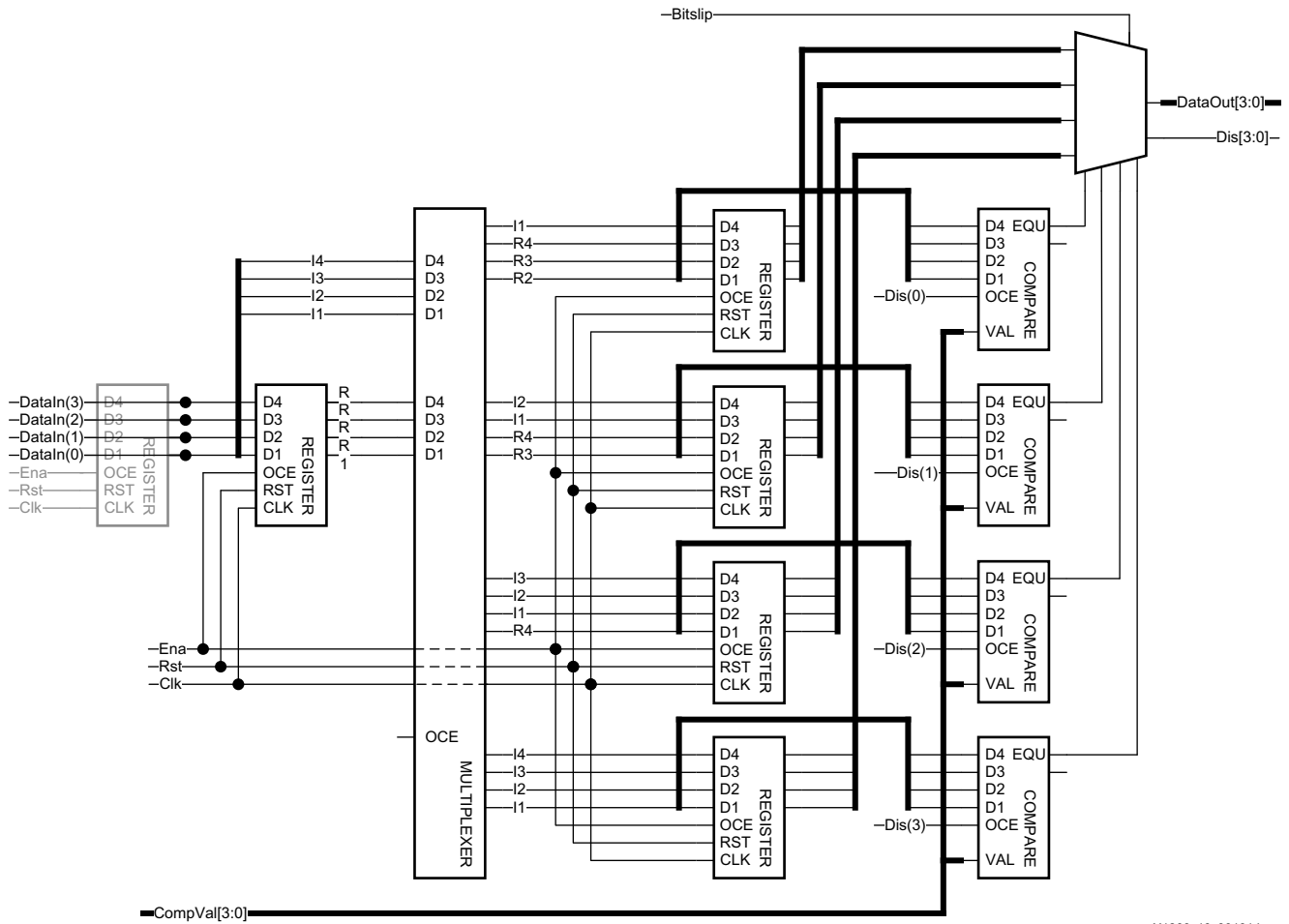
図 9: ソリューション A のインプリメンテーション

ソリューション B

ソースコードのジェネリックを使用するカスタマイズ オプションは次のとおりです。

- **C_DataWidth** : デザインのデータ幅を設定します。有効な値は 4 および 8 です。デフォルトは 8 です。この値は、最も優れた I/O ロジックの使用効率と最も低い内部クロック レートを提供するため、最善の値と考えられます (タイミング目標の到達が最も容易)。
- **C_InputReg** : 1 に設定した場合、回路の入力に入力レジスタが 1 つ追加されます。デフォルトは 0 で、無効に設定されています。レジスタが 1 つ追加されると、クロック サイクルが 1 つ増加します。
- **C_Function** : このデザイン ソリューションには 4 つ目のオプションが適用されます。
 - **FstC** : 高速比較です。Bitslip 入力が、CompVal 入力に与えられたパターンに対して比較を開始します。特定パターンが検出されると、データが出力されます。

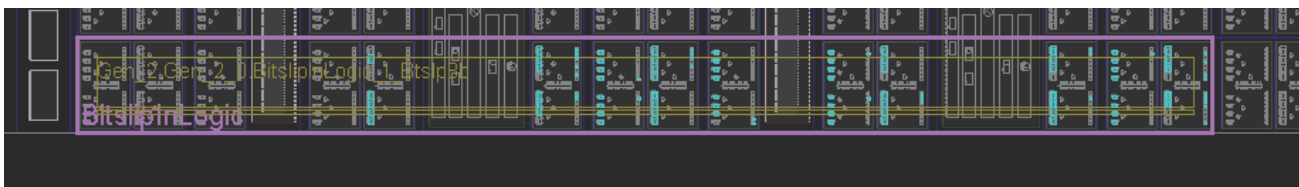
図 10 に、ソリューション B のインプリメンテーションを示します。



X1208_10_031814

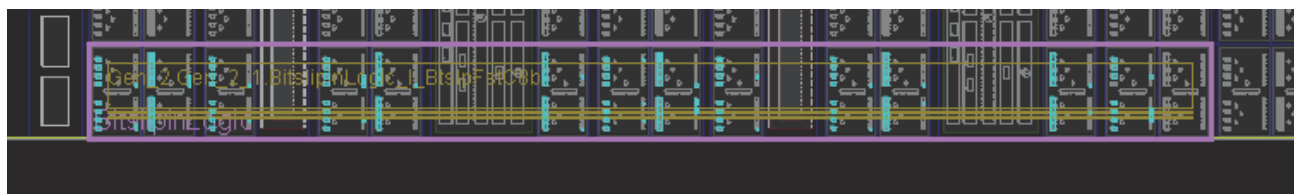
図 10：ソリューション B のインプリメンテーション

リファレンス デザインは、インプリメンテーション制約の XDC ファイルによって四角形の境界に配置されていますが、特定アプリケーションでこのデザインを使用する際には、その要件に合わせて XDC ファイルを変更できます。図 11 および図 12 には、ソリューション A の Slip モードおよびソリューション B の FstC モードでインプリメントされたデザインをそれぞれ示します。



X1208_11_031814

図 11：Slip モードでインプリメントされたデザイン



X1208_12_031814

図 12 : FstC モードでインプリメントされたデザイン

リファレンス デザイン

このアプリケーション ノートのリファレンス デザインは、次のリンクからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=356522>

表 1 に、リファレンス デザインの詳細を示します。

表 1 : リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	Marc Defossez
ターゲット デバイス (ステッピング レベル、ES、プロダクション、スピード グレード)	UltraScale デバイス
ソース コードの提供	あり
ソース コードの形式	VHDL
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、CORE Generator ツール、サードパーティからデザインへのコード/IP の使用	No
シミュレーション	
論理シミュレーションの実施	あり
タイミング シミュレーションの実施	あり
論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用	あり
テストベンチの形式	VHDL
使用したシミュレータ/バージョン	Mentor Graphics Questa Advanced Simulator 10.2a
SPICE/IBIS シミュレーションの実施	なし
インプリメンテーション	
使用した合成ツール/バージョン	Vivado Design Suite 2014.1
使用したインプリメンテーション ツール/バージョン	Vivado Design Suite 2014.1
スタティック タイミング解析の実施	あり
ハードウェア検証	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	KCU105 ボード

表 2 に、リファレンス デザインの詳細を示します。

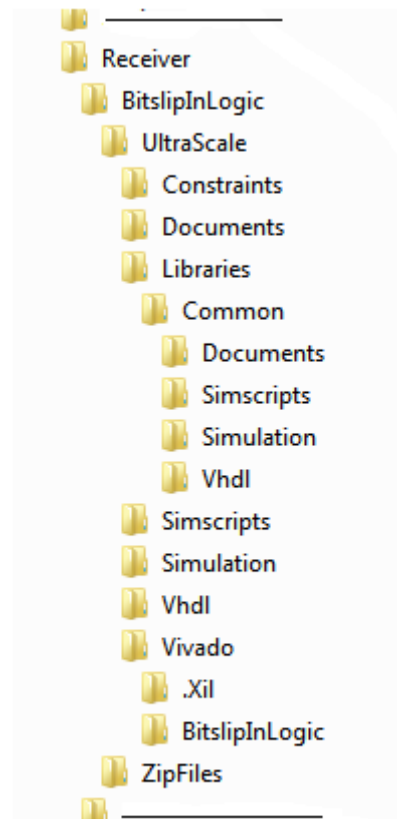
表 2：リファレンス デザインの使用率

コンポーネント	パーセンテージ (%)	総数	使用数
CLB	0.04	30,300	14
LUT (ロジックとして使用)	0.04	242,400	98
LUT (フリップフロップ ペアとして使用)	0.04	242,400	101

注記：

1. Vivado_2014.1 rev : EA851449 (64 ビット) を使用して実装したデザインです
2. 使用した UltraScale デバイスは XCKU040-FFVA1156-2 です。
3. デザインのオプション
 - C_DataWidth : 8
 - C_InputReg : 1
 - C_Function : FstC
4. 合成オプション : -mode out_of_context
5. インプリメンテーション オプション : retarget

図 13 に、リファレンス デザインのディレクトリ構造を示します。



X1208_13_031814

図 13：リファレンス デザインのディレクトリ構造

まとめ

このアプリケーション ノートで説明した Bitslip リファレンス デザインは、7 シリーズおよび Virtex-6 FPGA の ISERDES に組み込まれているネイティブ Bitslip 機能と同じ機能を果たします。リファレンス デザインでは、本来の 7 シリーズおよび Virtex-6 FPGA ISERDES ソリューションにはないオプションを提供しています。リファレンス デザインに含まれるこの機能を 7 シリーズまたは Virtex-6 FPGA デザインで利用する場合、汎用インターコネクトを使用する必要があります。これによって、この Bitslip リファレンス デザインは、旧世代デバイス ファミリーで規定される Bitslip の要件および目的を満たします。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2014 年 5 月 16 日	1.0	初版

Notice of Disclaimer

s The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。