



XAPP1214 (v1.0) 2014 年 6 月 24 日

AXI4-Lite インターフェイスから DRP インターフェイスへのブリッジ

著者 : Luis Bielich

概要

このアプリケーション ノートでは、AXI4-Lite インターフェイスを 1 つ以上のダイナミック リコンフィギュレーション ポート (DRP) インターフェイスへブリッジするカスタム IP を使用したリファレンス デザインを紹介します。このカスタム IP は Vivado® IP パッケージャーで作成しています。DRP は、新しいビットストリームを必要とせず、クロック マネージメント ブロック、シリアル トランシーバー、XADC (ザイリンクス アナログ デジタル コンバーター)、PCI Express® ブロックをリコンフィギュレーションする際に一般的に使用されるポートです。これらのマクロはソース コードに記述された属性でコンフィギュレーションされますが、デザイン の動作中に DRP インターフェイスを利用してリプログラム可能です。

はじめに

DRP インターフェイスは、FPGA に統合されたマクロ内のレジスタにメモリ マップされたインターフェイスです。これらのレジスタにアクセスすれば、FPGA をリプログラムする必要がなくなるため、マクロの柔軟性が向上します。

DRP インターフェイスはシンプルなインターフェイスですが、MicroBlaze™ プロセッサにも ARM® プロセッサにも DRP インターフェイスがありません。したがって、これらのプロセッサがマクロの DRP インターフェイスと通信するには、通常 AXI4 または AXI4-Lite インターフェイスから DRP インターフェイスへのブリッジが必要になります。

また、アプリケーションから複数の DRP インターフェイスへのアクセスが必要となることもよくあります。たとえば、マルチレート トランシーバー アプリケーションで各 トランシーバーに専用の DRP インターフェイスがある場合などです。この場合、DRP インターフェイスを使用して トランシーバーの位相ロック ループ (PLL) レートの変更や、システム内アイ スキャンなどを実行できます。これらのアプリケーションでは複数の DRP インターフェイスにアクセスする必要がありますが、インターコネクットのサイズをなるべく小さくするために、AXI インターコネクット側のスレーブ ポートは 1 つにするのが理想です。インターコネクットに追加するマスター インターフェイスを増やすと、AXI インターコネクットのサイズはすぐに大きくなってしまいます。このアプリケーション ノートで紹介するパッケージ化された IP は、1 つの AXI スレーブ ポートのみで複数の DRP インターフェイスにアクセスできます (図 1)。

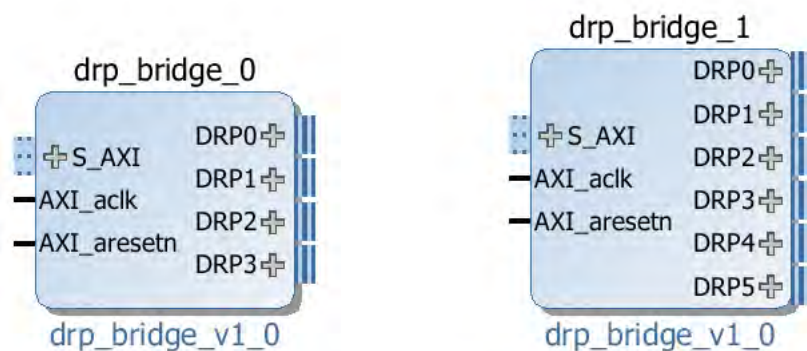


図 1 : 1 つの AXI インターフェイスで複数の DRP インターフェイスにアクセス

ハードウェアの説明

AXI4-Lite-to-DRP ブリッジ IP は AXI4-Lite 仕様に準拠しており、ザイリンクスの DRP インターフェイスとの通信もサポートしています。この IP は、1 つの AXI4-Lite スレーブ インターフェイスで最大 32 の DRP インターフェイスを駆動できます。AXI 要求を 1 つ受け取るとすぐに DRP に変換します。DRP インターフェイスは Ready パルスで応答後、次の AXI 要求を受け取ります。この IP が受け取るのは一度に 1 つの AXI 要求のみですが、AXI トランザクションの入力が継続している限り動作を継続します。

DRP インターフェイスを複数使用する場合は、すべての DRP インターフェイスを連続したアドレスで指定します。各 DRP インターフェイスに必要な空間は $2(\text{DRP アドレス幅} + 2)$ です。このブリッジは AXI アドレスの下位 2 ビットを無視するため、「+2」となっています。詳細は、「アドレス オフセット」を参照してください。

DRP データ幅は AXI データに直接マップし、その幅が一致しない場合は AXI データの上位ビットが無視されます。DRP のデータ幅は通常 16 ビットで、AXI のデータ幅は 32 ビット固定です。つまり、書き込みの場合は AXI インターフェイスの上位 16 ビットが無視され、読み出しの場合は上位 16 ビットが 0 のままとなります。

[Customize IP] ダイアログ ボックスには、パッケージ化されたこの IP に関するオプションが 3 つ表示されます (図 2)。

- [Drp Count] : DRP インターフェイス数
- [Drp Addr Width] : DRP アドレス幅
- [Drp Data Width] : DRP データ幅

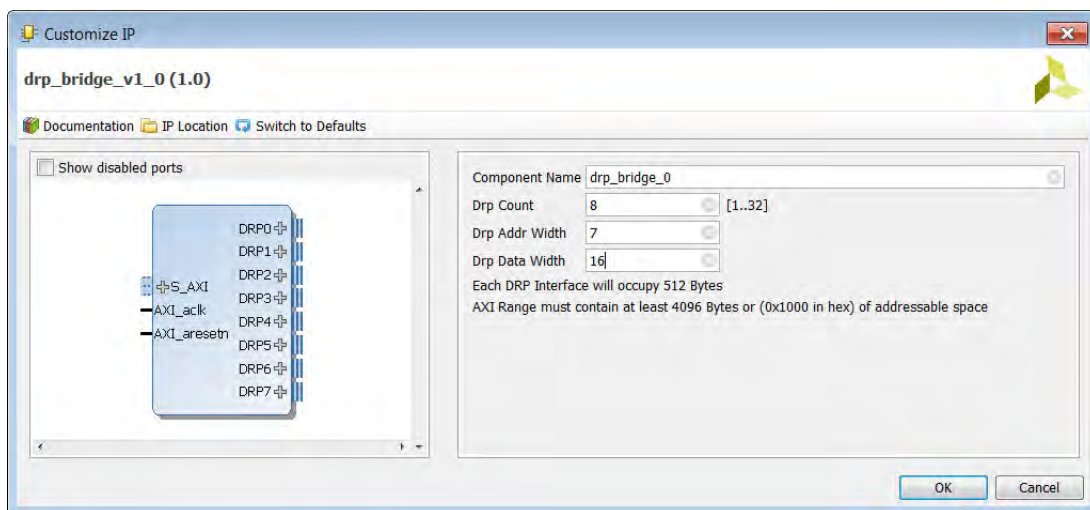


図 2 : IP のオプション

[Drp Count]

[Drp Count] では、DRP インターフェイスの数を増減できます。DRP インターフェイスを増やすと、必要な AXI アドレス空間も大きくなり、その値もこの [Customize IP] ダイアログ ボックスに表示されます。図 2 に示すように、この IP で DRP アドレス幅を 7 ビットに設定し、DRP インターフェイスの数を 8 に設定すると 4KB のアドレス空間が必要となります。

[Drp Addr Width]

DRP アドレス幅は、スレーブの DRP インターフェイスに合わせて設定します。たとえば 7 シリーズ デバイスの MMCM の DRP アドレス幅は 7 ビットで、GTH トランシーバーの DRP アドレス幅は 9 ビットです。ここで設定したアドレス幅が、IP の DRP インターフェイスすべてに適用されます。IP をアドレス幅の異なる複数の DRP インターフェイスと接続する場合は、最も広い DRP インターフェイスのアドレス幅を指定してください。スレーブ インターフェイスはすべて連続しており、[Drp Addr Width] の値に基づいて各 DRP インターフェイスのベースアドレスのオフセットが決まります。

[Drp Data Width]

DRP インターフェイスのデータ幅は通常 16 ビットです。今後、DRP インターフェイスのデータ幅が拡大した場合にこのオプションを使用します。

必要な AXI アドレス範囲

必要な AXI アドレス範囲は [Customize IP] ダイアログ ボックスの下部に表示されます (図 3)。その計算式を式 1 に示します。

$$(\text{DRP インターフェイス数}) * 2(\text{DRP アドレス幅} + 2) \quad \text{式 1}$$

この式で求めたアドレス空間の値は、[Address Editor] タブの [Range] 列の値と一致している必要があります (図 3)。

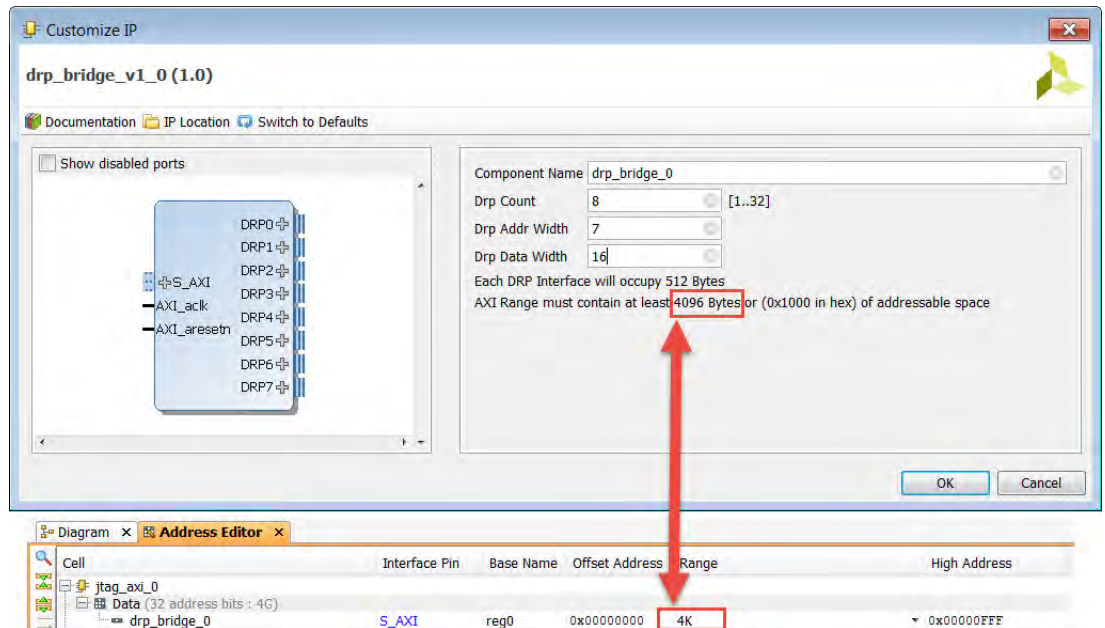


図 3 : 必要な AXI アドレス範囲と [Address Editor] の対応関係

各 DRP インターフェイスのオフセットも [Customize IP] ダイアログ ボックスに表示されます (図 4)。DRP オフセットを求める計算式を式 2 に示します。

$$2(\text{DRP アドレス幅} + 2) \quad \text{式 2}$$

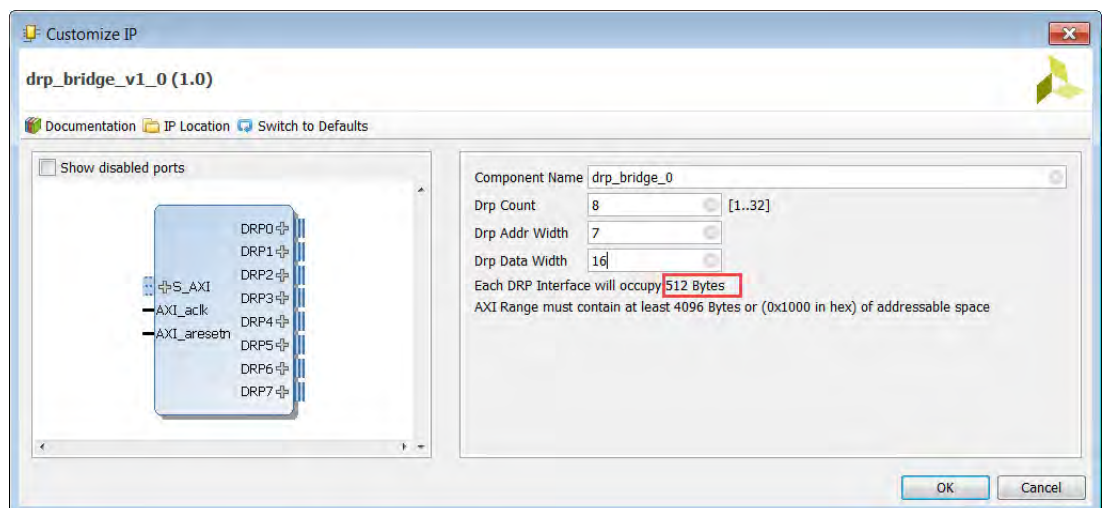


図 4 : [Customize IP] ダイアログ ボックスに表示される DRP オフセット

アドレス オフセット

AXI インターフェイスから DRP インターフェイスへのアドレス マップには 2 ビットのオフセットがあります。このような実装としたのは、境界に整列していない転送をサポートしないことでブリッジを軽量に抑えるためです。したがって、AXI アドレスの下位 2 ビットは無視されます。たとえば、AXI4-Lite-to-DRP ブリッジのベース アドレスが 0xC0000000 の場合、アドレス 0xC0000010 にアクセスすると DRP インターフェイスのアドレス 0x004 へのアクセスとなります。アドレス 0xC0000011 へのアクセスを要求した場合もアドレスの下位 2 ビットが無視されるため、DRP インターフェイスのアドレス 0x004 へのアクセスとなります。ソフトウェア側でこのアドレス マップを考慮する必要があります。表 1 に、このブリッジの動作例をいくつか示します。

表 1: AXI と DRP のアドレスの対応関係の例

AXI アドレス オフセット	AXI データ	変換後の DRP アドレス	変換後の DRP データ
x0	x00001234	x0	x1234
x4	x00005678	x1	x5678
x8	x00009ABC	x2	x9ABC
xC	x0000DEF0	x3	xDEF0
...

2 ビットのオフセットがあるため、次の DRP インターフェイスのアドレスへのオフセットは、DRP アドレス幅に 2 を足した値を基準に求めます。表 2 に、連続する DRP インターフェイスにアクセスする際に指定するベース アドレスの例を示します。

表 2: 連続する DRP インターフェイスのベース アドレスの例

DRP アドレス幅	DRP 0 ベース アドレス	DRP 1 ベース アドレス	DRP 2 ベース アドレス	DRP 3 ベース アドレス
7	0	x200	x400	...
8	0	x400	x800	...
9	0	x800	x1000	...
10	0	x1000	x2000	...
...

デコード エラー応答

Vivado IP インテグレーターで割り当てられるアドレス空間の大きさは 2 のべき数です。DRP インターフェイスの数が 2 のべき数でない場合、DRP インターフェイスから AXI 空間へマップされないアドレス空間が発生します。このマップされていない領域へのアクセス要求があると、ブリッジはデコード エラー応答を返します。たとえば DRP アドレス幅が 7 で 3 つの DRP インターフェイスがある場合、AXI アドレス空間 x600-x7FF はマップされず、`rresp` または `bresp` 信号でデコード エラーを示します。

レイテンシ

レイテンシには、ブリッジ デザインによる固定レイテンシと、DRP の Ready パルス応答による可変レイテンシの 2 つが含まれます。可変レイテンシは DRP スレーブによって異なるほか、マクロ内でアクセスするレジスタの種類によっても異なります。固定レイテンシは、書き込み要求の場合は 4 サイクル、読み出し要求の場合は 3 サイクルです。

制限

AXI インターフェイスから書き込みストローブ (WSTRB) は使用できません。ブリッジは、WSTRB が常に High と想定します。WSTRB ではなく Read-Modify-Write の使用を推奨します。通常、DRP レジスタはバイト境界に整列していないため、DRP インターフェイスでは一般に Read-Modify-Write を使用します。このため、ソフトウェアでWSTRB 機能ではなく Read-Modify-Write を実行する必要があります。

境界に整列していない要求はサポートしていません。要求は、AXI4-Lite インターフェイスの 32 ビット データ幅の境界に整列している必要があります。

リファレンス デザインの実行

このアプリケーション ノートに関連するデザイン ファイルは、[こちら](#)からダウンロードしてください。

このサンプル デザインは Vivado Design Suite 2014.2 で作成しており、シミュレーションまたはハードウェアで AXI トラフィックをカスタマイズできます。シミュレーション用には、テストベンチに AXI モデルが含まれており、AXI_model1.sv ファイルでトラフィックを変更できます。ハードウェアの場合は、KC705 ボードで [Hardware Manager] ページから Tcl スクリプトを実行し、JTAG-to-AXI IP からカスタム AXI トラフィックを生成します。図 5 にサンプル デザインのブロック図を示します。

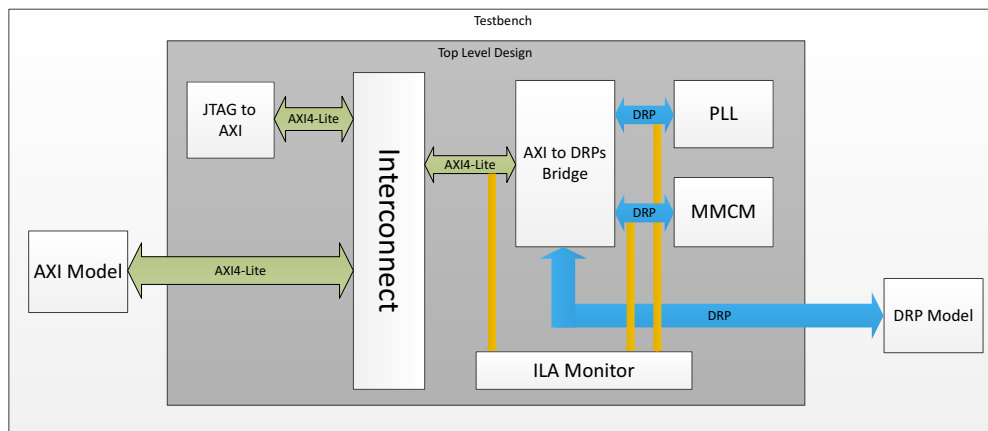


図 5 : サンプル デザインのブロック図

サンプル デザインを開くには、project ディレクトリに移動して runme.tcl を source コマンドで読み込みます (図 6)。

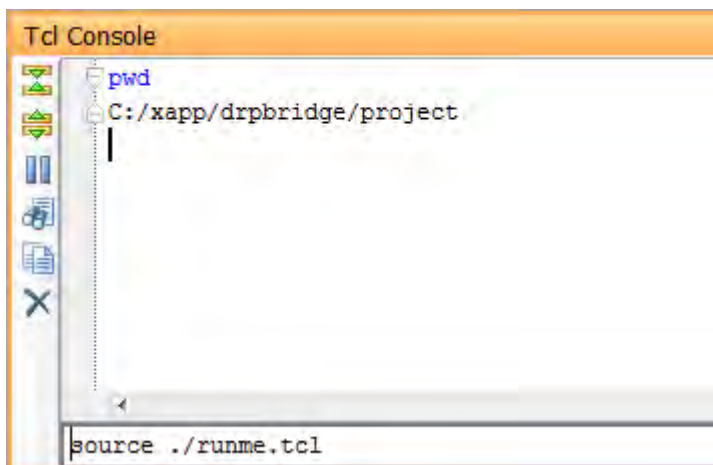


図 6 : スクリプトを source コマンドで読み込み、サンプル デザインのプロジェクトを開始

source コマンドで runme.tcl スクリプトを読み込むと、必要なソースがすべてデザインに追加された状態でプロジェクトが開きます。AXI モデルと DRP モデルはどちらも SystemVerilog コンストラクトを使用しているため、シミュレーションを実行するには SystemVerilog をサポートしたシミュレータが必要です。Vivado Simulator ではサンプル デザインのシミュレーションは実行できません。ModelSim または Questa SIM を使用してください。カスタム テスト パターンが必要な場合は、AXI_model1.sv の次に示す部分でトラフィックを変更します。


```

173 //      memory_write( 32'h00000000, 32'h00001234 );
174 //      memory_write( 32'h00000200, 32'h00005678 );
175      memory_write( 32'h00000400, 32'h00009ABC );
176      memory_write( 32'h00000404, 32'h00001234 );
177      //#(PERIOD*5);
178      memory_read ( 32'h00000000 );
179      memory_read ( 32'h00000200 );
180      memory_read ( 32'h00000400 );
181      memory_read ( 32'h00000404 );

```

図 7 : シミュレーション用のステイミュラス呼び出し

このシミュレーションでは、PLL および MMCM (ミックスド モード クロック マネージャー) に対する DRP 読み出し、および DRP メモリ モデルに対する書き込みと読み出しを実行します。図 8 に、書き込みトランザクションを示します。

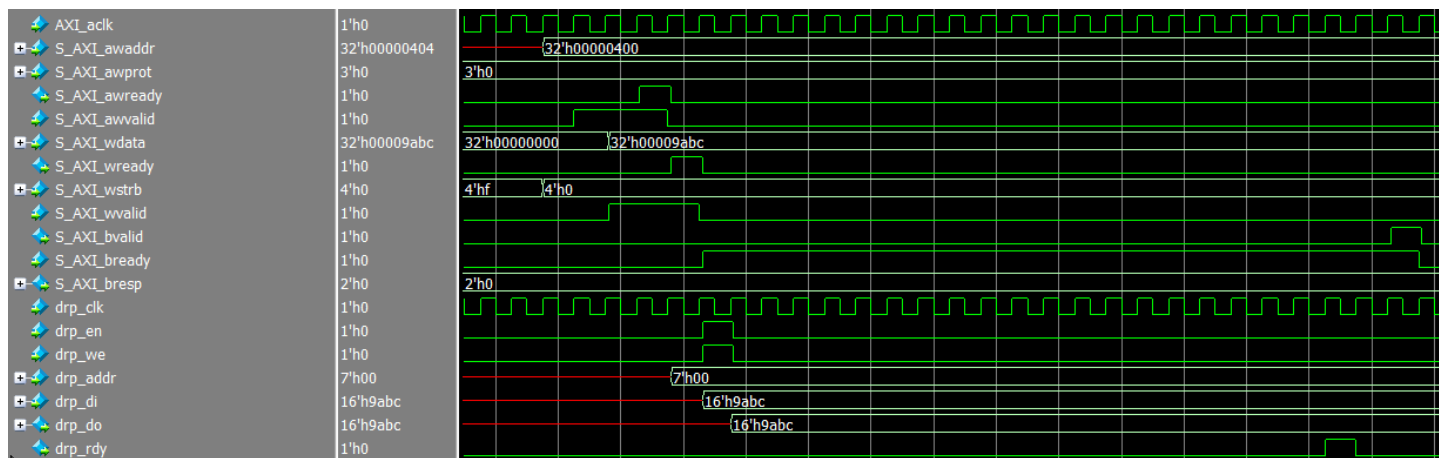


図 8 : AXI4 のアドレス 0x400 から DRP メモリ モデルのアドレス 0x0 への書き込みトランザクション

図 9 に、読み出しトランザクションを示します。

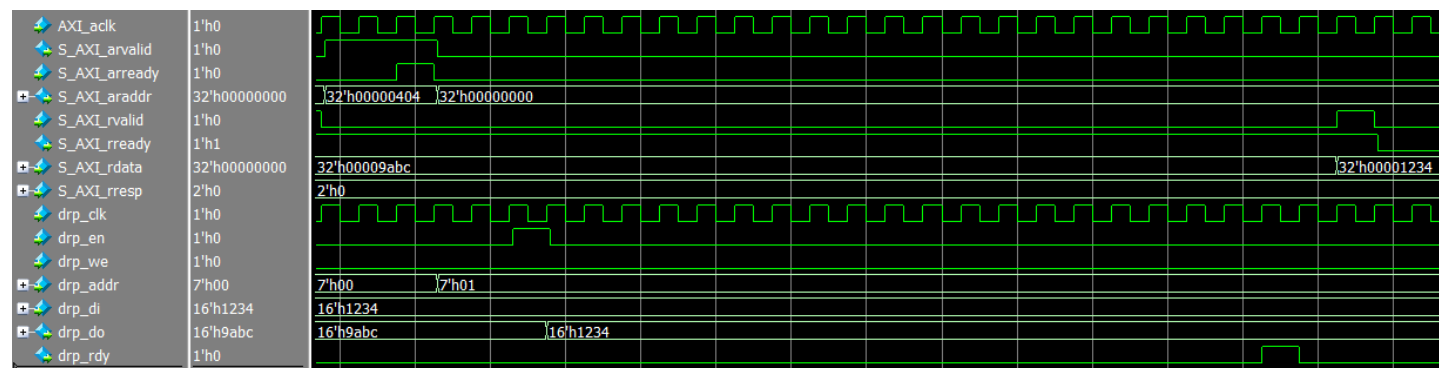


図 9 : AXI4 のアドレス 0x404 から DRP メモリ モデルのアドレス 0x1 への読み出しトランザクション

SystemVerilog をサポートしたシミュレータを利用できない場合は、BIT ファイルを生成してハードウェア環境へ進みます。BIT ファイルを生成したら、[Hardware Manager] ビューで FPGA に書き込み、[Tcl Console] パネルで source コマンドを実行して drp_run.tcl スクリプトを読み込みます。drp_run.tcl は、FPGA に BIT ファイルを書き込んだ後、[Hardware Manager] ビューで source コマンドを実行して読み込む必要があります。この Tcl スクリプトを使用すると、ILA (Integrated Logic Analyzer) コアから DRP トランザクションをトリガーできるほか、JTAG-to-AXI IP からシステムへの AXI トラフィックを開始できます。ILA コアをトリガーすると、AXI トランザクションとそれに対応する DRP トランザクションの波形が表示されます。

カスタム デザイン への IP の追加

AXI4-Lite-to-DRP ブリッジのパッケージ化した IP は、source/packaged_ip ディレクトリにあります。この IP をカスタム デザインに追加する手順は次のとおりです。

1. packaged_ip が IP リポジトリに追加されていることを確認します。
2. **[Project Settings]** ダイアログ ボックスで packaged_ip ディレクトリを選択します (図 10)。
3. **[OK]** をクリックします。

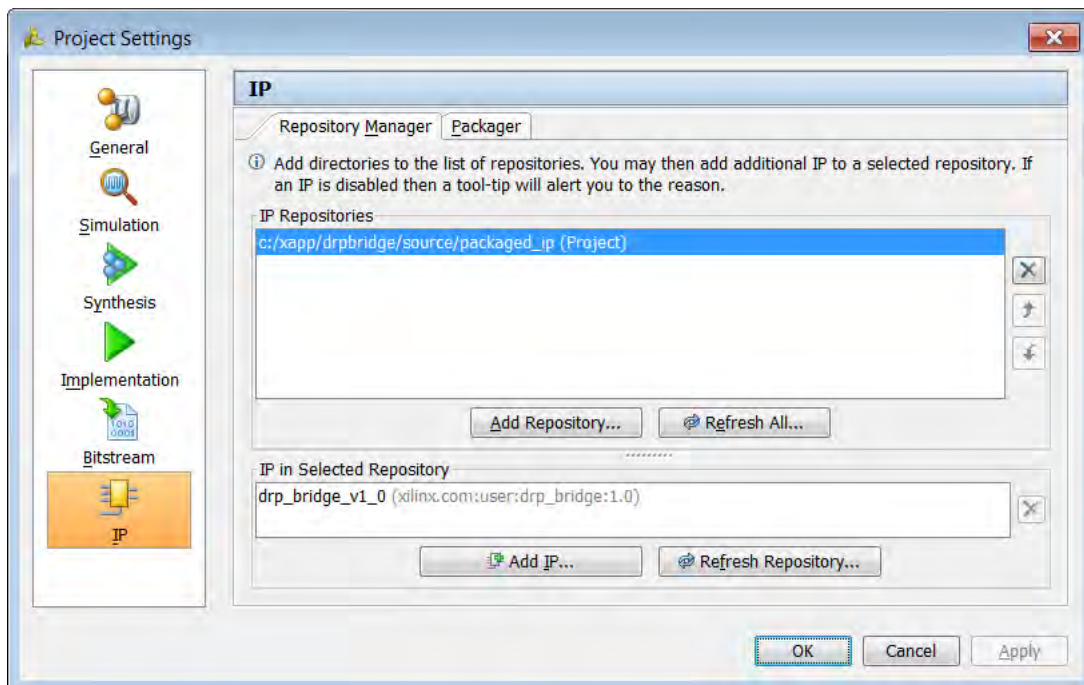


図 10 : IP をリポジトリに追加

packaged_ip ディレクトリを IP リポジトリに追加すると、Vivado IP カタログにこのブリッジの IP が表示されます (図 11)。

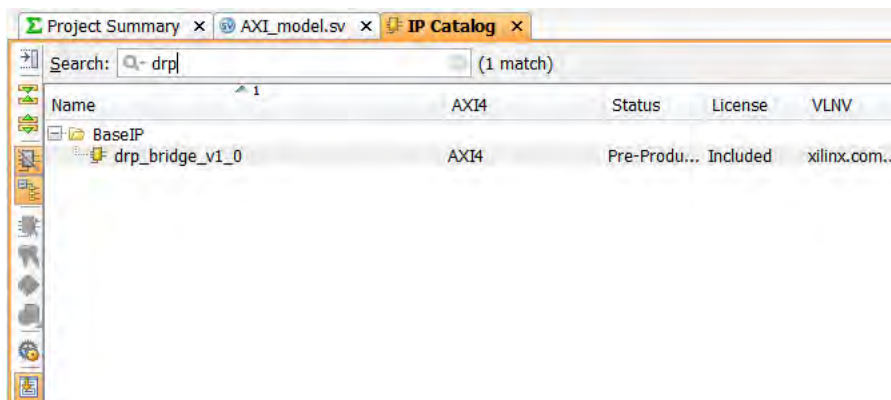


図 11 : IP カタログに表示された IP

DRP インターフェイスに対応したマクロの一覧

DRP インターフェイスは、次のザイリンクス マクロで利用できます。

- MMCM
- PLL
- すべてのトランシーバー (GTP、GTH、GTX)
- Integrated Block for PCI Express
- DCM
- XADC

DRP レジスタのレジスタ マップについては、それぞれのユーザー ガイドを参照してください。

リソース使用状況

表 3 に、コンフィギュレーションの違いによる IP のリソース使用状況を示します。

表 3：リソース使用状況

DRP インターフェイスの数	LUT	FF
1	42	62
8	90	78
16	142	95
32	268	130

ファイル階層

図 12 に、リファレンス デザインのディレクトリ構造を示します。

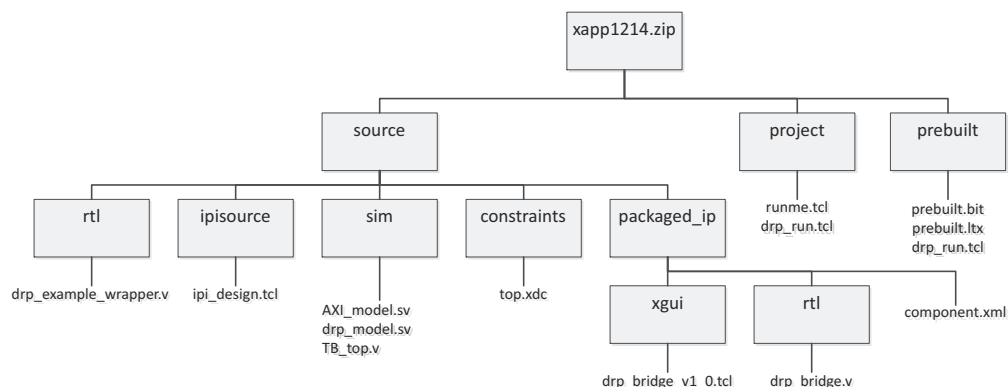


図 12：デザイン ファイルの階層

まとめ

DRP インターフェイスは、特定のマクロの内部レジスタを動的に書き換える手段として一般的に使用されます。AXI-to-DRP ブリッジを使用することで、AXI ペリフェラルのプラグ アンド プレイ インフラストラクチャからも DRP インターフェイスを活用できるようになります。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2014 年 6 月 24 日	1.0	初版

Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。