



XAPP1218 (v1.0) 2014 年 8 月 29 日

Kintex KC705 評価ボード用 AXI VDMA リファレンス デザイン

著者 : Dinesh Kumar

概要

このアプリケーション ノートでは、一般的なビデオ アプリケーションで LogiCORE™ IP AXI Video DMA (VDMA) コアを使用する方法を示します。ハードウェアおよびソフトウェア API について説明します。ハードウェア システムは、MM2S と S2MM パスが両方とも短絡された 2 つの VDMA を使用します。

このデザインを参照して、VDMA を含むビデオ アプリケーションで API を使用できます。ここでは、ループバック モードの VDMA を示していますが、MM2S と S2MM をそれぞれのビデオ IP へ接続することも可能です。

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、「[リファレンス デザイン](#)」を参照してください。

含まれるシステム

リファレンス デザインは、Vivado System Edition に含まれる Vivado® IP インテグレーター v2014.1 を使用して作成および構築されています。IP インテグレーターは、インターフェイス レベルの接続を使用して、ザイリンクス、サードパーティ、または独自規格の IP をグラフィカルに接続し、階層的なシステムを作成して検証するインタラクティブな設計/検証環境です。デバイスやプラットフォームを認識するこの環境は、主要 IP インターフェイスの自動接続、ワンクリックでの IP サブシステム生成、リアルタイム DRC、インターフェイス変更の伝搬、および優れたデバッグ機能をサポートします。

デザインには、ザイリンクスのソフトウェア開発キット (SDK) を使用して構築されたソフトウェアも含まれます。このソフトウェアは MicroBlaze™ プロセッサ サブシステム上で動作し、制御、ステータス、およびモニターの各機能を実行します。リファレンス デザインと共に、Vivado ツールと SDK の完全なプロジェクト ファイルが提供されており、これらをデザインの検討や再構築に活用したり、新規デザインのテンプレートとして使用できます。

はじめに

ザイリンクスの AXI VDMA IP コアは、フレームバッファ機能と 2 次元 (2D) DMA 機能を備える高性能なビデオに最適化された DMA エンジンを実装します。また、AXI Interconnect コアと AXI MIG コアが、共通のメモリデバイス (通常は DDR3 SDRAM) を介して複数ソースのデータを共有するためのマルチポートメモリコントローラ (MPMC) を実装します。AXI VDMA は、バッファされたビデオデータストリームをメモリとの間で送受信し、動的なソフトウェア制御に基づいて動作します。クロックジェネレーターとプロセッサシステムのリセットブロックは、システム全体にクロックおよびリセットを供給します。

ザイリンクスの IP コアは、数多くのビデオアプリケーション用にさまざまな機能を実装します。AXI は、AMBA® (Advanced Microcontroller Bus Architecture) 仕様に基づいて標準化された IP インターフェイスプロトコルです。リファレンスデザインで使用されている AXI インターフェイスは、AMBA AXI4 仕様に記載された AXI4、AXI4-Lite、および AXI4-Stream の各インターフェイスで構成されています。これらのインターフェイスは、デザインを構築するための共通した IP インターフェイスプロトコルのフレームワークを提供します。

Kintex-7 FPGA ファミリーを使用する Kintex®-7 FPGA KC705 評価キットは、包括的で高性能な開発およびデモ用プラットフォームで、さまざまな市場分野の広帯域幅で高性能なアプリケーションに対応します。評価ボードの詳細は、『Kintex-7 FPGA KC705 評価キット スタートアップガイド』[参照 2] を参照してください。

セットアップ要件

ハードウェアおよびソフトウェアの要件は次のとおりです。

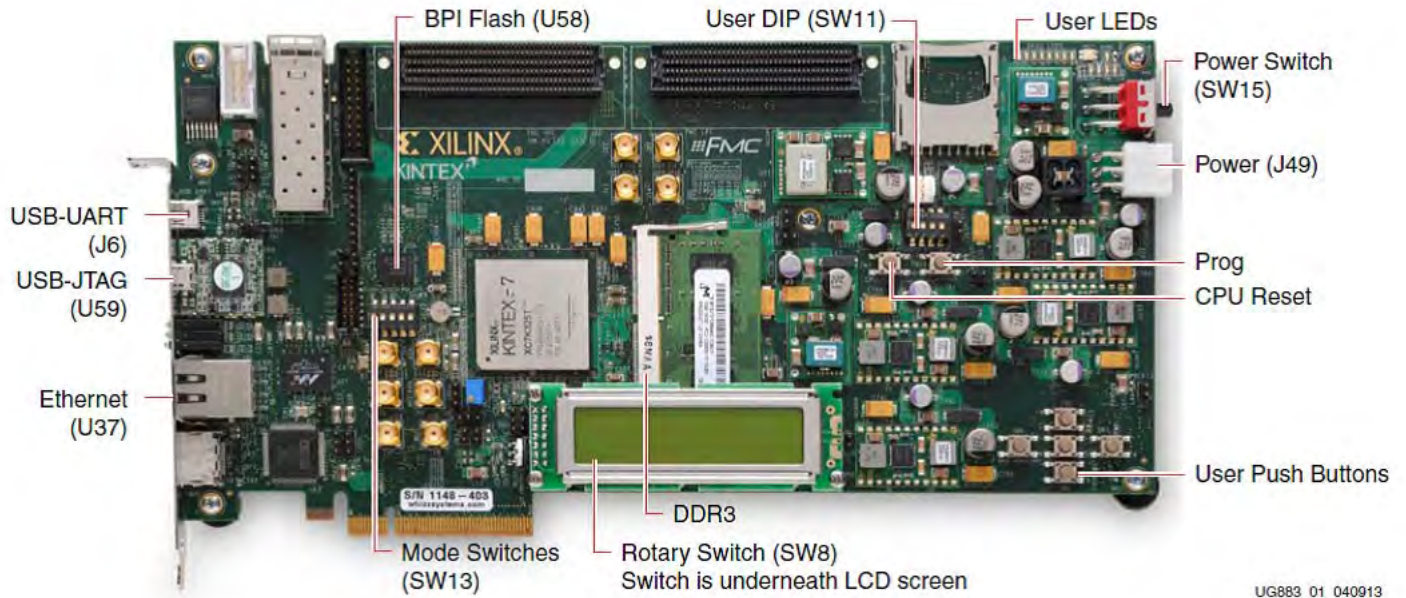
ソフトウェア

Vivado Design Suite 2014.1

ハードウェア

Kintex-7 FPGA KC705 評価キットのベースボード (図 1)

1. 電源アダプター付き KC705 (x1)
2. USB プラットフォーム ケーブル (mini タイプと micro タイプを各 1 本)



UG883_01_040913

図 1 : KC705 評価キット

リファレンス デザイン仕様

ハードウェア

MicroBlaze プロセッサのほかに、リファレンス デザインには次のコアが含まれています。

- MDM
- LMB Block RAM
- AXI_INTERCONNECT
- Clock Generator
- PROC_SYS_RESET
- AXI_UARTLITE
- AXI_INTC
- Memory Interface Generator (MIG)
- Video Direct Memory Access (VDMA)

図 2 に、IP インテグレーターに表示されるリファレンス システムのブロック図を示します。

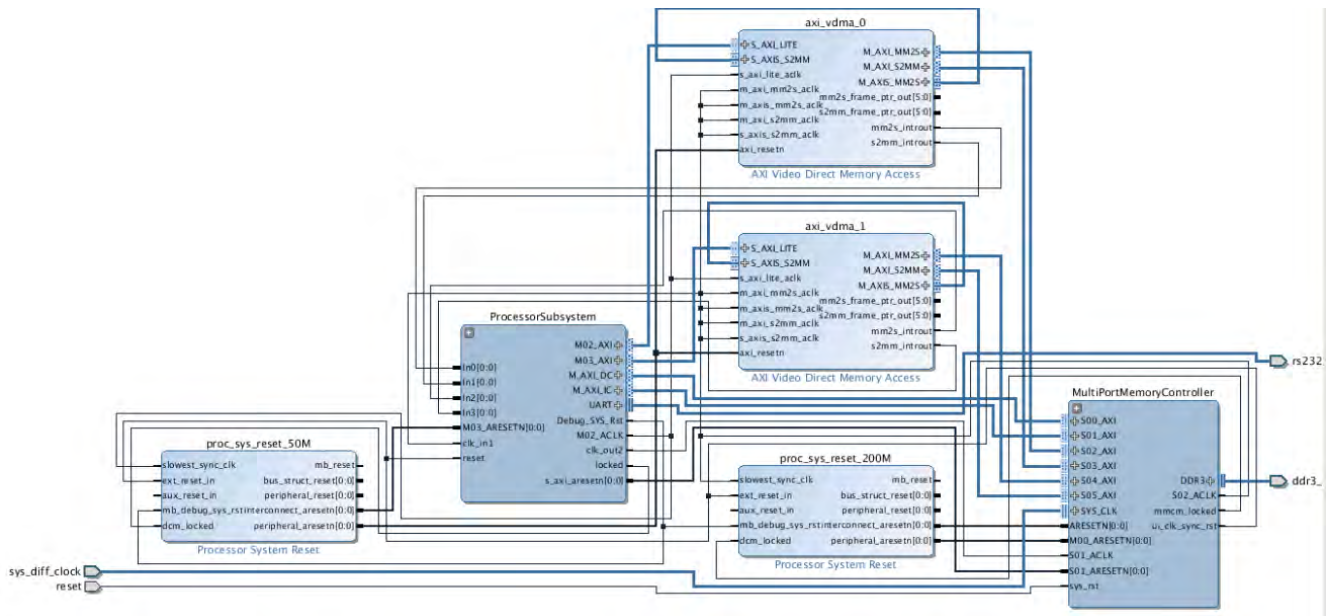


図 2 : IP インテグレーターのブロック図

このブロック図では、システムが次のモジュールブロックに分割されていることを示しています。

- マルチポートメモリコントローラー
- プロセッササブシステム
- 2つのVDMA
- 2つのプロセッサシステムリセット

マルチポート メモリ コントローラー

マルチポート メモリ コントローラーは、AXI Interconnect および MIG システムで構成されています (図 3)。MIG と AXI Interconnect の周波数およびデータ幅は、一般的なビデオ アプリケーションの帯域幅要件を満たすように設定されています。

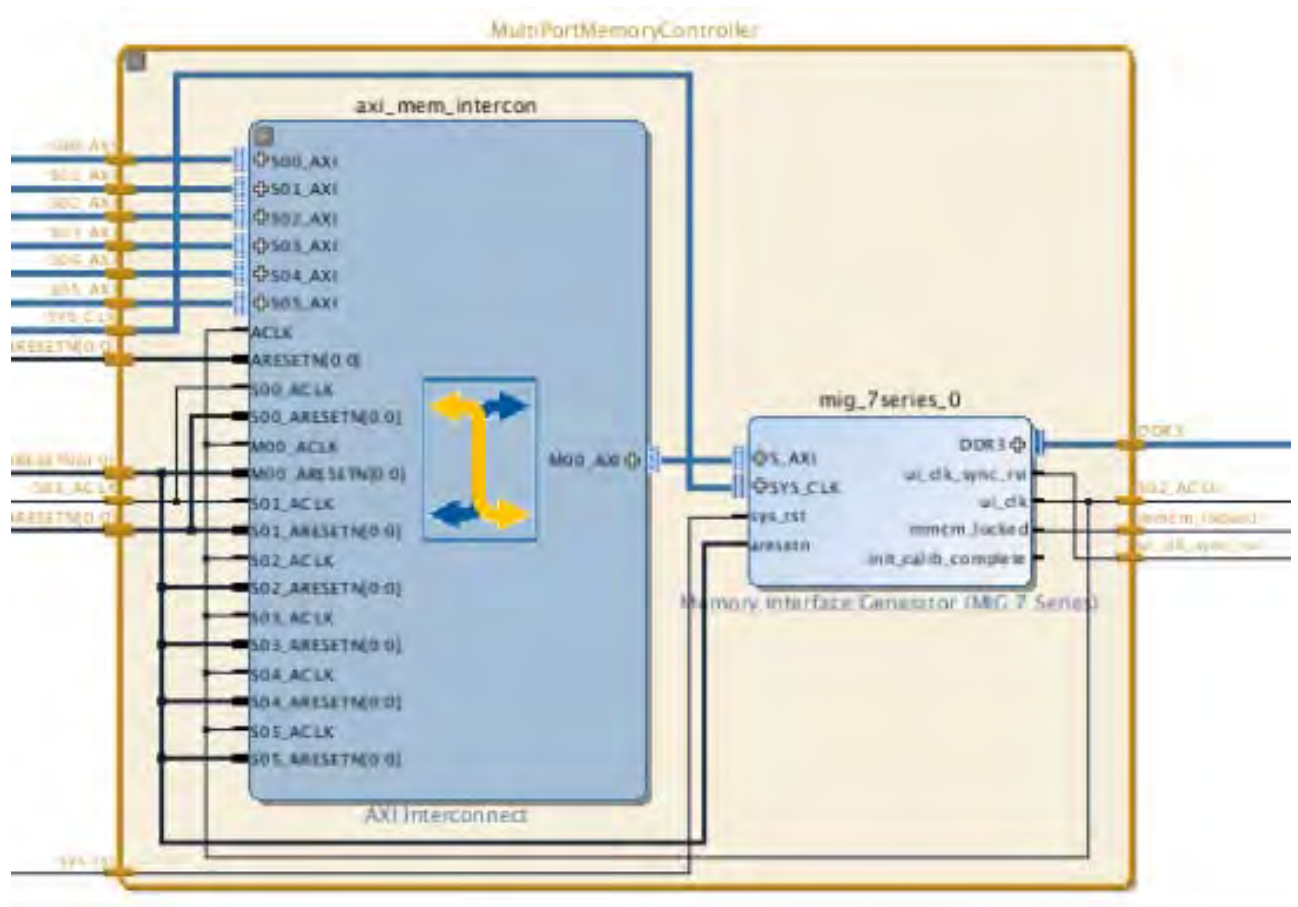


図 3: マルチポート メモリ コントローラー

プロセッサ サブシステム

プロセッサ サブシステムには、MicroBlaze プロセッサのほかに、システムが正しく機能するために必要な IP で構成されます (図 4)。AXI Interconnect によって、ローカル メモリ、UART Lite、および割り込みコントローラーなどのペリフェラルがプロセッサへ接続されます。その他にも、ザイリックスのマイクロプロセッサ デバッガ (XMD) を介したダウンロードやデバッグを可能にするために、クロッキング ブロックおよびマイクロプロセッサ デバッグ モジュール (MDM) が含まれます。リセット ブロックは、リセット信号の同期化を管理します。

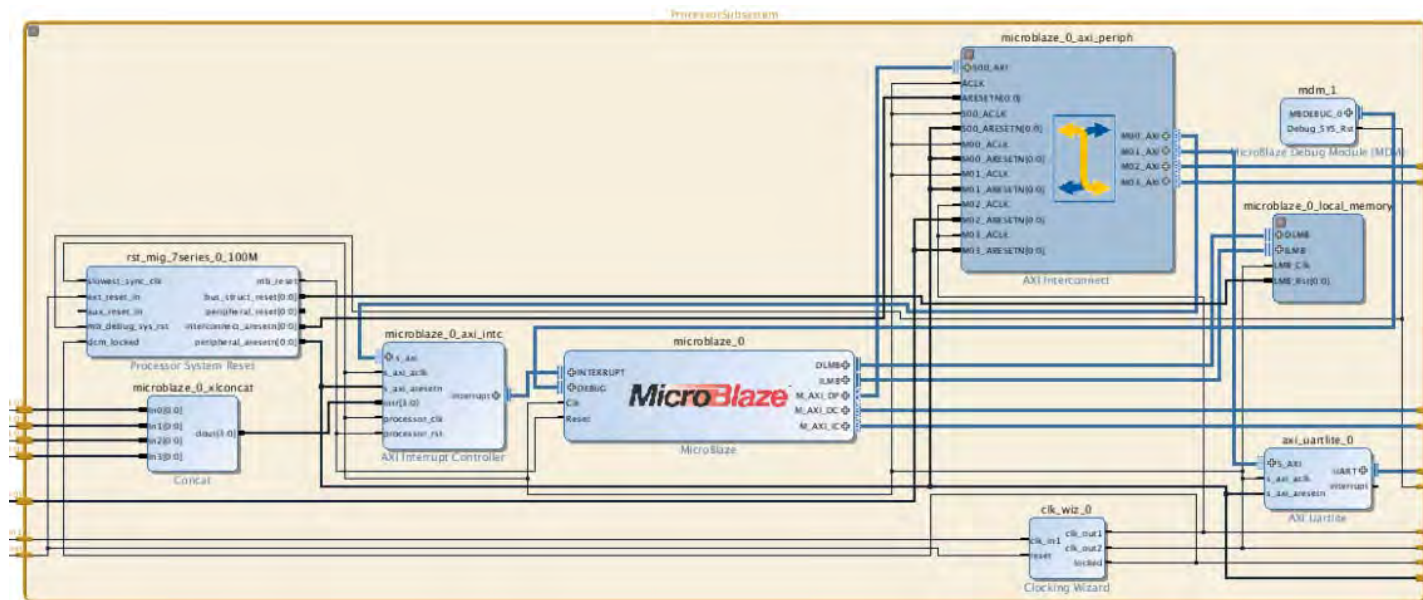


図 4: プロセッサ サブシステム

VDMA

このシステムは、2つの VDMA を使用します。VDMA の MM2S パスは、そのブロックの S2MM パスへ接続されます。これらの VDMA は、C_ENABLE_DEBUG_INFO_7 および C_ENABLE_DEBUG_INFO_15 を設定して、フレーム カウントおよびフレーム カウント割り込みをプログラムできるように構成されています。VDMA は、次の仕様に従って設定されています。

- 200MHz の AXIS クロック
- 200MHz の AXI クロック
- 50MHz の AXI Lite クロック
- フレーム サイズは 1920x1080
- 循環モードの 3つのフレーム バッファ
- S2MM は SOF on TUSER モード、MM2S はフリーラン モード
- S2MM 側がマスターで MM2S 側がスリープの動的ゲロック モード
- TDATA 幅は 24 ビット
- MM データ幅は 32 ビット
- DRE は無効 - アクセスは適切に揃えられる必要がある
- エラー割り込みは、ソフトウェア アプリケーションで有効化 (オプション)
- フレーム カウント割り込みは、すべてのフレームを示すようにソフトウェア アプリケーションで有効化

2つの VDMA を使用するという事は、デザインで使用される API はモジュール式であり、各 VDMA をコンフィギュレーションするために同じ API を繰り返し呼び出すことができることを示しています。

プロセッサシステム リセット

プロセッサシステム リセット ブロックは、システム内で使用されるさまざまなクロックのリセットを同期する目的で用いられます。

ソフトウェア

ソフトウェア パッケージは、BSP および `system.xml` ファイル、その他に次に示すアプリケーション ファイルで構成されます。

vdma_api.c

VDMA を初期化、設定、および開始するための API から成るメイン ファイルです。

API のプロトタイプは次のとおりです。

```
int run_triple_frame_buffer(XAxiVdma* InstancePtr, int DeviceId, int hsize, int vsize, int buf_base_addr, int number_frame_count, int enable_frm_cnt_intr);
```

- `instancePtr` - AXI VDMA ドライバー のインスタンス ポインター。
- `DeviceId` - システム内の複数 VDMA を正常に動作させるための VDMA の Device ID。
- `hsize` - 水平方向サイズ (ピクセル)。実際のデータ転送は $(hsize) \times (tdatawidth)$ 。
- `vsize` - 垂直方向サイズ (行)。
- `number_frame_count` - フレーム カウントの値。この値のフレーム後にアプリケーションで VDMA からの割り込みが発生するとされる。
- `enable_frm_cnt_intr` - フレーム カウント割り込みを有効化。

API は、VDMA のコンフィギュレーションに基づいて、`XST_SUCCESS` または `XST_FAILURE` を返します。

vdma_api.h

API のプロトタイプを含むファイルで、アプリケーションに追加可能です。

vdma.c

VDMA トリプル バッファ API の使用方法を説明するための VDMA アプリケーションで構成されるファイルです。

vdma.h

アプリケーションに必要なさまざまなファイルを含みます。

ボード上でシステムを実行

ビット ファイルおよび ELF ファイルを作成する

パッケージは `a11.tcl` とソフトウェアで構成されています。次の手順に従って BIT ファイルと ELF ファイルを作成します。

1. 任意のディレクトリにフォルダーを解凍します。
2. Vivado Design Suite を起動します。
3. Vivado IDE の Tcl コンソールで Source コマンドを使用して `a11.tcl` を実行します。これによって、IP インテグレーターにブロック図が作成されます。

4. Vivado IDE の左側にある [Generate Bitstream] をクリックしてビットストリームを生成します。これによって、`./project_1/project_1.runs/impl_1` に `design_1_wrapper.bit` ファイルが作成されます。
5. デザインをエクスポートします。
 - a. [File] → [Export] → [Export Hardware for SDK] をクリックします。
 - b. [Export Hardware] および [Launch SDK] をオンにします。
6. 作成されたプロジェクトで SDK が起動して、ソフトウェアをコンパイルします。SDK でエラーまたは警告メッセージが表示された場合は、[Yes] または [OK] をクリックします。
7. SDK で [Project] → [Clean] をクリックして、すでに生成されているファイルを削除します。`./sw/app/Debug` フォルダに `app.elf` ファイルが作成されます。

システムを実行する

1. ボー レートを 9600 に設定したハイパーターミナル (シリアル ポート) を開きます。
2. XMD (Xilinx Microprocessor Debugger) ツールを起動します。

```
% xmd
```

3. XMD にビットストリームをダウンロードします。

```
XMD% fpga -f design_1_wrapper.bit
```

4. XMD でプロセッサに接続します。

```
XMD% connect mb mdm
```

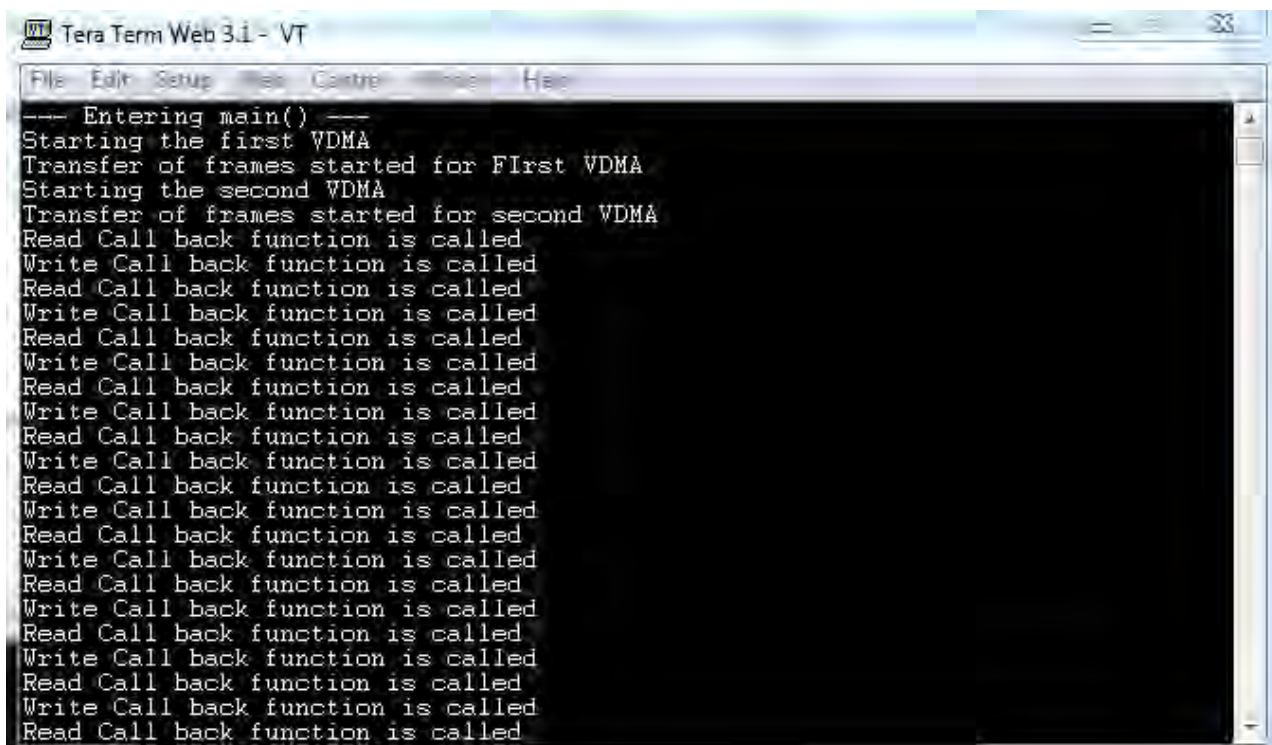
5. プロセッサ コード (ELF) ファイルをダウンロードします。

```
XMD% dow app.elf
```

6. アプリケーションを実行します。

```
XMD% run
```

図 5 に実行結果を示します。



```
File Edit Setup View Control Help
--- Entering main() ---
Starting the first VDMA
Transfer of frames started for First VDMA
Starting the second VDMA
Transfer of frames started for second VDMA
Read Call back function is called
Write Call back function is called
Read Call back function is called
Write Call back function is called
Read Call back function is called
Write Call back function is called
Read Call back function is called
Write Call back function is called
Read Call back function is called
Write Call back function is called
Read Call back function is called
Write Call back function is called
Read Call back function is called
Write Call back function is called
Read Call back function is called
Write Call back function is called
Read Call back function is called
Write Call back function is called
Read Call back function is called
```

図5: アプリケーションの実行結果

複数のコールバックの呼び出しは、読み出しチャンネルおよび書き込みチャンネルにフレームカウンタ割り込みが生じていることを示します。これらのコールバックにコードを追加して、完全なシステムを作成します。

リファレンス デザイン

リファレンス デザインは、ハードウェア上で完全に検証され、テストされています。このデザインには、異なるモジュールのさまざまな機能の詳細、および完全な VDMA デザインの実装に必要なすべての機能が含まれています。このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。

表 1 に、リファレンス デザインの詳細を示します。

表 1: リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	Dinesh Kumar
ターゲット デバイス (ステッピング レベル、ES、プロダクション、スピード グレード)	Kintex7 (KC705) FPGA
ソース コードの提供	あり
ソース コードの形式	VHDL/Verilog (一部は暗号化済み)
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、CORE Generator ツール、サードパーティからデザインへのコード/IP の使用	リファレンス デザインでは Vivado 2014.1 で生成されたコアを使用
インプリメンテーション	
使用した合成ツール/バージョン	Vivado 2014.1
使用したインプリメンテーション ツール/バージョン	Vivado Design Suite 2014.1
スタティック タイミング解析の実施	あり (タイミング検証にパス)
ハードウェア検証	
ハードウェア検証の実施	実施済み
使用したハードウェア プラットフォーム	KC705 ボード

参考資料

1. [AMBA AXI4 仕様](#)
2. 『Kintex-7 FPGA KC705 評価キット スタートアップ ガイド』([UG883](#))
3. 『LogiCORE IP AXI Interconnect 製品ガイド』([PG059](#))
4. 『LogiCORE IP AXI Video Direct Memory Access 製品ガイド』([PG020](#))
5. 『7シリーズ FPGA メモリ インターフェイス ソリューション』([DS176](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2014年8月29日	1.0	初版

法的通知

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx's limited warranty, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

© Copyright 2014 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. AMBA, AMBA Designer, ARM, ARM1176JZ-S, CoreSight, Cortex, and PrimeCell are trademarks of ARM in the EU and other countries. All other trademarks are the property of their respective owners.

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。