



XAPP1243 (v1.0) 2015 年 4 月 17 日

ザイリンクスの高速シリアル IO ソリューションによる 1G と 10G イーサ ネットの動的切り替え

著者 : Bokka Abhiram Saikrishna、Gaurav Juneja、Mrinal J. Sarmah

概要

このアプリケーション ノートでは、高速シリアル IO リンクを使用して 1Gbps と 10Gbps を動的に切り替える必要のあるイーサネット デザインについて説明します。このデザインは、ザイリンクスのイーサネット ソリューションとザイリンクスのギガビット トランシーバー (GT) を使用してイーサネット インターフェイスを構築しています。また、この同じ GT が、1G Ethernet PCS/PMA (物理コーディング サブレイヤ/物理媒体接続部) コアおよび 10G Ethernet PCS/PMA IP コアとのインターフェイスに使用されています。レートは GT のダイナミック リコンフィギュレーション ポート (DRP) を介して切り替えます。

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、「[リファレンス デザイン](#)」を参照してください。

リファレンス デザイン

イーサネットは、IEEE 802.3 で定義されているメディア アクセス コントローラー (MAC) の仕様であり、ネットワーク ソリューション スイートにおいて広く採用されている世界的な規格です。イーサネットは、世代を超えて拡張できるという理由からさまざまなアプリケーションに適用されています。イーサネットが初期の 10/100/1000Mbps から 10Gb/s、さらには 100Gb/s の物理的媒体速度へ進化していくのに伴い、複数のネットワーク ステーションに既に配備されているネットワーク 装置にアップグレードの必要が生じます。

レガシ イーサネット デバイスに対応するには、イーサネット インフラがレガシ イーサネット インターフェイスを保持する必要があります。物理インターフェイスでターゲット速度がサポートされている限り、イーサネット インターフェイス (MAC) は物理的媒体に依存しません。たとえば、1G イーサネットと 10G イーサネットは、共通の光インターフェイスを使用してエンドポイントへイーサネット トラフィックを伝送できます。同じ物理インターフェイスを用いて、レガシ イーサネットと 10G イーサネット インターフェイスの両方サポートするには、イーサネット PHY デバイスに動的切り替え機能が必要です。

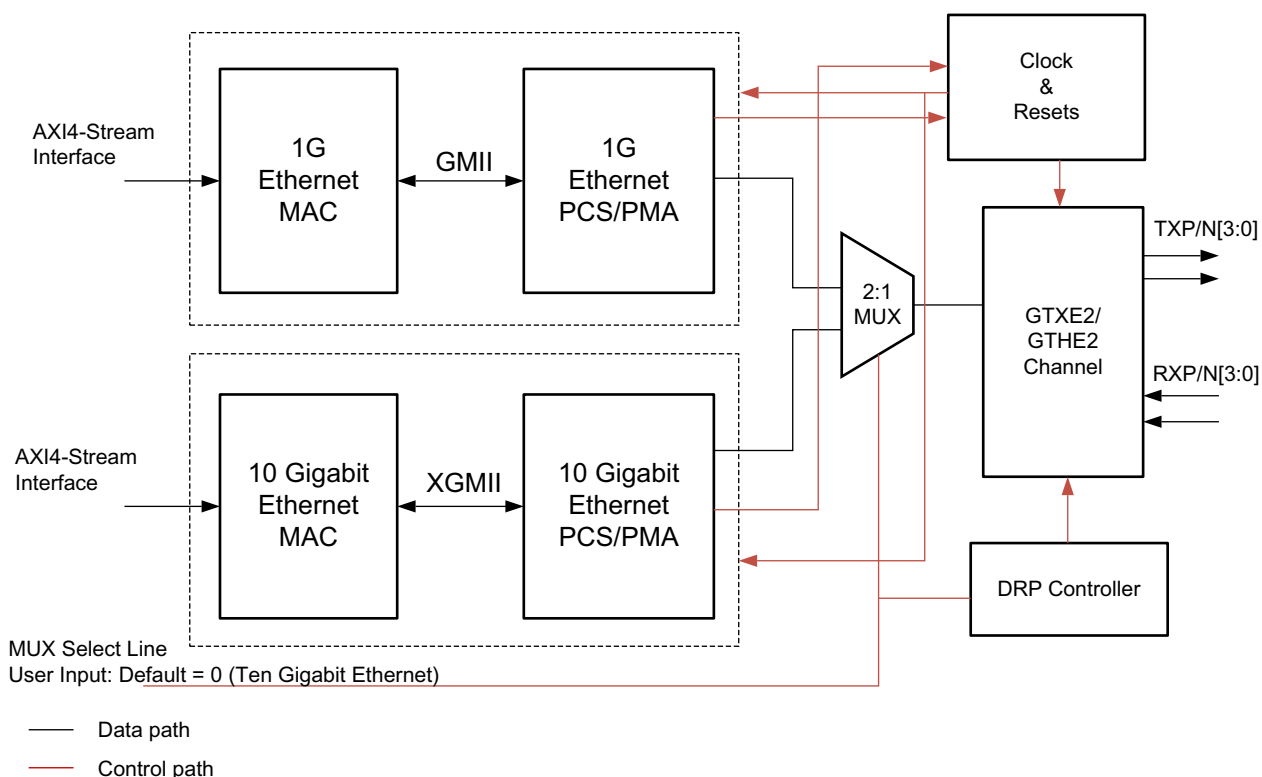
ザイリンクスは、1G/10G Ethernet MAC や 1G/10G Ethernet PCS/PMA など、さまざまなイーサネット ポートフォリオを提供しています。Ethernet MAC には AXI4-Stream 準拠のユーザー インターフェイスがあり、MAC IP がユーザー ペイロードをイーサネット フレーム形式でカプセル化して PCS/PMA コアヘデータを転送します。PCS/PMA コアは、物理層エンコードを使用してイーサネット フレームを仕様で定義されているエンコード フレームへ変換し、データを GT ブロックへ送信します。PCS/PMA コアは、GT の初期化と PHY のハウスキーピング機能を実行します。

GT インターフェイスでは、シリアライズとデシリアライズ機能が実行されます。シリアライズされたデータのシリアルビット周期は、GT および GT PLL のクロック分周器で使用される基準クロックに依存します。ライン レート 1G から 10G への切り替えを可能にするには、PLL の通倍器と分周器を変更する必要があります。1G リンクと 10G リンクには別々の物理層エンコード方式が必要であり、これは主に GT に実装されます。プロトコル固有の設定を指定するトランシーバー属性は、ダイナミック リコンフィギュレーション ポート (DRP) インターフェイスを用いて動作中に変更可能です。DRP シーケンスの後には、トランシーバーを通常動作へ戻す GT のリセット シーケンスが続きます。

このアプリケーション ノートでは、ライン レートを 1G から 10G へ切り替える際に DRP インターフェイスを使用してデザインを制御するソリューションについて説明します。

ハードウェア

図 1 に、1G と 10G プロトコルに同じトランシーバーを再利用するブロック図を示します。GT チャンネル (ハード ブロック) は、PCS/PMA IP コアから分離されており、DRP コントローラーを使用して設定されます。



X14666

図 1: ハードウェア ブロック図

1G/10G イーサネットのリファレンス デザインは、属性を変更することで最大 10Gb/s までのスループットに対応します。DRP コントローラーは、GT チャンネルの正しいレジスタ位置に適切な値を書き込むよう設計されています。この機能によって、ユーザー入力 (2:1 MUX へのセレクト ライン) に基づいて、1G から 10G、または 10G から 1G の切り替えが可能になります。

イーサネット パケットは、1G MAC と 1G PCS/PMA を介して転送され、2:1 MUX の入力 1 に到達します。10G パケットは MUX の入力 0 に到達します。ユーザーが指定する MUX のセレクト ラインは、GT インターフェイスへのイーサネット パケットの経路を制御します。

DRP コントローラーも GT の構成を決定するための入力としてセレクト ラインを利用します。セレクト ラインの入力に基づいて、GT の DRP インターフェイスを介して対応するレジスタに適切な値が書き込まれます。GT レジスタに書き込まれるアドレスおよび値は固定されており、DRP コントローラーにハードコードされています。これによって、DRP コントローラーが GT を動的に再構成可能になります。

Tri-Mode Ethernet MAC

Ethernet MAC は、IEEE 802.3-2012 Clauses 2、4、および 4 に準拠しています。MAC の役割は、イーサネット フレーム プロトコルを監視して、これらのフレームのエラーを検出することです。MAC は物理層に依存せず、あらゆる種類の物理層への接続が可能です。

この IP は 1000Mb/s に対応するように構成されており、コンフィギュレーション ベクターで管理されます。PHY 層は内部に統合されています。イーサネットおよび MDIO インターフェイスはカスタマイズ可能です。

1G/2.5G Ethernet PCS/PMA または SGMII

1G/2.5G Ethernet PCS/PMA または SGMII コアは、Ethernet MAC やその他のカスタム ロジックへの接続をサポートする柔軟なソリューションです。IEEE 802.3-2012 規格に準拠し、1000 BASE-X PCS (近端物理コーディング サブレイヤー) および PMA (物理媒体接続部) の動作をサポートします。

この IP は 1000 BASE-X 規格をサポートするように構成されており、デバイス固有のトランシーバー インターフェイスを実装します。サンプル デザインでは、共有ロジックが含まれるように構成されています。

10 Gigabit Ethernet MAC

10 Gigabit Ethernet MAC コアは、外部の XGMII を介して PHY 層へ接続します。PHY 層は、オプションの MDIO STA マスター インターフェイスで管理されます。コアの構成は、コンフィギュレーション ベクターで管理されます。この Ethernet MAC コアは、10G イーサネット規格のリンク機能を実行し、送信および受信方向において 802.3 に準拠します。この IP は 64 ビットのデータパスをサポートするように構成されており、物理層インターフェイスは内部に統合されています。

10 Gigabit Ethernet PCS/PMA 10GBASE-R

10GBASE-R/KR は 10Gb/s シリアル インターフェイスです。このコアは、10G Ethernet MAC の XGMII (10-Gigabit Media Independent Interface) と 10G イーサネット ネットワーク PHY との間に PCS (近端物理コーディング サブレイヤー) および PMA (物理媒体接続部) を提供します。

この IP は 64 ビット データパスの 10GBASE-R プロトコルをサポートするように構成されています。また、サンプル デザインでは、共有ロジックが含まれるように構成されています。

クロックとリセット

リファレンス デザインでは、1G と 10G のライン レートに 1 つの基準クロック (312.5MHz) を使用します。VC709、KC705、および ZC706 リファレンス デザインでは、FMC コネクタから 312.5MHz の基準クロックをソースとして使用します。この基準クロックは、1G ライン レートの場合は GTXE2_CHANNEL/GTHE2_CHANNEL ブロックのチャンネル PLL インスタンスの入力クロック ソースとして接続され、10G ライン レートの場合は Quad PLL インスタンスへ接続されます。

PLL の逡倍器および分周器によって、出力ポート (TXOUTCLK および RXOUTCLK) の周波数がシリアル ライン レート/パラレル データパス幅として設定されます。TXOUTCLK および RXOUTCLK を使用して FPGA ファブリックの TXUSERCLK/TXUSERCLK2 および RXUSRCLK/RXUSRCLK2 が生成されます。図 2 に、リファレンス デザインで使用されるクロック構成を示します。

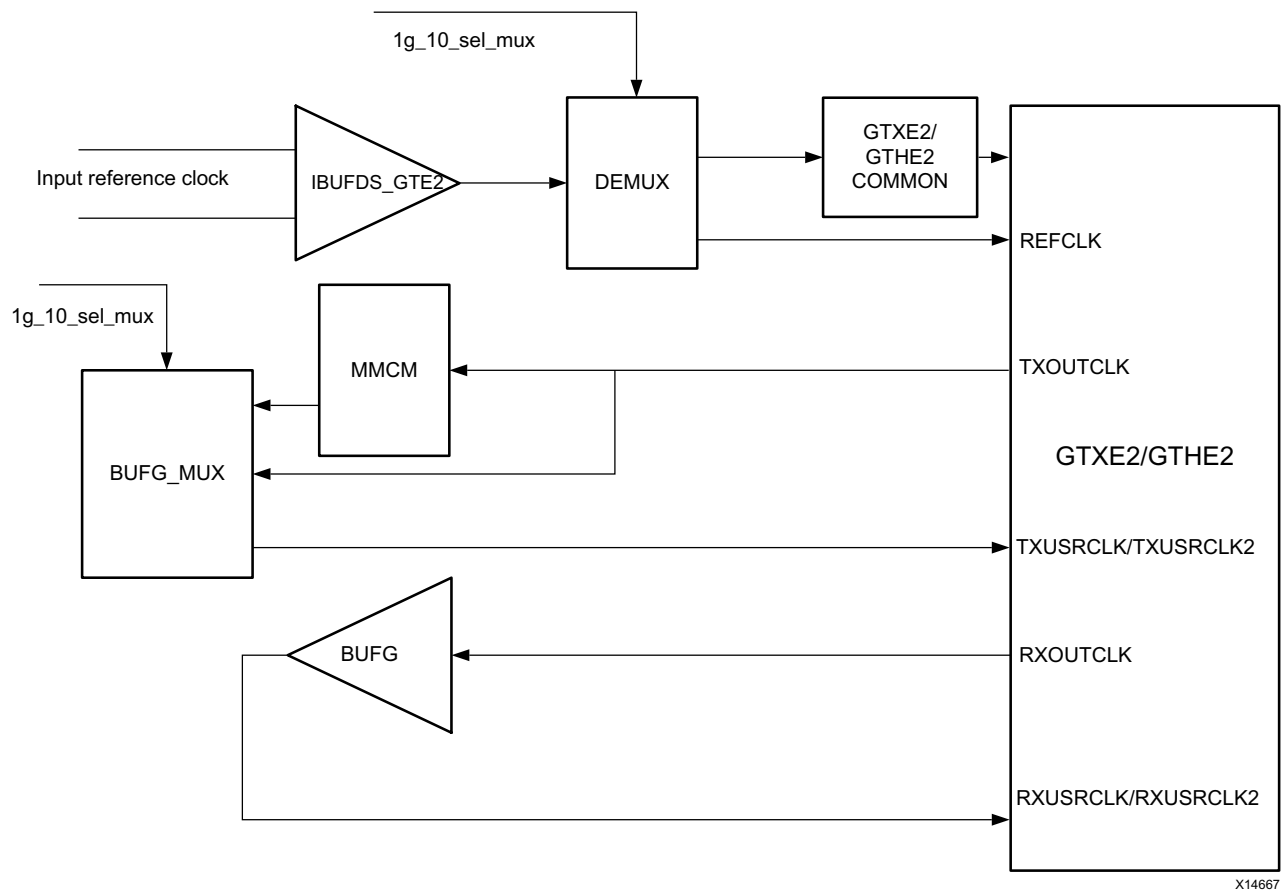


図 2 : 1G および 10G ライン レートのクロッキングストラテジ

リファレンス デザインで使用されるクロック構成について簡単に説明します。

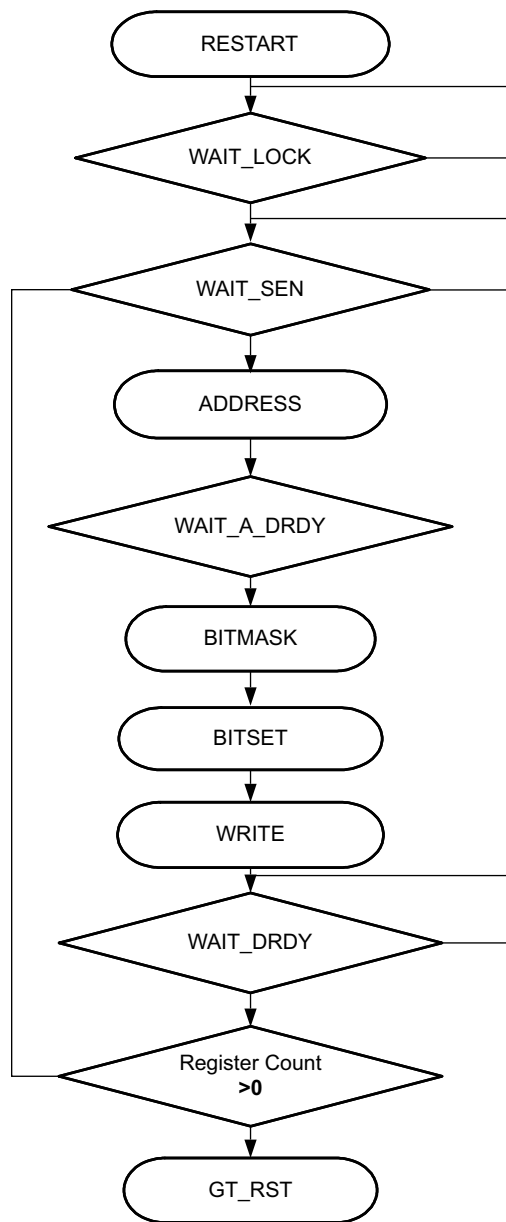
- 1G トランシーバー ロジックは、TXUSRCLK/TXUSRCLK2 (20 ビット 平行 データパス幅で 62.5MHz クロック) の周波数で動作します。
- 1G Ethernet PCS/PMA コアは、125MHz のユーザー クロック周波数で、10 ビットのインターフェイスで動作します。
- 10G イーサネット トランシーバー ロジックは、322.23MHz で、32 ビットの平行 データパス幅で動作します。
- 10G Ethernet PCS/PMA コアは、156.25MHz で、64 ビットの平行 データパス幅で動作します。

このデザインで使用される GTXE2/GTHE2 ブロックのリセットは、1G/10G Ethernet PCS/PMA コアのリファレンス デザインで生成されるリセット シーケンスで制御されます。DRP コントローラーは、1G から 10G または 10G から 1G へのレート変更のための属性設定が完了すると、1G/10G Ethernet PCS/PMA リファレンス デザインに対してリセットを生成し、これによってデザインで使用される GTXE2/GTHE2 ブロックのリセット シーケンスが実行されます。

DRP コントローラー

DRP コントローラーは、対応する GT レジスタに属性値を書き込むために FSM を実装します。FSM は、安定したクロックで同期化され、MUX のセレクト ライン (ユーザー入力) のトリガーに基づいて動作します。両プロトコル (1G および 10G) の GT の属性値は、DRP コントローラーの ROM 内にハードコードされて格納されます。DRP コントローラーの出力は、GT DRP インターフェイスにマップされます。実装された FSM は一般的な手順に従って、『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』(UG476) [参照 5] で説明されているとおりに、ザイリンクス 7 シリーズ デバイス GTX の DRP レジスタに対して読み出し/書き込み動作を行います。

図 3 に DRP コントローラーの FSM フロー図を示します。



X14668

図 3: デザイン フロー

- **RESTART**: ROM の開始アドレスと出力値が 0 に初期化されます。
- **WAIT_LOCK**: FSM は、CPLL のロック (1G の場合) または QPLL のロック (10G の場合) をポーリングします。PLL のロックを確認すると、次のステートへ遷移します。
- **WAIT SEN**: FSM は、MUX セレクト ラインの値 (ユーザー入力) がトグルして、以前の 10G レートの設定から 1G レートの設定 (またはその逆) に変更されるまで、このステートで待機します。このトリガーに基づいて、ROM から属性値をフェッチするための開始アドレスが割り当てられます。
- **ADDRESS**: このステートでは、GT レジスタの読み出し動作が有効になり、属性レジスタのアドレスがセットされます。
- **WAIT_A_DRDY**: 書き込み動作を確認するために、ロジックが読み出しを実行します。つまり、属性値が読み出された後に変更されます。このステートでは、GT からの READY 信号のアサートをポーリングします。
- **BITMASK**: このステートでは、変更されない属性レジスタのビット部分がマスクされます。
- **BITSET**: このステートでは、属性レジスタのビットがセットされます。

- **WRITE** : 対応するレジスタ属性の新しい値が、対応するレジスタの各ビットに書き込まれます。
- **WAIT_DRDY** : このステートでは、正常な書き込み動作に対する肯定応答として、GT からの **READY** 信号のアサートポーリングします。
- **Register Count** : このステートでは、変更される属性レジスタの合計数がモニタリングされます。FSM は、レジスタカウン트가 0 になるまで **ADDRESS** ステートに遷移し、すべてのレジスタに書き込みが実行されることを示します。
- **GT_RST** : 書き込まれた新しい属性値を適用するために、GT チャネルがリセットされます。FSM は **WAIT LOCK** ステートへ遷移後、**SEN** 立ち上がり信号を取得するまで、**WAIT_SEN** ステートを維持します。

ソフトウェア アプリケーション

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。

表 1 に、リファレンス デザインの詳細を示します。

表 1: リファレンス デザインの詳細

パラメーター	説明
全般	
開発社	ザイリンクス
ターゲット デバイス	KC705、VC709、ZC706
ソース コードの提供	あり
ソース コードの形式 (提供される場合)	Verilog
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、サードパーティ、Vivado ツールからデザインへのコード/IP の使用 (使用した場合はその詳細)	1G/2.5G Ethernet PCS/PMA または SGMII (ザイリンクス) Tri-Mode Ethernet MAC (ザイリンクス) 10 Gigabit Ethernet PCS/PMA 10GBASE-R (ザイリンクス) 10 Gigabit Ethernet MAC (ザイリンクス)
シミュレーション	
論理シミュレーションの実施	あり
タイミングシミュレーションの実施	なし
論理シミュレーションおよびタイミングシミュレーション用テストベンチの提供	あり
テストベンチの形式	Verilog
使用したシミュレータ/バージョン	Vivado Simulator 2014.4
SPICE/IBIS シミュレーションの実施	なし
インプリメンテーション	
使用した合成ツール/バージョン	Vivado 合成
使用したインプリメンテーション ツール/バージョン	Vivado インプリメンテーション
スタティック タイミング解析の実施	あり
ハードウェア検証	
ハードウェア検証の実施	あり
使用したプラットフォーム	KC705、VC709、ZC706

必要な環境

ハードウェア

- ザイリンクス 7 シリーズ FPGA ボード : KC705、VC709、または ZC706
- 電源 : 100 VAC-240 VAC 入力、12 VDC 5.0A 出力
- FPGA のプログラム用 USB ケーブル (Standard-A to Micro-B)
- 4 つの SFP+ 10GBASE-SR/SW トランシーバー モジュール (Avago Technologies 社)
- 2 本の 10Gb 光ファイバー パッチ ケーブル (LC-LC、全二重、マルチモード、50/125、OM3 準拠 (2 x LC オス - 2 x LC オス))、製品番号 FO-10GGBLCX20-001 (Amphenol 社)
- FMC カード (製品名 : FM-S14)

ソフトウェア

- Vivado Design Suite 2014.4
- USB UART ドライバー (Silicon Laboratories 社製 CP210x VCP ドライバー)

リファレンス デザイン ファイル

図 4 に、デザイン ファイルのディレクトリ構造を示します。

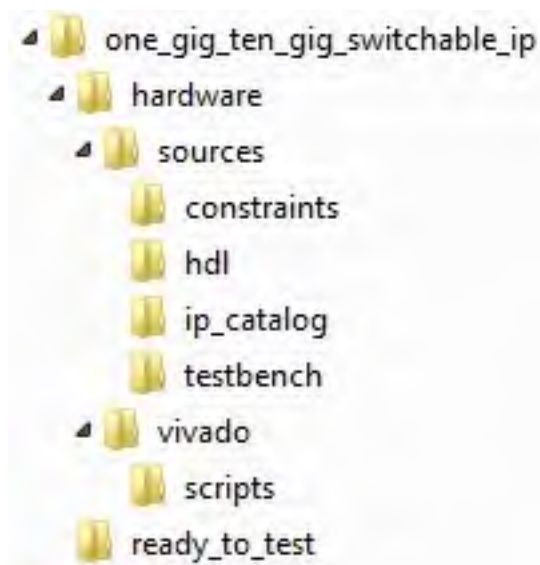


図 4: ファイル階層

one_gig_ten_gig_switchable_ip フォルダには、ハードウェア デザインに関係したすべてのファイルが含まれます。

- sources/hdl フォルダには、ソースコードファイルが含まれます。
- sources/testbench フォルダには、シミュレーション用のテストベンチファイルが含まれます。
- vivado/scripts フォルダには、Windows および Linux オペレーティングシステム向けデザインのインプリメンテーションスクリプトとシミュレーションスクリプト (コマンドライン/Vivado Design Suite IDE モード) が含まれます。
- sources/ip_catalog フォルダには、このデザインに必要なザイリンクス IP コアが含まれます。
- ready_to_test フォルダには、KC705 ボード用のプログラミングファイルとスクリプトが含まれます。
- one_gig_ten_gig_switchable_ip フォルダにある readme ファイルでは、シミュレーションスクリプトおよびインプリメンテーションスクリプトの使用法が詳しく説明されています。

ライセンス

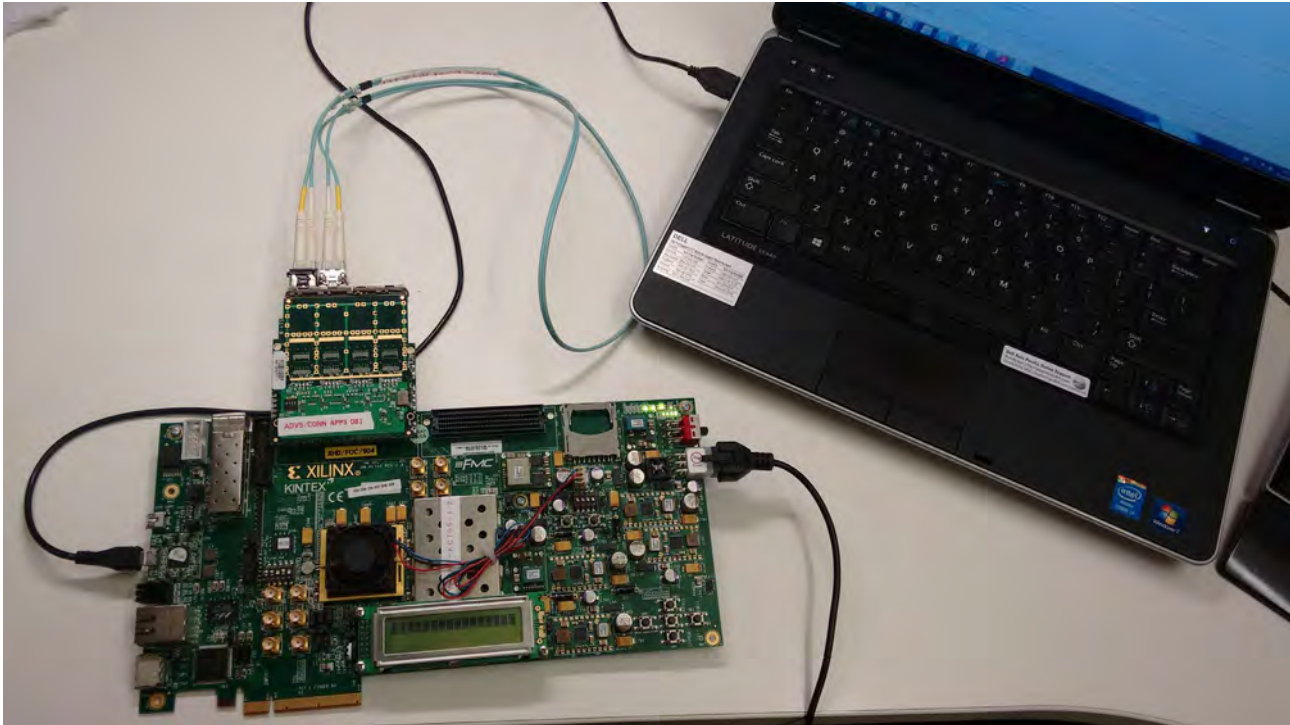
10 Gigabit Ethernet MAC および 10 Gigabit Ethernet PCS/PMA コアのライセンスについては、次の製品ページを参照してください。

- 10 ギガビット イーサネット MAC (10GEMAC) の製品ページ
(japan.xilinx.com/products/intellectual-property/do-di-10gemac.html)
- 10 ギガビット イーサネット PCS/PMA (10GBASE-R) の製品ページ
(japan.xilinx.com/products/intellectual-property/10gbase-r.html)

リファレンス デザインの実行手順

このセクションでは、セットアップから結果に至るまでのリファレンス デザインの実行について説明します。

セットアップ

1. 5 に示すように、KC705 ボードを制御コンピューターと電源に接続します。

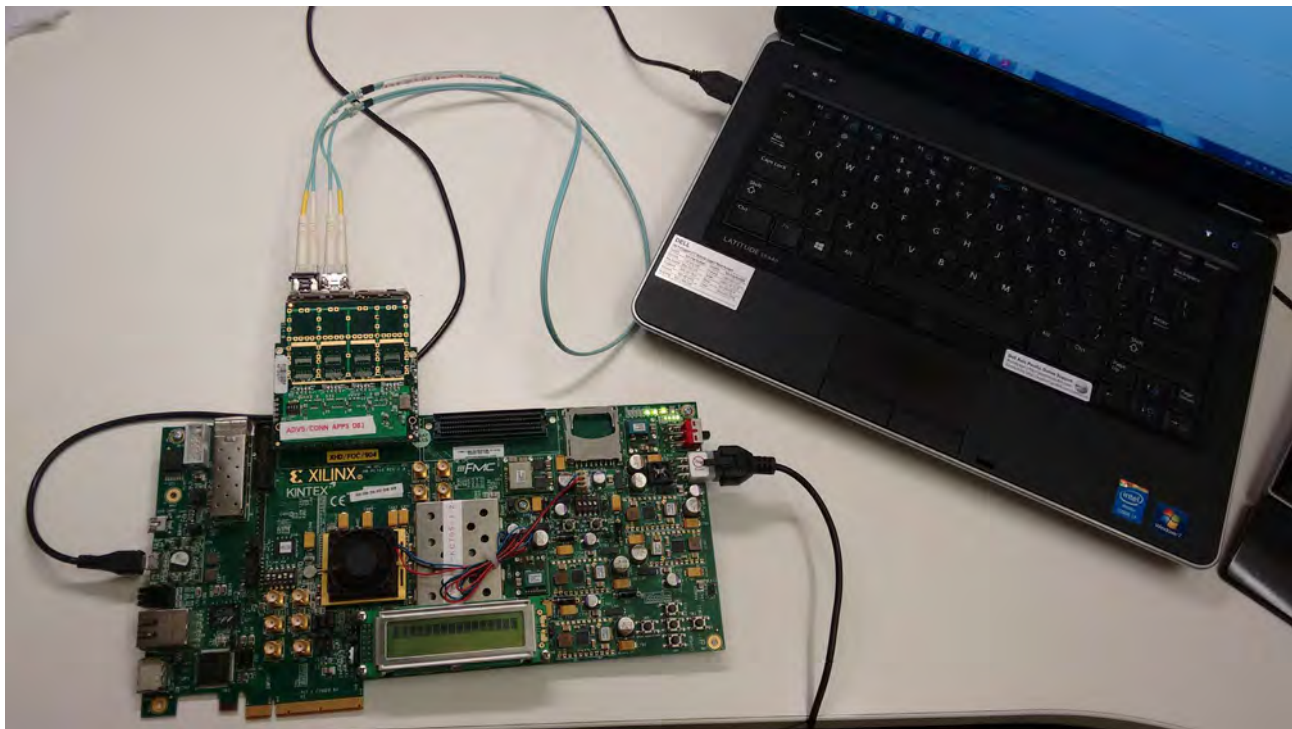



図 5: ハードウェアのセットアップ

2. FMC カードの SFP ケージに SFP+ モジュールを挿入し、光ファイバー ケーブルを接続します。
3. ボードの FMC スロット (FMC HPC) に FMC カード (FM-S14) を挿入します。
4. 6 に示すように、FMC カードの P1 および P2 スイッチが ON の位置であることを確認します。

Switches P1 and P2
Must Be in the ON Position



図 6: FMC カードのスイッチ ポジション

リファレンス デザインの実行

デザインの実行

1. Vivado 統合設計環境 (IDE) を起動します。

Windows 7 の場合 :

- a. [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [Vivado 2014.4] → [Vivado 2014.4] をクリックします。
- b. Getting Started ページで [Tcl Console] をクリックします。

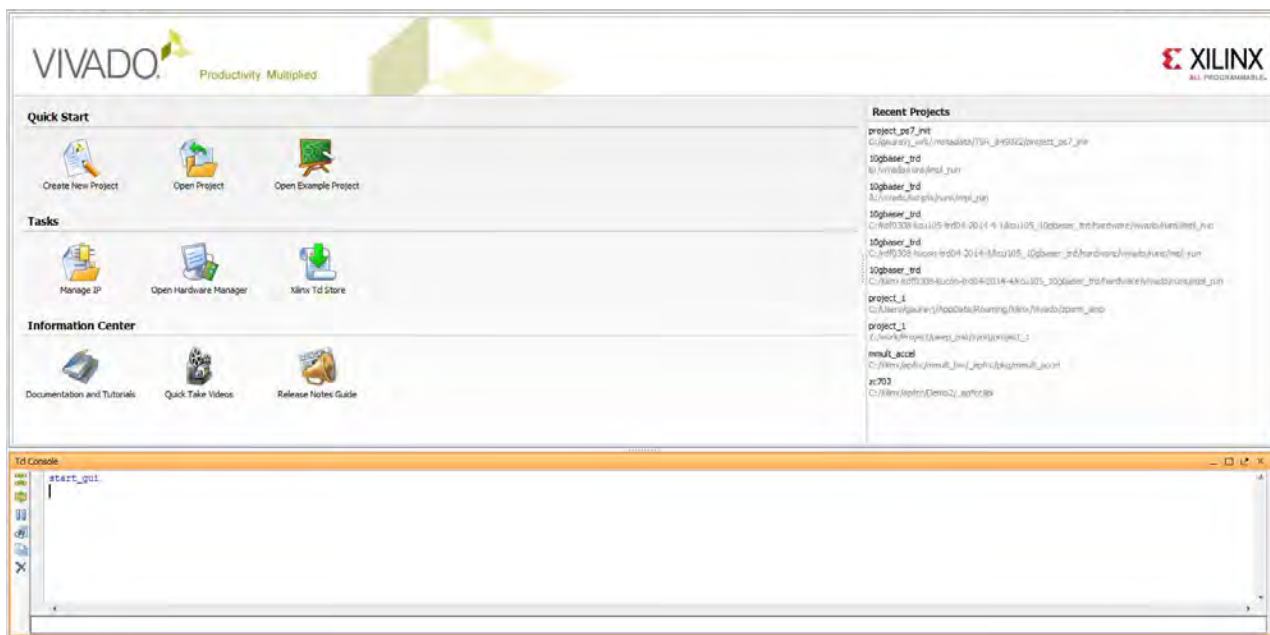


図 7: Vivado IDE と Tcl コンソール

- c. Tcl コンソールに次を入力します。

```
cd <working_dir>/one_gig_ten_gig_switchable_ip/hardware/vivado
source scripts/one_gig_ten_gig_switchable_ip.tcl
```

Linux の場合 :

- a. ターミナル ウィンドウで、<working_dir>/one_gig_ten_gig_switchable_ip/hardware/vivado へディレクトリを変更します。
- b. コマンド プロンプトに次を入力します。
vivado -source scripts/one_gig_ten_gig_switchable_ip.tcl
- c. Flow Navigator で [Generate Bitstream] をクリックします。

デザインのシミュレーション

次の手順に従って、Vivado Design Suite Simulator でシミュレーションを実行します。

1. Flow Navigator で [Simulation] の下にある [Simulation Settings] をクリックします (図 8)。
2. [Project Settings] の [Target simulator] でシミュレータを選択して [Yes] をクリックします。[[OK] をクリックします。Vivado 環境では、デフォルトで Vivado Simulator が選択されています。別のシミュレータがある場合は、該当するライセンスと共にコンパイル済みライブラリパスを指定する必要があります。

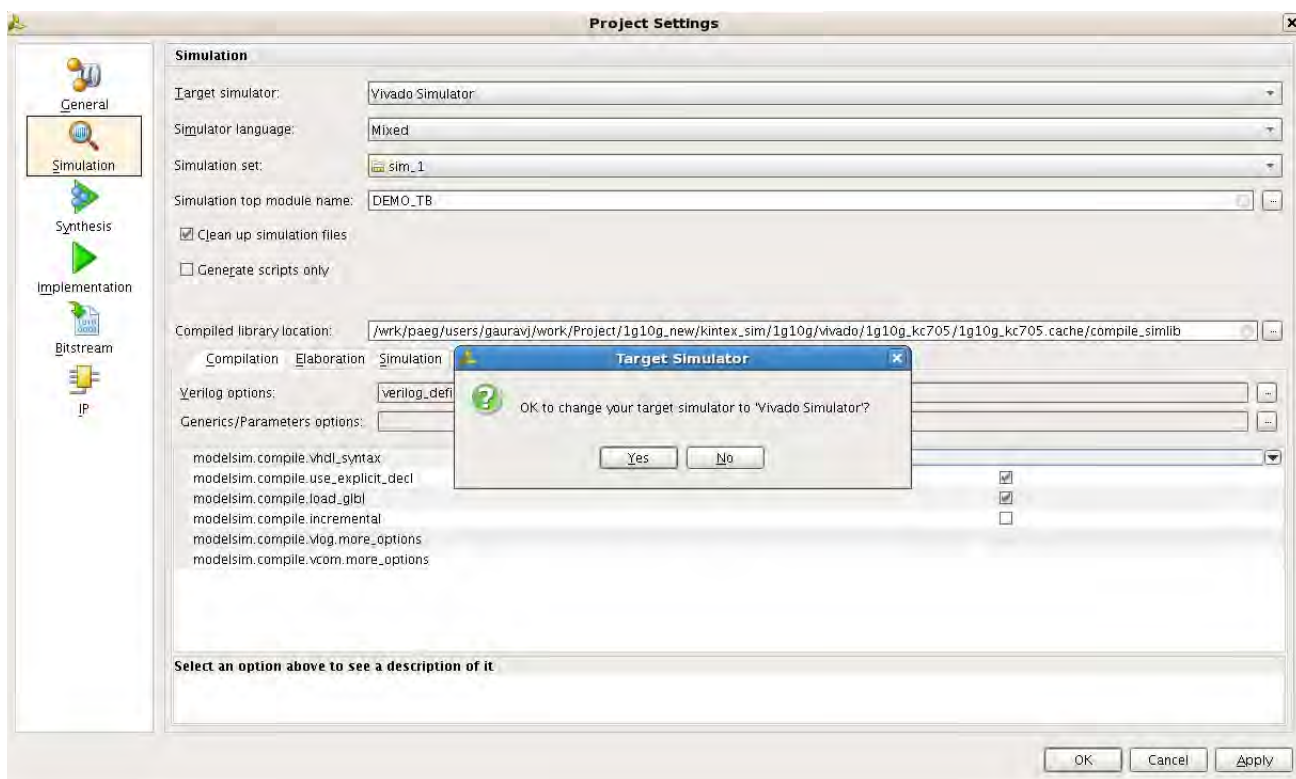


図 8: シミュレータの選択

BIT ファイルのプログラム

1. Vivado 統合設計環境 (IDE) を起動します。[スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [Vivado 2014.4] → [Vivado 2014.4] をクリックします。
2. Getting Started ページで [Open Hardware Manager] をクリックします。
3. New Connection ウィザードを開いて、KCU105 ボードの接続を開始します。[Open] → [Target] → [Open New Target] をクリックします (図 9 参照)。
4. BIT ファイルおよび debug.ltx をプログラムします。
5. VIO プローブを 0 (10G の場合) および 1 (1G の場合) にトグルします。

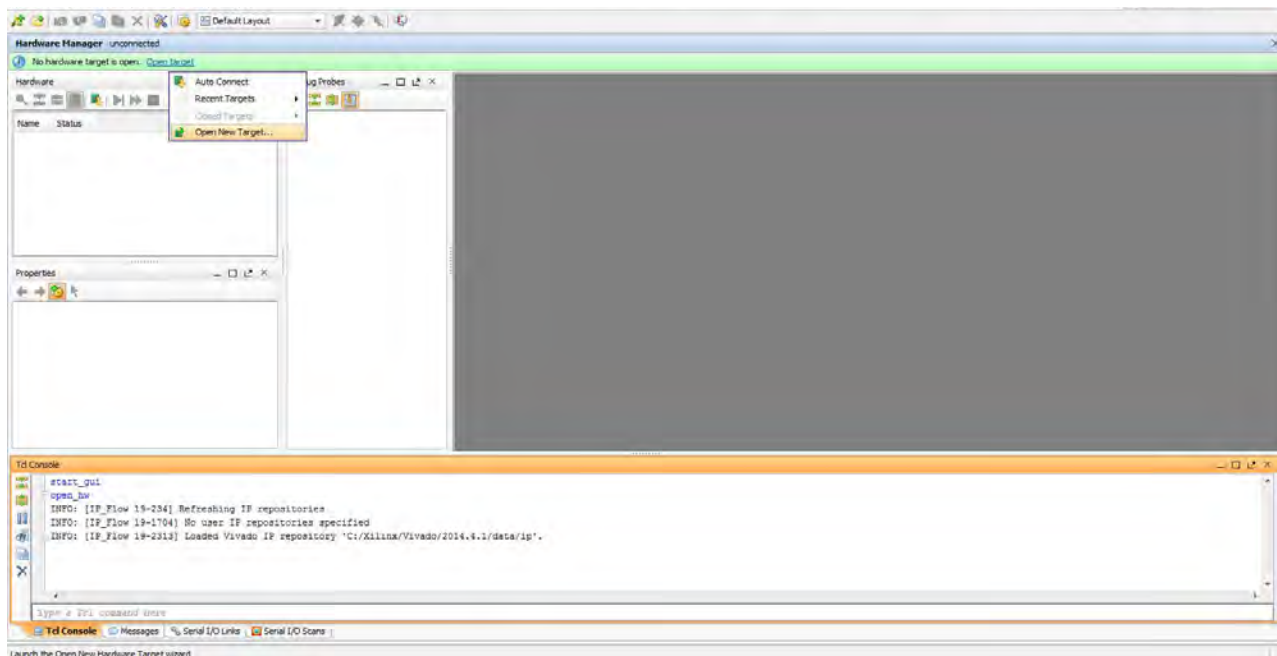


図 9 : BIT ファイルのプログラミング

6. 各ウィザードのデフォルト値を使用して、ボードを接続します。[Next] → [Next] → [Next] → [Finish] をクリックします。
7. [Hardware] でボード名を右クリックして [Program Device] をクリックします。

ユーザー環境でのデザイン統合

1. NUM_PCS_PMA_MAC_INST パラメーターでチャンネル数を指定して、最上位ファイル (1g_10g_switchable.v) で統合します。
2. Q0_CLK1_GTREFCLK_PAD_P_IN を基準クロックに接続して、最上位の制約ファイル (eth_1g10g_top.xdc) で制約を変更します。提供されているリファレンス デザインの周波数は 312.5MHz に設定されています。
3. eth_1g10g_top.xdc でリセット ポートを接続します。
4. eth_1g10g_top.xdc で GT の位置を修正します。
5. eth_1g10g_top.xdc で sfp_tx_disable の位置を修正します。

結果

表 2 に、リファレンス デザインのスループットを示します。

表 2: スループット (フレーム間ギャップは 2 クロック サイクル)

パケット サイズ	1Gb/s	10Gb/s
64	0.968	7.5
128	0.984	8.75
512	0.996	9.68
1024	0.998	9.843
1500	0.998	9.893

表 3 にリソース使用率を示します。

表 3: リソース使用率 (インプリメンテーション)

デバイス	LUT	FF	BRAM
KC705	14.01%	7.78%	0%
ZC706	12.86%	6.92%	0%
VC709	6.07%	7.65%	0%

参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

- 『LogiCORE IP 10-Gigabit Ethernet MAC 製品ガイド』([PG072](#))
- 『LogiCORE IP 10-Gigabit Ethernet PCS/PMA 製品ガイド』([PG068](#))
- 『LogiCORE IP Tri-Mode Ethernet MAC 製品ガイド』([PG051](#))
- 『LogiCORE IP Ethernet 1000BASE-X PCS/PMA または SGMII v11.5』([PG047](#))
- 『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』(UG476: [英語版](#)、[日本語版](#))
- Faster Technology LLC: 『FM-S14 Quad SFP/SFP+ transceiver VITA 57 FMC Module』(www.fastertechnology.com/products/fmc/fm-s14.html)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2015 年 4 月 17 日	1.0	初版

法的通知

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx's limited warranty, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

© Copyright 2015 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。