



ALL PROGRAMMABLE™

XAPP1250 (v1.0) 2015 年 5 月 15 日

# バス ファンクション モデルを使用した 高性能ビデオ システムのシミュレーション

著者 : James Lucero

## はじめに

高性能なシステム的设计では、シミュレーションによってハードウェア解析よりも効率的にシステム ボトルネックを判断できます。バス ファンクション モデル (BFM) は、ハードウェア モジュールから送信され得るトラフィック パターンを模倣するようにコンフィギュレーション可能です。

ザイリンクスの AXI IP コアを用いて、高性能なビデオ システムを作成できます。AXI インターコネクト コア、Zynq-7000 デバイス上の AXI3 ポート、AXI VDMA IP ブロックを使用することで、複数のビデオ ストリームの処理や、DDR3 SDRAM を共有する複数のビデオ フレーム バッファに対応できるビデオ システムのコアを構築できます。ザイリンクスは、Zynq®-7000 All Programmable (AP) SoC デバイスで使用でき、AXI3、AXI4、AXI4-Stream、AXI4-Lite プロトコルに対応する BFM を実現する IP コアも提供しています。

システム レイテンシおよびシステム帯域幅の要件に厳密に従う必要のあるビデオ デザインにはシステム解析が必要であり、ザイリンクスの BFM は、性能のシミュレーションをハードウェアなしで可能にする効率的な方法を提供します。

このアプリケーション ノートで説明するリファレンス デザインは 1080p ビデオ パイプラインを 1 つ使用し、BFM を用いたビデオ デザインのシミュレーション方法を示します。リファレンス デザインは、Vivado® シミュレータを使用したシミュレーションのみを対象としていますが、プロジェクトのターゲットは Zynq-7000 AP SoC ZC702 評価ボードに変更できます。

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、「[リファレンス デザイン](#)」を参照してください。

## リファレンス デザイン

このセクションでは、Processing System コアを含む主要 IP ブロックの設定方法など、リファレンス デザインの高度な機能について説明します。IP の便利な機能、性能、その他の設定などの情報についても解説します。これらの情報はビデオ システム向けですが、システム性能の最適化に用いられている原則は高性能な AXI システムに幅広く適用できます。AXI システムの最適化および設計上のトレードオフに関する詳細は、『Vivado Design Suite AXI リファレンス ガイド』(UG1037) [\[参照 1\]](#) を参照してください。このアプリケーション ノートは、ユーザーが Zynq-7000 アーキテクチャ、AXI プロトコル、Vivado Design Suite、IP インテグレーターに関する一般的な知識を持っていることを前提としています。IP インテグレーターの詳細は、『Vivado Design Suite チュートリアル: エンベデッド プロセッサ ハードウェア デザイン』(UG940) [\[参照 2\]](#) を参照してください。

表 1 に、リファレンス デザインの詳細を示します。

表 1: リファレンス デザインの詳細

パラメーター	説明
<b>全般</b>	
開発者	James Lucero
ターゲット デバイス	Zynq-7000 AP SoC
ソース コードの提供	あり
ソース コードの形式	VHDL、Verilog

表 1: リファレンス デザインの詳細 (続き)

パラメーター	説明
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、またはサードパーティからデザインへのコード/IP の使用	なし
<b>シミュレーション</b>	
論理シミュレーションの実施	あり
タイミングシミュレーションの実施	N/A
論理シミュレーションおよびタイミングシミュレーションでのテストベンチの利用	あり
テストベンチの形式	Verilog
使用したシミュレータ/バージョン	Vivado シミュレータ
SPICE/IBIS シミュレーションの実施	N/A
<b>インプリメンテーション</b>	
使用した合成ツール/バージョン	N/A
使用したインプリメンテーション ツール/バージョン	N/A
スタティック タイミング解析の実施	N/A
<b>ハードウェア検証</b>	
ハードウェア検証の実施	N/A
使用したハードウェア プラットフォーム	N/A

ビデオ パイプラインは、Timing Controller IP コア、Test Pattern Generator IP コア、On Screen Display IP コアで構成されています。BFM シミュレーション環境内で、ここに記載されているように IP コアを Verilog プロセス、AXI4-Stream マスター BFM、および AXI4-Stream スレーブ BFM に置き換えると、1080p タイミングの生成、そして AXI Video Direct Memory Access (VDMA) コアを用いたメモリへのデータ書き込みとメモリからのデータ読み出しが可能になります。Zynq-7000 BFM コアでは、M\_AXI\_GP0 インターフェイスを介してビデオ パイプラインがコンフィギュレーションされ、システム メモリへのアクセスには S\_AXI\_HP0 インターフェイスが使用されます。図 1 に示すこれらのブロックで、アプリケーション ノート付属のリファレンス デザインは構成されています。

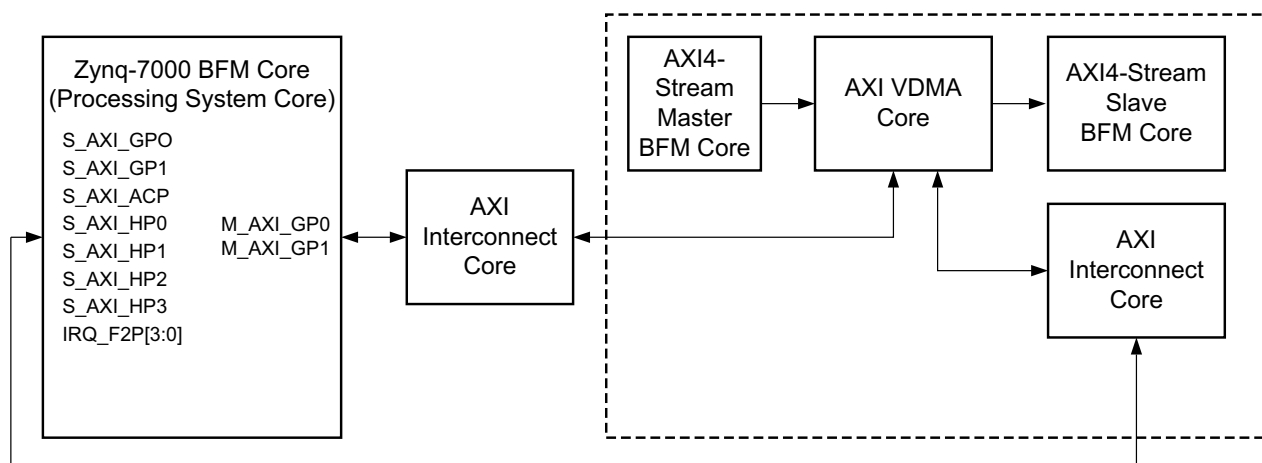


図 1: リファレンス システムのブロック図

このアプリケーション ノートは、Zynq-7000 BFM コアである Processing System コアについて説明していますが、ハードウェアをターゲットとするのであれば Processing System 7 コアについてもいえます。アプリケーション ノートのシミュレーションには Zynq-7000 BFM コアを使用します。シミュレーション中、このコアは Processing System 7 コアの代わりとなりますが、設定は Processing System 7 コアのもので、Processing System コアは、汎用インターコネクトを含むシステム全体にクロックおよびリセットを供給します。

デザインでトラフィック動作を模倣するために、API を使用して BFM を制御します。シミュレーション時間内に 1 つのフレーム全体を確認するには、垂直ラインの数を減らします。

テストベンチのファンクションとしてビデオ パイプラインの性能がレポートされ、波形の解析によってビデオトラフィックの要件が満たされているかが確認されます。

AXI インターフェイス プロトコルの規格は、ARM® AMBA4 および ARM AMBA3 AXI の仕様 (詳細は、『Vivado Design Suite AXI リファレンス ガイド』(UG1037) [参照 1] 参照) で定義されています。デザインで使用している AXI インターフェイスは、AXI4、AXI3、AXI4-Lite、AXI4-Stream インターフェイスです。これらのインターフェイスは、デザインを構築するための共通した IP インターフェイス プロトコルを提供します。

Processing System コア上の AXI Interconnect コアと AXI HP ポートを組み合わせることで、複数のデバイスが共通のメモリコントローラーを共有するアプリケーション向けに、広帯域幅のマルチポート メモリ コントローラー (MPMC) を実装します。これは、複数のソースからのデータが共通のメモリ デバイス (通常、DDR3 SDRAM) を介して移動する、ビデオ、エンベデッド システム、通信のアプリケーションの多くで求められる要件です。

AXI Video DMA コアは、フレーム バッファ機能、スキッター ギャザー (SG) 機能、2 次元 (2D) DMA 機能を備えた、ビデオに最適化された高性能 DMA エンジンを実装します。AXI VDMA コアは、ビデオ データ ストリームをメモリとの間で送受信し、動的ソフトウェア制御モードまたは静的コンフィギュレーション モードで動作します。

デザインは Vivado Design Suite : System Edition 2015.1、Vivado シミュレータ機能、および Vivado IP インテグレーター機能を使用して構築します。IP インテグレーターは、IP コアをインスタンス化、コンフィギュレーション、および接続して複雑な統合システムを構築する作業を簡略化します。このアプリケーション ノートでは IP インテグレーターの完全なプロジェクトおよびシミュレーション環境を提供しており、これらをデザインの検討や再構築に活用したり、新規デザインのテンプレートとして使用することが可能です。アプリケーション ノート付属の ZIP ファイルには、リファレンス システム `zc702_zynq_axi_bfm_sim` が含まれます。

## Processing System コア

図 1 のブロック図では、Processing System コアを追加することで、ハードウェア ラッパー (Processing System 7 コアを使用) の生成または Zynq-7000 のシミュレーション (Zynq-7000 BFM コアを使用) のシミュレーションが可能になります。Vivado Design Suite でデザインが生成された後、Processing System 7 コアのハードウェア コンフィギュレーションに基づき、Zynq-7000 BFM コアの `sim` ディレクトリにラッパーが生成されます。ここでは Zynq-7000 BFM コアのシミュレーション機能についてのみ説明しています。

Processing System コアは、UART 1 と I/O 用の DDR3 コントローラーを備えた ZC702 ボード向けにコンフィギュレーションされます。M\_AXI\_GP0 インターフェイスおよび S\_AXI\_HP0 インターフェイス (64 ビット) は、AXI インターフェイスに使用できます。

周波数が 50MHz の汎用インターコネクト クロックが 1 つ生成されます。50MHz クロックを Clocking Wizard コアに接続し、ビデオ パイプラインに用いられる 148.5MHz を生成します。50MHz クロックは AXI4-Lite スレーブ インターフェイス (AXI VDMA AXI4-Lite スレーブ インターフェイスである M\_AXI\_GP0 インターフェイス) に、148.5MHz クロックはビデオパイプライン (AXI VDMA AXI4 MM/AXI4-Stream インターフェイスである S\_AXI\_GP0 インターフェイス) に使用されません。

## Zynq-7000 BFM メモリ コントローラー

Zynq-7000 BFM コアには OCM/DDR のスパース メモリ モデルがあります。API を呼び出すと、Processing System コア上の AXI スレーブがこのメモリにアクセスしてベスト ケース、平均ケース、またはワースト ケースのレイテンシを取得し、ハードウェアにおけるおおまかなレイテンシがわかります。アプリケーション ノートではベスト ケースのレイテンシについて説明しています。BFM は自動で応答するため、S\_AXI\_HP0 インターフェイスへのアクセスに API は必要ありません。

## ビデオ コンフィギュレーション

リファレンス デザインは、1080p60 (60 フレーム/秒の 1920x1080 画像) 向けに変更されたコンフィギュレーションで動作するビデオパイプラインを 1 つ実装します。各画像は 1 ピクセルあたり 4 バイト (RGB の 3 バイト、追加スループットを示す 1 バイトのパディング) で構成され、RBGA やアルファ チャネル情報を含む YUVA 4:4:4 などのハイエンド高品位ビデオストリームに対応します。

AXI BFM コアを使用し、AXI VDMA コアで (AXI4-Stream マスター BFM) メモリへの書き込みと (AXI4-Stream スレーブ BFM) メモリからの読み出しを行うことでビデオトラフィックを模倣します。フレームの水平ラインを 1 つ送信または受

信するように、シミュレーション環境で AXI BFM コアがコンフィギュレーションされます。AXI BFM コアは、32 ビット インターフェイス、1920 の最大パケット サイズに対応するようコンフィギュレーションされます。

このデザインは、次の `fsync` パルスまで 1/60 秒かかる 1080p60 ビデオ パイプラインをターゲットとしています。シミュレーションでこの時間を短縮するため、水平ラインの数を 1080 から 24 に、水平ブランキングラインを 45 から 1 に減らしています。

次の計算からシミュレーションにおけるビデオパイプラインの性能が予測されます。

水平ライン: 280 クロックのブランキング期間 (アクティブ ビデオなし) + 1920 クロック (アクティブ ビデオ)

垂直ライン: 24 水平ライン + 1 ラインブランキング (2200 クロック間アクティブ ビデオなし)

フレームあたりのアクティブ ビデオのクロック:  $1920 \times 24 = 46,080$  クロック

フレームあたりのクロック総数:  $25 \text{ ライン} \times (1920 + 280) = 55,000$  クロック

秒あたり 148,500,000 クロック / フレームあたりのクロック総数 = 2,700 フレーム/秒

チャンネルあたりの帯域幅 = ピクセルあたり  $1920 \times 4 \text{ バイト (水平ライン)} \times 24 \text{ (アクティブ垂直ライン)} \times \text{秒あたり } 2,700 \text{ フレーム} = 497.664 \text{ MB/s}$

デザインの帯域幅の解析は、1 フレーム (合計 55,000 クロック) に基づいて継続的にスループットを計算する Verilog ファンクションを用いて `S_AXI_HP0` インターフェイスで実行されます。

## AXI Interconnect (processing\_system7\_0\_axi\_periph インスタンス)

1 マスター/1 スレーブ コンフィギュレーションという理由から AXI Interconnect `processing_system7_0_axi_periph` インスタンスはストラテジを使用しません。API は `M_AXI_GP0` インターフェイスを用いてデザイン内のすべての AXI4-Lite スレーブ レジスタ (制御およびステータス レジスタ) に対して書き込みと読み出しを実行します。また、デザインのこの部分は、システムのほかの部分と比較して低速な 50MHz クロックで駆動します。

## AXI Interconnect (axi\_mem\_intercon インスタンス)

AXI Interconnect `axi_mem_intercon` インスタンスは Maximize Performance ストラテジ向けにコンフィギュレーションされています。これにより、AXI VDMA AXI4 MM2S/AXI4 S2MM マスター インターフェイスは最大で 4 つの Outstanding (未処理) トランザクションを発行し、`S_AXI_HP0` スレーブ インターフェイスは 8 つのトランザクションを受信できます。ビデオパイプラインの帯域幅の要件に対応するため、このように発行/受信数を設定する必要があります。

## AXI VDMA インスタンス

AXI VDMA コアは、メモリ マップされた AXI4 ドメインから AXI4-Stream インターフェイス (およびその逆方向) へのビデオ読み出し/書き込み転送機能を提供するよう設計されています。AXI VDMA コアによって、システムメモリと AXI BFM コア間的高速データ転送が可能になります。メモリ マップ方式の AXI4 インターフェイスは、AXI インターフェイス間的高速データ転送とバッファ記述子のフェッチに使用されます。このデザインでは、システム内の SG インターフェイスを不要とするバッファ記述子に対して、レジスタ直接操作モードを適用します。

デザインは、完全に同期したフレーム DMA 動作および 2 次元 DMA 転送に対応するようフレーム同期 (FSYNC) などのビデオ固有の機能を備えています。FSYNC は、テストベンチで信号が生成される書き込みチャンネルと読み出しチャンネルの両方に利用できます。

AXI VDMA コアのインスタンスでは、書き込みと読み出しの両チャンネルについて最大バーストが 32 に設定されています。AXI3 プロトコルがサポートする最大バーストは 16 です。しかし、Zynq-7000 HP インターフェイス 0 は 64 ビットであるため、このインターフェイスは 64 ビット x 16 データ ビート (32 ビット x 32 データ ビート) の転送サイズをサポートします。両チャンネルのラインバッファの深さは、水平ラインの約半分の 1024 に設定されています。

## シミュレーションのブロック デザインの接続

ビデオ パイプラインのフレーム同期信号を生成するため、`bfm_test.v` モジュールで駆動される入力ポート `fsync` が追加されています。

`bfm_test.v` モジュールは出力ポート `reg_clk` および `reg_rst_n` を使用してスレーブ レジスタの Verilog プロセスを制御します。

`bfm_test.v` モジュールは出力ポート `vid_clk` および `vid_rst_n` を使用してビデオ パイプラインの Verilog プロセスを制御します。

## シミュレーション環境

シミュレーション環境の概要は次のとおりです。

テストベンチ (`system_tb.v`)

- システム クロック/リセットを生成する
- IP インテグレーターの最上位ラッパーをインスタンス化し、`bfm_test` モジュールを接続する

定義 (`axi_bfm_defines.v`、`zynq_bfm_defines.v`、`axi_bfm_s_defines.v`)

- API のプロトコル定数とタスクを含む

BFM API の呼び出し (`bfm_test.v`)

- 「[bfm\\_test.v の概要](#)」を参照

## bfm\_test.v の概要

このファイルには、Zynq-7000 BFM コア (セットアップと `M_AXI_GP0` API)、AXI BFM コア、`fsync` 信号、およびビデオ パイプラインの性能計測を制御する API コマンドが含まれます。API の全リストと説明は、『Zynq-7000 All Programmable SoC バス ファンクション モデル v2.0』(DS897) [参照 3] および『AXI BFM コア v5.0』(PG129) [参照 4] を参照してください。

次に示す初期設定で Zynq-7000 BFM コアはコンフィギュレーションされています。`set_slave_profile` API を `S_AXI_HP0` に使用し、ベスト ケースのレイテンシを有効にします。`pre_load_mem` API を用いて、デザインに含まれる 3 つのフレーム バッファに対してランダムなデータを生成します。メイン テストベンチのリセットのディアサート後 (アクティブ Low のリセット)、`fpga_soft_reset` API を呼び出してプログラマブル ロジック (PL) のリセットをディアサートします。

システムがリセット状態から遷移すると、Zynq-7000 BFM `write_data` API は `M_AXI_GP0` インターフェイスから AXI VDMA コアの制御レジスタへの書き込みを許可し、1920 水平ラインと 24 垂直ラインを有効にします。

AXI VDMA コアのコンフィギュレーション後、FSYNC プロセスが開始されます。FSYNC プロセスでは、`fsync` 信号のアサートが 1 秒間に 2700 回発行されます。

AXI4-Stream プロセスは、`fsync` のアサートつまり水平ライン ブランキング期間 (280 クロック) 待機し、並行する Verilog プロセス内でデータを送受信し、フレームの垂直ラインの数が満たされると (この場合は 24) 水平ラインの送信を停止します。AXI4-Stream マスター BFM に `send_packet` API を使用し、AXI VDMA コアヘデータを書き込みます。AXI4-Stream スレーブ BFM には `receive_transfer` API を利用して AXI VDMA コアからデータを読み出します。ラインの終了は API の `last` 出力で判断します。

最初の `fsync` がアサートされると性能ファンクションが実行され、`S_AXI_HP0` インターフェイスで 1 つのフレームを継続的に監視します。ファンクションは、クロックの総数で除算された有効なデータ (`wvalid/wready` および `rvalid/rready`) を用いてクロック数を数えます。計算結果 (MB/s) が確定し、シミュレータのトランスクリプトに表示されます。

`S_AXI_HP0` の読み出しと書き込みインターフェイスの結果は Video Related IP セクションの結果 (497.664MB/s) と一致する必要があります。このようなにならない場合、システムを解析してボトルネックやその他機能的な問題を判断します。

# 必要な環境

## ハードウェア

必要ありませんが、Zynq-7000 AP SoC ZC702 評価ボードで使用するためにターゲットを変更できます。

## IP

リファレンス システムには次の LogiCORE™ IP コアが必要です。

- Zynq-7000 BFM
- AXI Interconnect
- AXI Video Direct Memory Access
- AXI4 BFM
- Clocking Wizard
- Processor System Reset

[図 1](#) にブロック図を、[表 2](#) にシステムのアドレス マップを示します。

## ソフトウェア

このリファレンス システムを構築し、シミュレーションするには、次のソフトウェア ツールをインストールしておく必要があります。

- Vivado Design Suite : System Edition 2015.1
- AXI および Zynq Bus Functional Model LogiCORE IP ライセンス

[表 2](#) にリファレンス システムのアドレス マップを示します。

表 2: リファレンス システムのアドレス マップ

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
processing_system7	processing_system7_1 (M_AXI_GP0)	0x40000000	0x7FFFFFFF
processing_system7	processing_system7_1 (S_AXI_HP0)	0x00000000	0x3FFFFFFF
axi_vdma	axi_vdma_0	0x40000000	0x4000FFFF

## リファレンス デザイン ファイル

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。

アプリケーション ノート付属の ZIP ファイルには、リファレンス システム `zc702_zynq_axi_bfm_sim` が含まれます。

リファレンス デザインのディレクトリ構造は次のとおりです。sim ディレクトリ ファイルは、「[シミュレーション環境](#)」で説明しています。

```
xapp1250/
  zc702_zynq_axi_bfm_sim/
    HW/
      sim/
```

## ライセンス

AXI および Zynq-7000 BFM LogiCORE IP コアの入手方法に関する情報は、次のリンクから入手可能です。

[http://japan.xilinx.com/products/intellectual-property/zynq\\_bfm/zynq\\_bfm-order.html](http://japan.xilinx.com/products/intellectual-property/zynq_bfm/zynq_bfm-order.html)

---

## リファレンス デザインの手順

このセクションでは、セットアップから結果に至るまでのリファレンス デザインの実行について説明します。

### リファレンス デザインの実行

1. Vivado Design Suite で `zc702_zynq_axi_bfm_sim/HW/project_1.xpr` を開きます。
2. [Sources] ビューで `design_1_wrapper` を展開します。 `design_1_i` を右クリックして [Generate Output Products] → [Generate] をクリックします。
3. Flow Navigator で [Simulation] を展開します。 [Run Simulation] → [Run Behavioral Simulation] をクリックします。これで Vivado シミュレータが起動します。この手順は、マシンによっては 10 分ほどかかります。
4. Vivado シミュレータが起動したら、1 フレーム分のトランザクションが含まれるよう 400 $\mu$ s 間シミュレーションを実行します。表示される波形には、AXI VDMA のすべての最上位信号 (AXI4LITE、AXI4 MM2S、AXI4 S2MM、AXI4S MM2S、AXI4S S2MM インターフェイス) が含まれます。この手順は、マシンによっては 30 分ほどかかります。シミュレーションが終了すると、Tel コンソールに次が表示されます。

387704000 HP0 Rd:497.664000 MB/s

387704000 HP0 Wr:497.664000 MB/s

### 結果

1. [system\_tb\_behav.wcfg] タブをダブルクリックして波形ウィンドウを展開します。波形は 5 つのグループ (AXI4\_LITE、AXI4\_MM2S、AXI4\_S2MM、AXI4S\_MM2S、AXI4S\_S2MM) に分けられています。
2. AXI4\_LITE グループを展開し、10.8 $\mu$ s ~ 17.5 $\mu$ s 間を拡大表示します。この期間、Zynq-7000 BFM M\_AXI\_GP0 は AXI VDMA コア上のスレーブ レジスタへ書き込みを実行し、このコアをビデオ パイプライン用にコンフィギュレーションします。AXI VDMA レジスタへ垂直ラインのサイズが書き込まれると、VDMA がアクティブになり、テストベンチで `fsync` 信号が生成されます。図 2 にこの様子を示します。

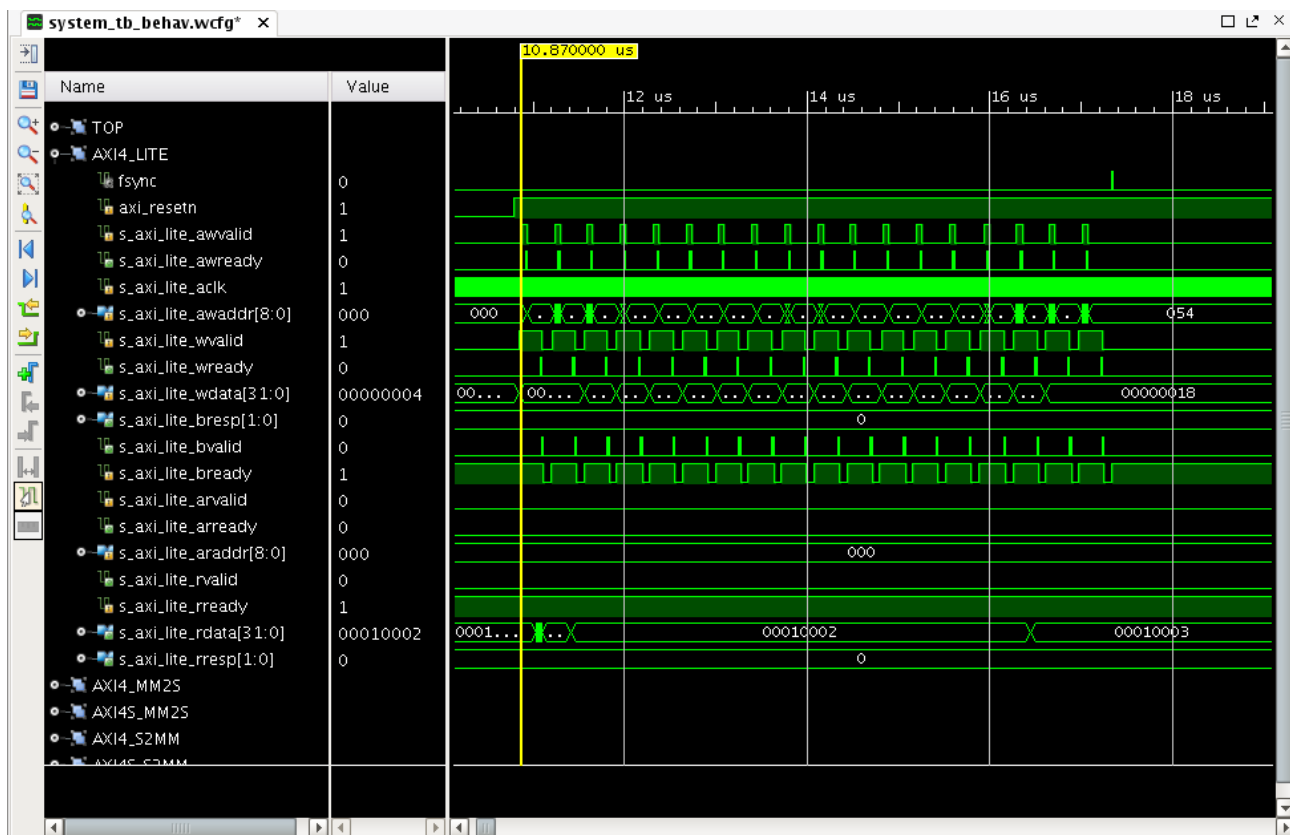


図 2 : AXI4\_LITE – テストベンチによる fsync の生成

- AXI4\_MM2S グループを展開し、17.3 $\mu$ s ~ 18.2 $\mu$ s 間を拡大表示します。これは、fsync 後の最初の読み出し遷移を示します。AXI Interconnect コアで 4 つの読み出しトランザクション (アドレス位相) が受信されますが、データ位相の rvalid がアサートされるまで 5 つ目のトランザクションはスロットルされます。コアが 32 データ ビートを受信すると、rlast がアサートされます (AXI VDMA コアの最大バーストは 32 データ ビートに設定)。図 3 にこの様子を示します。



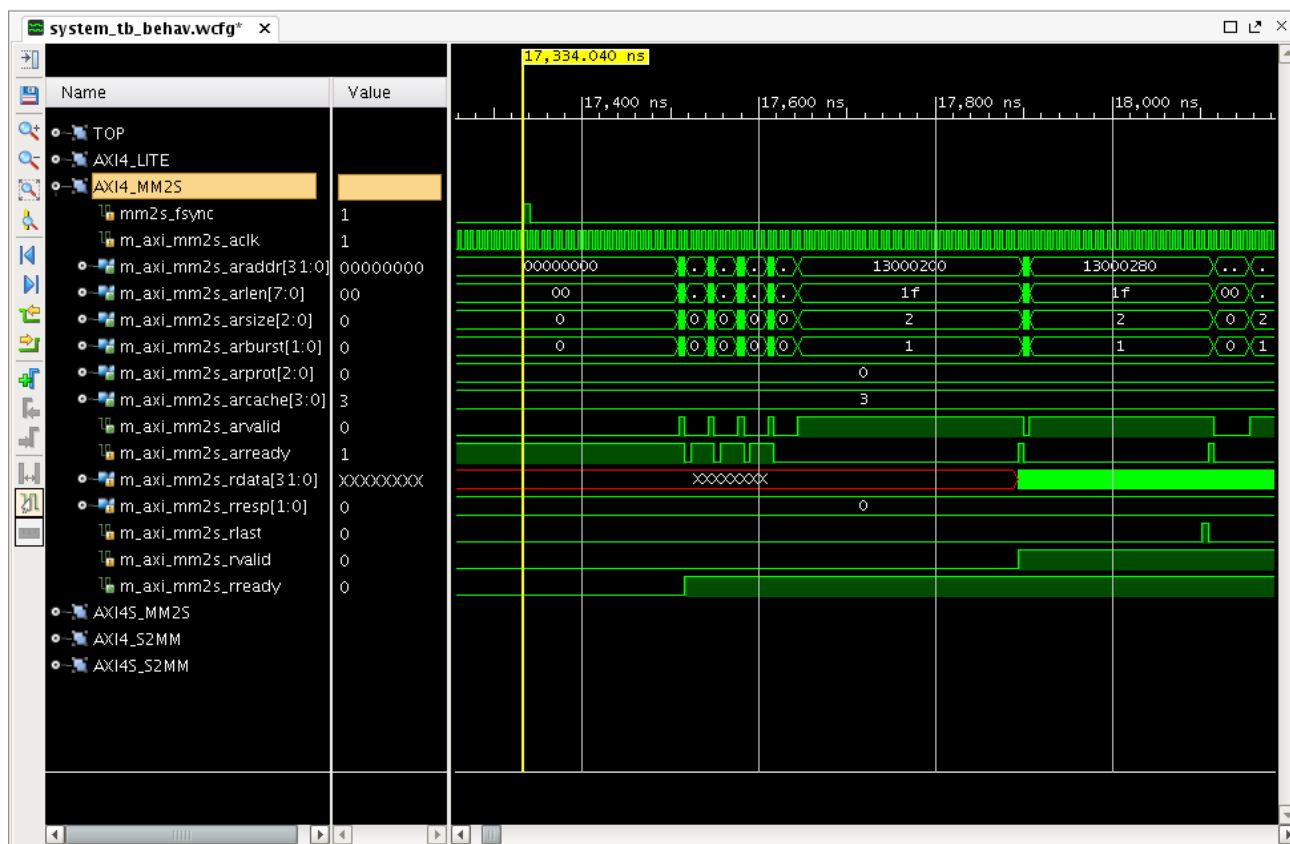


図 3 : AXI4\_MM2S – fsync 後の最初の読み出し

4. AXI4\_S2MM グループを展開し、19.5 $\mu$ s ~ 19.8 $\mu$ s 間を拡大表示します。これは、最初の書き込みトランザクションを示します。AXI VDMA コアが AXI4-Stream マスター BFM から書き込みデータを同時に取得しているため、書き込み側では 1 つの書き込みトランザクション (アドレス位相) しか発生しません。32 データ ビートが Zynq-7000 BFM S\_AXI\_HP0 インターフェイスに書き込まれると、wlast がアサートされます (AXI VDMA コアの最大バーストは 32 データ ビートに設定)。図 4 にこの様子を示します。

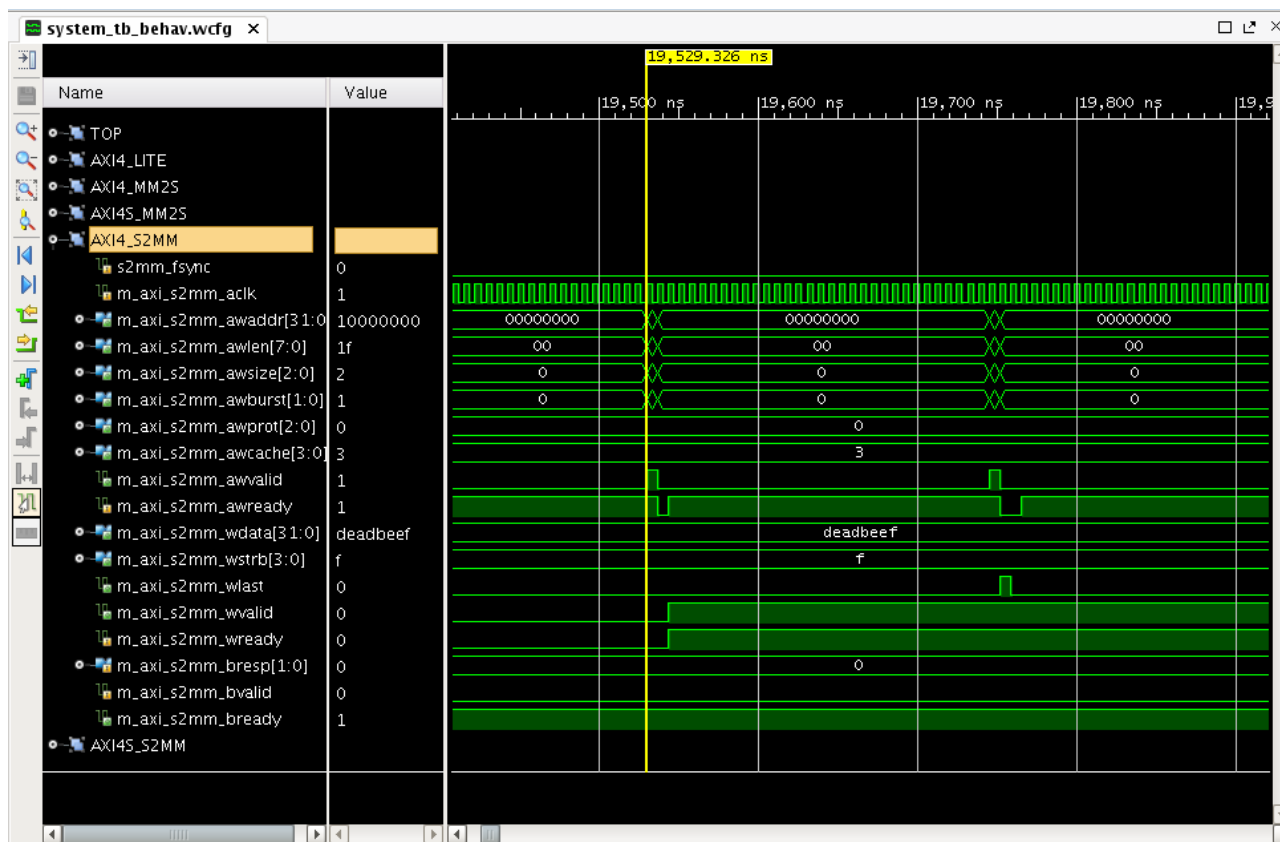


図 4 : AXI4\_S2MM – 最初の書き込み

5. AXI4S\_MM2S グループを展開し、17.3μs ~ 34.0μs 間を拡大表示します。この期間、fsync がアサートされ、fsync から 280 クロック後に tready (AXI4-Stream スレーブ BFM によるアサート) がアサートされます。tvalid (AXI4 VDMA コアが生成) および tready (AXI4-Stream スレーブ BFM が生成) は 1920 クロック間アサートされ、1920 クロック目に tlast がアサートされて水平ラインの終了を示します。これが次のラインでも繰り返されます (280 クロックのブランキング期間と、1 ラインに対して 1920 tready クロック)。図 5 にこの様子を示します。

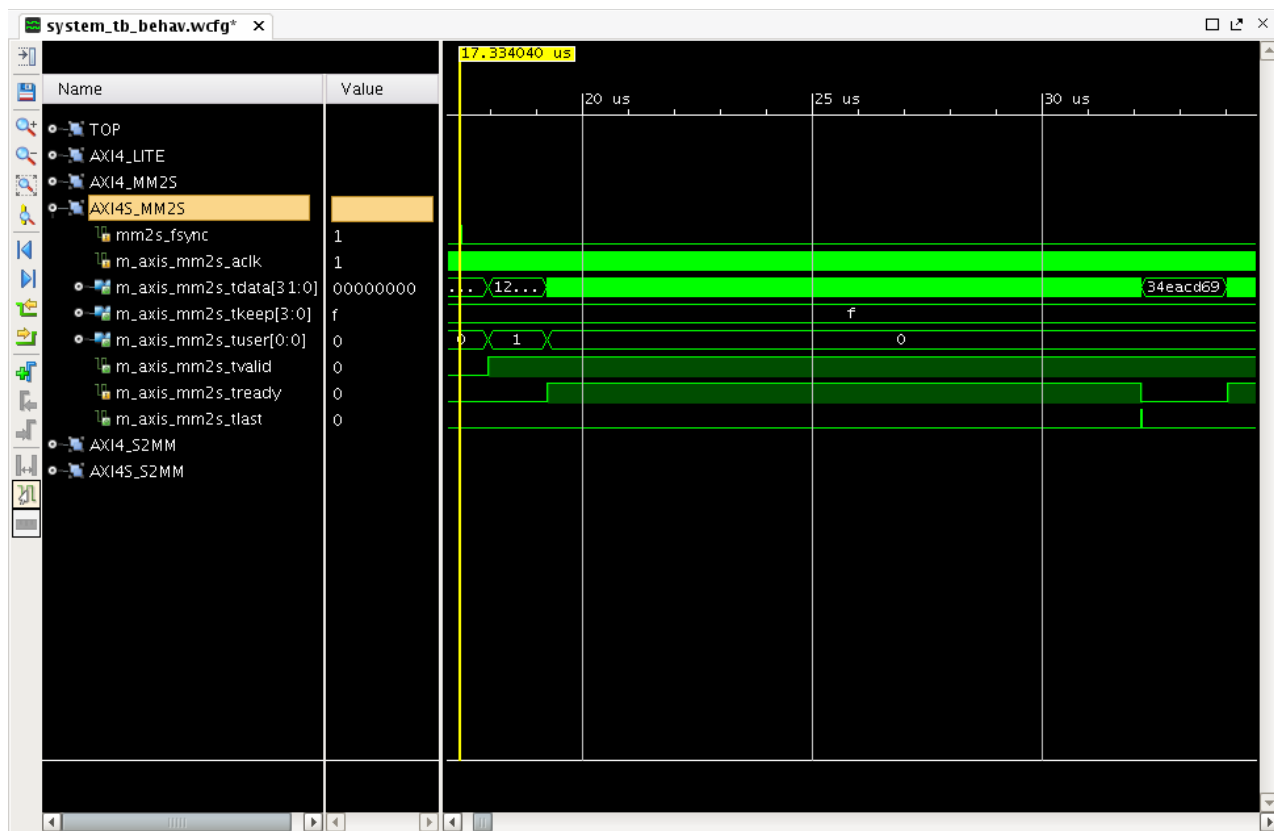


図 5: AXI4S\_MM2S – 水平ラインの終了

tready がアサート (1) され、かつ tvalid がデアサート (0) されると、ビデオ パイプラインがスロットルされます。ビデオ アプリケーションでは、これが画面のちらつきや同様の動作の原因となることがあります。

- AXI4S\_S2MM グループを展開し、17.3 $\mu$ s ~ 34.0 $\mu$ s 間を拡大表示します。この期間、fsync がアサートされ、fsync から 280 クロック後に tvalid (AXI4-Stream マスター BFM によるアサート) がアサートされます。tvalid が 1920 クロック間アサートされ、1920 クロック目に tlast がアサートされて水平ラインの終了を示します。tready (AXI4 VDMA コアが生成) がアサートされた後、AXI4-Stream インターフェイスからの書き込みデータの準備完了を fsync が示します。これが次のラインでも繰り返されます (280 クロックのブランキング期間と、1 ラインに対して 1920 tvalid クロック)。図 6 にこの様子を示します。

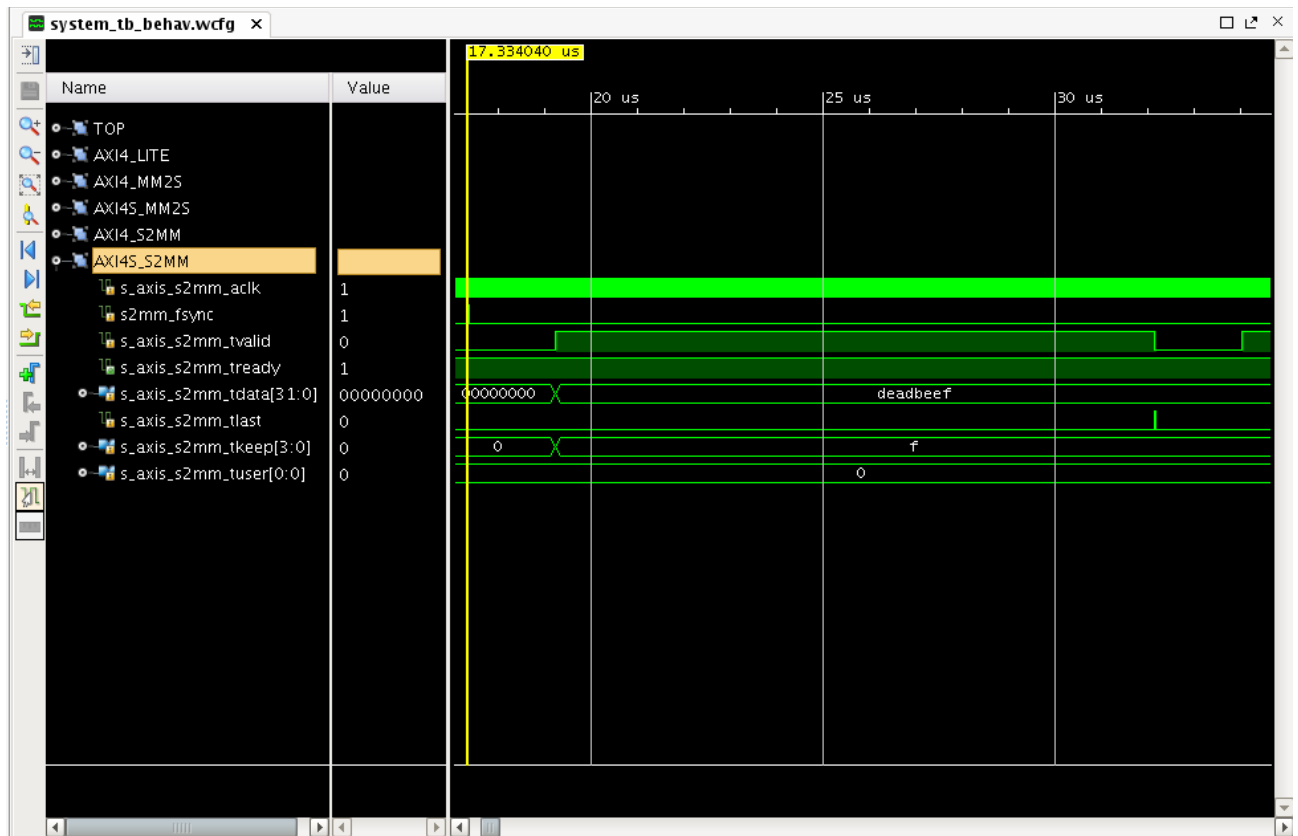


図 6: AXI4S\_S2MM – 水平ラインの終了

tvalid がアサート (1) され、かつ tready がデアサート (0) されると、ビデオパイプラインがスロットルされます。ビデオアプリケーションでは、これが画面のちらつきや同様の動作の原因となることがあります。

## 参考資料

注記：日本語版のバージョンは、英語版より古い場合があります。

1. 『Vivado Design Suite AXI リファレンスガイド』([UG1037](#))
2. 『Vivado Design Suite チュートリアル：エンベデッドプロセッサハードウェアデザイン』([UG940](#))
3. 『Zynq-7000 All Programmable SoC バス ファンクション モデル v2.0』([DS897](#))
4. 『AXI BFM コア v5.0』([PG129](#))
5. 『Zynq-7000 All Programmable SoC テクニカルリファレンスマニュアル』(UG585: [英語版](#)、[日本語版](#))
6. 『LogiCORE IP AXI Interconnect 製品ガイド』([PG059](#))
7. 『LogiCORE IP AXI Video Direct Memory Access 製品ガイド』([PG020](#))
8. 『LogiCORE IP Processing System 7 製品ガイド』([PG082](#))

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2015年5月15日	1.0	初版

## 法的通知

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx’s limited warranty, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

© Copyright 2015 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。