



XAPP1259 (v1.0) 2015 年 6 月 24 日

# Kintex UltraScale FPGA で前方誤り訂正とシームレス保護スイッチングを利用して IP ネットワークで高ビットレートの SMPTE2022-5/6/7 メディアトランスポートを実現

著者 : Gilbert Magnaye、Ilias Ibrahim

## 概要

このアプリケーション ノートでは、LogiCORE™ IP SMPTE 2022-5/6 Video over IP Transmitter/Receiver コアの性能、特長を活かした Video over IP ネットワーク システムを設計する際の考察事項について説明します。デザインは、前方誤り訂正 (FEC) エンジンと SMPTE 2022-7 シームレス保護スイッチングを使用して、10 ギガビット イーサネット上で高ビットレートのネイティブ メディアトランスポートを実現することを目的としています。このデザインは、最大 3 つの SD/HD/3G-SDI ストリームをサポート可能です。

このリファレンス デザインには、トランスミッター プラットフォームとレシーバー プラットフォームの 2 つが含まれます。トランスミッター プラットフォームのデザインは、3 つの LogiCORE SMPTE UHD-SDI コアを使用して外部からの SDI ビデオストリームを受信します。受信した SDI ストリームは、SMPTE 2022-5/6 Video over IP Transmitter コアを用いて多重化され、固定サイズのデータグラムにカプセル化されてから 2 つの LogiCORE IP 10-Gigabit Ethernet MAC 経由で送信されます。レシーバー側に接続された光ケーブルを使用する 2 つの LogiCORE IP 10-Gigabit Ethernet PCS/PMA は、10 ギガビット リンクをサポートします。レシーバー プラットフォーム側では、10-Gigabit Ethernet MAC でイーサネット データグラムを収集します。SMPTE 2022-5/6 Video over IP Receiver コアはデータグラムをフィルタリングし、カプセル化と多重化を解除して個々のストリームにして、SMPTE SDI コア経由で出力します。トランスミッターとレシーバーの両方で、イーサネット データグラムは DDR4 SDRAM メモリにバッファされます。DDR トラフィックは AXI インターコネクトを経由して AXI UltraScale™ メモリ コントローラーへ送られます。このデザインには、コアの初期化とステータスの読み出し用に MicroBlaze™ プロセッサが含まれています。

このリファレンス デザインは、Kintex® UltraScale XCKU040-2FFVA1156 FPGA と inrevium TB-FMCH-3GSDI2A FMC ボードを使用するザイリンクス Kintex UltraScale FPGA KCU105 評価キットをターゲットとしています。詳細は、Kintex UltraScale FPGA KCU105 評価キット [参照 1]、inrevium TB-FMCH-3GSDI2A ボード [参照 2] を参照してください。

# リファレンス デザイン

## 含まれるシステム

リファレンス デザインは、Vivado® Design Suite System Edition 2015.1 を使用して作成および構築されています。デザインには、ザイリックスのソフトウェア開発キット (SDK) 2015.1 を使用して構築されたソフトウェアも含まれます。このソフトウェアは MicroBlaze プロセッサ サブシステムで動作し、制御機能とステータス機能を実装しています。このアプリケーション ノートでは Vivado Design Suite および SDK の完全なプロジェクト ファイルを提供しており、これらをデザインの検討や再構築に活用したり、新規デザインのテンプレートとして使用することが可能です。

## ハードウェア

### はじめに

リファレンス デザインは SMPTE 2022-5/6 Video over IP Transmitter および Receiver コアを中心に、既存のザイリックス IP コアを組み合わせて完全なシステムを構成しています。システムの入出力は SDI ビデオ ストリームです。このシステムは 2つのプラットフォームで構成されます。1つのプラットフォームにはトランスミッター コア、もう 1つのプラットフォームにはレシーバー コアが含まれます。2つのプラットフォームは 1本の光ケーブルで接続され、模擬的な IP ネットワークを構成しています詳細は、[図 1](#) を参照してください。

Video over IP コアは、SMPTE UHD-SDI コアを利用して SD/HD/3G-SDI ストリームを送受信します。また、10-Gigabit Ethernet MAC および 10-Gigabit Ethernet PCS/PMA コアを利用して SDI データをイーサネット媒体で転送します。UHD-SDI コアは最大で 12G-SDI までサポートしますが、現行の SMPTE 2022-5/6 で定義およびサポートされているのは最大で 3G-SDI までです。[図 2](#) および [図 3](#) を参照してください。

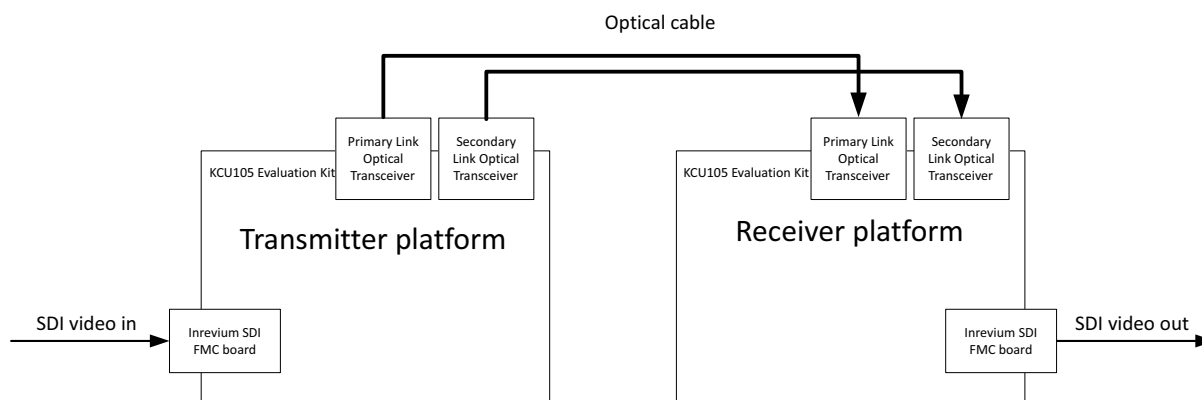


図 1 : Video over IP FPGA のブロック図

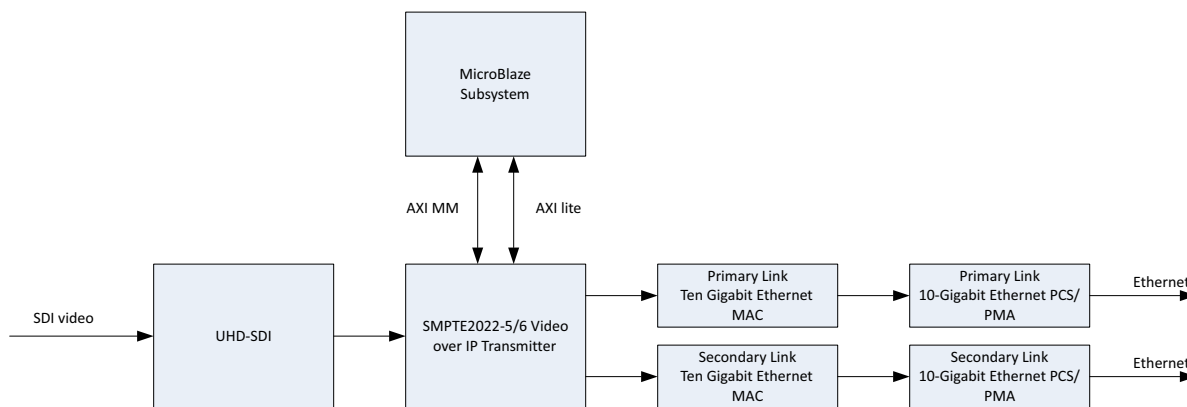


図 2 : Video over IP トランスミッター FPGA のブロック図

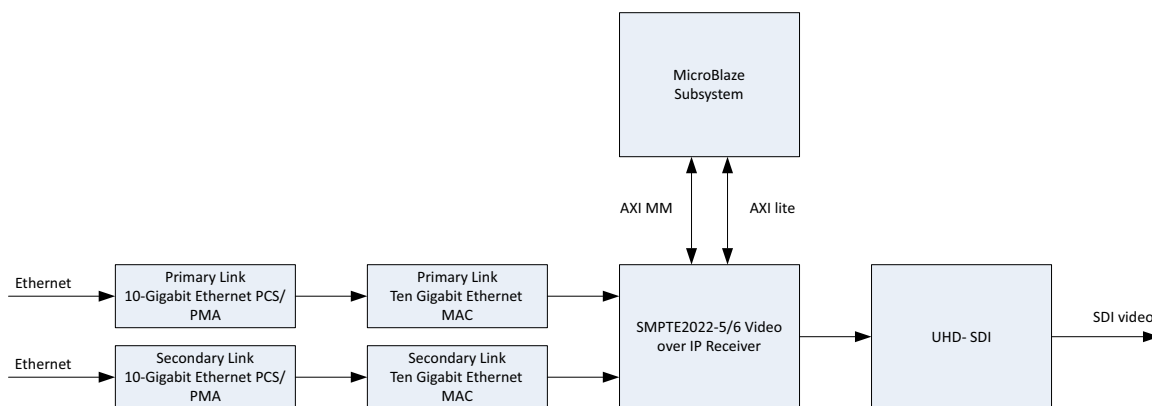


図 3 : Video over IP レシーバー FPGA のブロック図

SDI ストリームの管理、カプセル化、カプセル化解除以外にも、トランスミッター コアとレシーバー コアには前方誤り訂正 (FEC) 機能およびシームレス保護スイッチング機能があります。FEC は、IP ネットワーク上で高品質ビデオを伝送する際にビデオ ストリームを保護します。FEC では、系統的に生成された冗長データをトランスミッターがビデオに追加します。この冗長性により、レシーバーはビデオの一部で発生したパケット エラーを一定数まで検出および訂正でき、追加のビデオ データをトランスミッターに要求する必要がなくなります。このようなビデオ パケットの損失という形のエラーは、熱雑音やストレージシステムの不良、周囲環境から混入するノイズなどさまざまな理由によって発生します。FEC を使用すると、レシーバーはこれらのエラーを修正できるため、逆方向のチャネルを使用してデータの再送を要求する必要がありません。シームレス保護スイッチングは、2 つの同じストリームを異なるパスを介して送信および受信できる機能で、システムの信頼性を向上させます。レシーバーは、コンテンツやストリームに影響を与えずに、データグラムごとにシームレス スイッチングを処理します。これらの機能は、コアのレジスタで有効にできます。

I/O ペリフェラルおよびプロセッサ サポート IP を含むシステム レベルの制御は、簡略化した MicroBlaze エンベデッド プロセッサ サブシステムが担います。クロック ジェネレーター ブロックとプロセッサ システム リセット ブロックは、システム全体にクロック信号とリセット信号をそれぞれ供給します。Video over IP コアがオンボード DDR4 SDRAM にアクセスできるように、AXI4 インターコネクトおよび AXI4 メモリ インターフェイス ジェネレーター (MIG) がサブシステムにインスタンス化されています。図 4 および表 1 に、MicroBlaze プロセッサ サブシステムのブロック図とアドレス マップを示します。

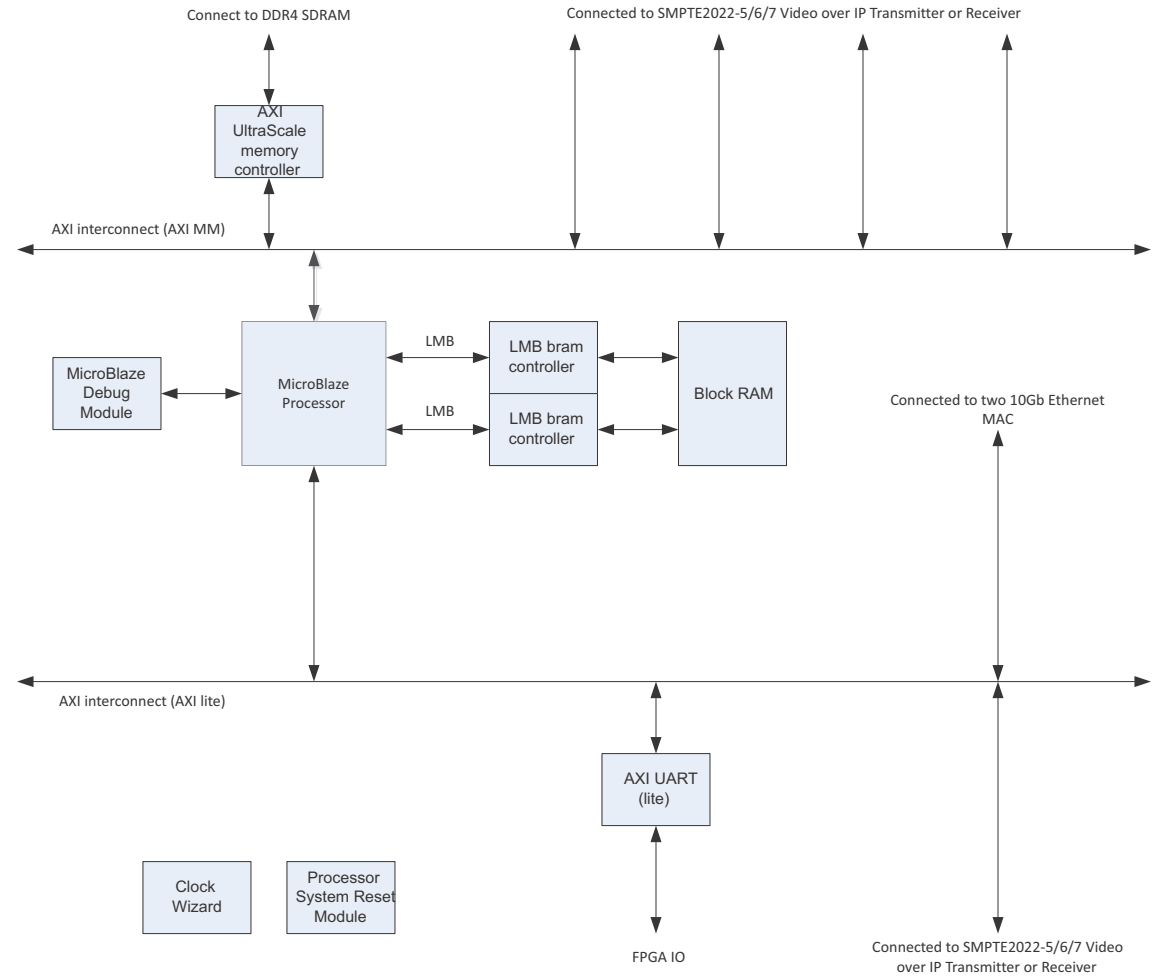


図 4：リファレンス デザインの MicroBlaze サブシステムのブロック図

表 1：MicroBlaze サブシステムのアドレス マップ

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
lmb_bram_if_cntlr	ilmb_bram_if_cntlr	0x00000000	0x0001FFFF
lmb_bram_if_cntlr	dlmb_bram_if_cntlr	0x00000000	0x0001FFFF
mig_ultrascale	mig_1	0xC0000000	0xFFFFFFFF
axi_uartlite	axi_uartlite_1	0x40600000	0x4060FFFF
external axilite_interface	smpte2022_axilite	0x70E00000	0x70E0FFFF
external axilite_interface	ten_gig_eth_mac1_axilite	0x7C400000	0x7C400FFF
external axilite_interface	ten_gig_eth_mac2_axilite	0x7C500000	0x7C500FFF

## リファレンス デザイン仕様

SMPTE 2022-5/6 Video over IP Transmitter/Receiver コア以外に、このリファレンス デザインでは次のコアを使用しています。

- AXI Interconnect
- MicroBlaze
- MicroBlaze Debug Module
- Local Memory Bus
- LMB BRAM Controller
- Block Memory Generator
- Clocking Wizard
- Processor System Reset
- AXI UARTLITE
- Memory Interface Generator
- SMPTE UHD-SDI
- 10-Gigabit Ethernet MAC
- 10-Gigabit Ethernet PCS/PMA

## ハードウェア システム仕様

このセクションでは、主要 IP ブロックの構成など、リファレンス デザインの機能の概要を説明します。

### Video over IP システム

リファレンス デザインは、放送用コネクティビティ規格 (SD/HD/3G-SDI) と 10 ギガビット イーサネット ネットワーク間のブリッジを必要とする放送用アプリケーション向けモジュールとして、SMPTE 2022-5/6 Video over IP コアを実装しています。これらのコアは、放送現場におけるオーディオ/ビデオ データの配信/伝送の全体的なコスト削減を狙ったインターネット プロトコル ベースのシステムを開発する目的で提供されています。転送する SDI データは、SMPTE 2022-6 の定義に従ってメディア データグラム ペイロードにマップされます。システムの生成された前方誤り訂正 (FEC) の冗長データグラムは、SMPTE 2022-5 に準拠してフォーマットされます。メディアおよび FEC データグラムを IP ネットワーク上で伝送するには、IP/UDP/RTP プロトコルの標準ヘッダーが付加されます。SMPTE 2022-5/6 データグラムは、SMPTE 2022-7 に準拠したシームレス保護スイッチのために 2 つの 10-Gigabit Ethernet MAC 経由で 2 回送信されます。

システム機能を正しくサポートするには、このシステムで生成されるストリームに必要な以上のネットワーク帯域幅を確保する必要があります。IP/UDP/RTP および SMPTE 2022-6 のヘッダーにより、メディア データグラムの生成には約 5% のオーバーヘッドが必要です。

## SMPTE 2022-5/6 Video over IP Transmitter

リファレンスデザインの SMPTE 2022-5/6 Video over IP Transmitter は、SMPTE UHD-SDI レシーバーからの SDI 入力ストリームを 3 チャンネルで受け取るよう構成されています。トランスミッターは、2 つの AXI4-Stream データ インターフェイスを経由して 2 つの 10-Gigabit Ethernet MAC に接続します。また、トランスミッターは AXI4-Lite 制御インターフェイスを経由して MicroBlaze サブシステムにも接続しています。トランスミッター コアは、2 つの AXI4 外部マスター コネクタを使用して AXI4 インターコネクタを介して DDR4 SDRAM にアクセスします。メモリ マップのアドレス範囲は 0xC0000000 - 0xFFFFFFFF で固定されています。

トランスミッターのソース MAC アドレスは、プライマリ リンクは 0x000000000000AA、セカンダリ リンクは 0x000000000000CC に設定されています。トランスミッターのソース IP アドレスは、プライマリ リンクは 192.168.0.50、セカンダリ リンクは 192.168.1.50 に設定されています。デスティネーション IP アドレスは、プライマリ リンクは 192.168.1.100、セカンダリ リンクは 192.168.1.100 に設定されています。UDP ポートは、表 2 のように設定しています。各チャンネルの FEC マトリクス サイズは、表 3 のように設定しています。これらのパラメーターの設定は、レジスタで変更できます。

表 2: 3 つの SDI チャンネルの UDP ポートの値

BNC コネクタ	チャンネル	ソース UDP ポート	デスティネーション UDP ポート
RX1	0	0x10	0x10
RX2	1	0x20	0x20
RX3	2	0x30	0x30

表 3: 3 つの SDI チャンネルの FEC マトリクス サイズの値

BNC コネクタ	チャンネル	L	D
RX1	0	77	77
RX2	1	77	77
RX3	2	77	77

SMPTE 2022-5/6 Video over IP Transmitter には AXI4-Lite インターフェイスが含まれており、コア内のパラメーターをプロセッサから動的に制御できます。レジスタの詳細は、『LogiCORE IP SMPTE 2022-5/6 Video over IP Transmitter v4.0 製品ガイド』[参照 4] を参照してください。

レジスタは汎用空間とチャンネル空間の 2 つのセクションに分かれています。汎用空間のパラメーターはすべてのチャンネルに適用されます。チャンネル空間レジスタは、それぞれのリンクおよびチャンネルに基づいてパラメーターが設定される部分と、それぞれのチャンネルにのみ基づいてパラメーターが設定される部分の 2 つにさらに分かれています。このリファレンス デザインでは 3 チャンネルがサポートされており、すべてのパラメーターは UDP デスティネーション ポートによって識別され、プライマリ リンクとセカンダリ リンクは IP アドレスによって識別されます。詳細は、10 ページの「ソフトウェア アプリケーション」を参照してください。

汎用レジスタは、通常のアドレス読み出し/書き込み手順でアクセスできます。チャンネルレジスタを更新する場合は、次の手順を実行します。

1. 設定するチャンネルをレジスタ アドレス `base_addr+0x00C` で指定します。
2. チャンネル レジスタの設定を変更します。
3. CONTROL レジスタの REG\_UPDATE ビットをパルスして、チャンネルレジスタの設定を更新します。
4. 別のチャンネルまたはレジスタの設定を行う場合は手順 1 ~ 3 を繰り返します。図 5 を参照してください。

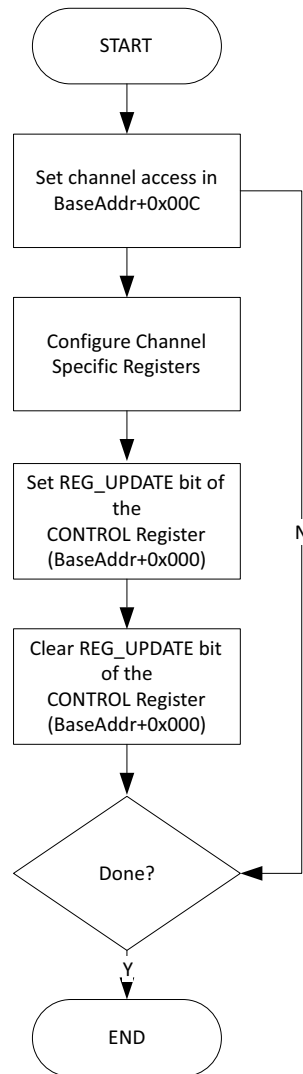


図 5 : チャンネルレジスタ設定のフローチャート

## SMPTE 2022-5/6 Video over IP Receiver

このリファレンス デザインの SMPTE 2022-5/6 Video over IP Receiver は、3 チャンネルの SDI 出力を SMPTE UHD-SDI トランスミッターへ送るよう構成されています。レシーバーは、2 つの AXI4-Stream データ インターフェイスを経由して 2 つの 10-Gigabit Ethernet MAC に接続します。また、レシーバーは AXI4-Lite 制御インターフェイスを経由して MicroBlaze プロセッササブシステムにも接続しています。レシーバー コアは、2 つの AXI4 外部マスター コネクタを使用して AXI4 インターコネクト経由で DDR4 SDRAM にアクセスします。メモリ マップのアドレス範囲は 0xC0000000 - 0xFFFFFFFF で固定されています。

受信したメディア パケットは、表 4 に示した UDP デスティネーション ポートに基づいてフィルタリングされます。

表 4: 3つのSDIチャンネルのUDPポートの値

BNC コネクタ	チャンネル	デスティネーション UDP ポート
TX1	0	0x10
TX2	1	0x20
TX3	2	0x30

SMPTE 2022-5/6 Video over IP Receiver には AXI4-Lite インターフェイスが含まれており、コア内のパラメーターをプロセスから動的に制御できます。レジスタの詳細は、『LogiCORE IP SMPTE 2022-5/6 Video over IP Receiver v5.0 製品ガイド』[参照 5] を参照してください。

レジスタは汎用空間とチャンネル空間の2つに分かれています。汎用空間のパラメーターはすべてのチャンネルに適用されます。チャンネル空間のパラメーターは、該当する各チャンネルに適用されます。

汎用レジスタは、通常のアドレス読み出し/書き込み手順でアクセスできます。チャンネルレジスタを更新する場合は、次の手順を実行します。

1. 設定するチャンネルをレジスタ アドレス `base_addr+0x00C` で指定します。
2. 選択したチャンネルのチャンネルレジスタの設定を必要に応じて変更します。
3. レジスタ アドレス `base_addr+0x000` のビット 1 をパルスして、チャンネルレジスタの設定を更新します。
4. 別のチャンネルの設定を行う場合は手順 1 ~ 3 を繰り返します。図 5 を参照してください。

## SMPTE UHD-SDI

SMPTE UHD-SDI コアは、SMPTE SD-SDI、HD-SDI、3G-SDI 規格に準拠したトランスミッター インターフェイスおよびレシーバー インターフェイスになるように構成されています。このコアは、SDI ビデオ ストリームのシリアライズ/デシリアライズを行うために UltraScale FPGA の GTH トランシーバーに接続されています。UHD-SDI コアは最大で 12G-SDI までサポートしますが、現行の SMPTE 2022-5/6 で定義およびサポートされているのは最大で 3G-SDI までです。SMPTE SDI レシーバーは 148.5MHz の GTX トランシーバー基準クロック周波数を使用して、サポートされている SDI ビット レートを受信します。レシーバーは受信した SDI ビット レートを自動的に判定し、その SDI モードに合わせて自分自身と GTX トランシーバーを正しく設定します。SMPTE SDI トランスミッターがサポートしている複数の SDI ビット レートを利用するには、2種類の GTH トランシーバー基準クロック周波数が必要です。このデザインでは、148.5MHz と 148.35MHz を使用しています。これら 2つの基準クロックは、GTH トランシーバー内蔵のクロック マルチプレクサーで切り替えられます。トランスミッターに対する SDI の動作モードは、各ポートが動的に制御します。一方、トランスミッターは、各 SDI モードに合わせて適切な構成となるように DRP を介して GTH トランスミッターを制御します。詳細は、『LogiCORE IP SMPTE UHD-SDI v1.0 製品ガイド』[参照 6] および『UltraScale GTH トランシーバーを使用した SMPTE SDI インターフェイスの実装』[参照 11] を参照してください。

## 10-Gigabit Ethernet MAC

トランスミッター側の 10-Gigabit Ethernet MAC インスタンスには AXI4-Stream 送信インターフェイスがあり、SMPTE 2022-5/6 Video over IP Transmitter の出力に接続されています。レシーバー側の 10-Gigabit Ethernet MAC インスタンスには AXI4-Stream 受信インターフェイスがあり、SMPTE 2022-5/6 Video over IP Receiver の入力に接続されています。10-Gigabit Ethernet MAC には、10-Gigabit Ethernet PCS/PMA コアへの接続用に 64 ビットの SDR PHY ポートが 1 つコンフィギュレーションされています。フロー制御は使用していません。詳細は、『LogiCORE IP 10-Gigabit Ethernet MAC v14.0 製品ガイド』[参照 7] を参照してください。



## 10-Gigabit Ethernet PCS/PMA

10-Gigabit Ethernet PCS/PMA コアは、Video over IP Transmitter と Receiver の間で 10GBASE-R の光リンクを形成します。各 PCS/PMA は 1 つのトランシーバーを使用して 10Gb/s のデータレートを実現します。トランスミッター側とレシーバー側の SFP+ 光トランシーバー同士を 1 本の光ケーブルで接続します。PCS/PMA 10GBASE-R/KR 規格は、10 ギガビットイーサネット IEEE 802.3-2008 仕様の第 45、49、72、73、74 節で完全に定義されています。詳細は、『LogiCORE IP 10-GigabitEthernet PCS/PMA v5.0 製品ガイド』[参照 8] を参照してください。

## AXI インターコネクタ (AXI\_MM)

この AXI4 インターコネクタ インスタンス (AXI\_MM) は、コア データ幅 256 ビットでクロック周波数 200MHz のスレーブ インターフェイスを備えたデザインで求められる高い FMAX とスループットを提供します。AXI4 インターコネクタ コアのマスター インターフェイスのデータ幅およびクロック周波数は接続先となる AXI4 MIG の性能と一致するため、データフローが最適化されます。AXI4 インターコネクタ コアのデータ幅およびクロック周波数を、メモリ コントローラーのネイティブ データ幅およびクロック周波数より小さくすると、システムに帯域幅のボトルネックが生じます。256 ビット AXI4 インターフェイスの 200MHz でのタイミング要件を満たすように、AXI4 インターコネクタのマスター インターフェイス側とスレーブ インターフェイス側の両方でレジスタ スライスのランクを 1 つ有効にしています。さらに、AXI4 インターコネクタと AXI4 MIG を組み合わせることで、4 つの AXI4 外部マスター コネクタに接続する 4 ポートの AXI4 MPMC を構成しています。この AXI4 インターコネクタのコンフィギュレーションは、『AXI リファレンス ガイド』[参照 9] に記載されている AXI4 MPMC ベースのシステムに対するシステム性能最適化の推奨事項に従っています。

## メモリ インターフェイス ジェネレーター

メモリ インターフェイス ジェネレーター (MIG) は、AXI4 インターコネクタに接続される 1 つのスレーブを構成します。MIG AXI4 インターフェイスは 512 ビット幅で 250MHz で動作し、スループットとタイミングを最適化するためにナローバーストのサポートは無効になっています。このコンフィギュレーションは、メモリ クロックが 1000MHz の 64 ビット DDR4 DIMM に対応する AXI4 インターフェイスのネイティブ クロックおよび幅に適合しています。インターフェイスが 250MHz でのタイミングを確実に満たすように、レジスタ スライスを有効にしています。これらの設定により、トランザクションのパイプライン処理が効率化され、システム スループットが向上します。メモリ コントローラーの詳細は、『LogiCORE IP UltraScale アーキテクチャ FPGA メモリ インターフェイス ソリューション v5.0』(PG150) [参照 10] を参照してください。

## AXI インターコネクタ (AXI4-Lite)

MicroBlaze プロセッサのデータ ペリフェラル (DP) インターフェイスのマスターは、制御およびステータス情報のために、デザインの AXI4-Lite スレーブ レジスタすべてに対して書き込みと読み出しを実行します。これらのインターコネクタは 32 ビットで、高い FMAX やスループットは必要としません。このため、これらには独立した AXI インターコネクタを使用し、デザイン内のより低速の FMAX で動作する部分に接続されます。デザインの AXI4-Lite インターコネクタ ブロックに高スループットは必要ないため、このブロックは共有アクセス モードに設定されています。つまり、このインターコネクタ ブロックは、性能よりもエリアを優先して最適化できます。このインターコネクタのクロックを 100MHz にすることで、AXI インターコネクタで整数比の同期クロック コンバーターが使用可能になり、これによって非同期クロック コンバーターよりも低いレイテンシとより小さいエリアが得られます。AXI4-Lite インターコネクタ上のスレーブは、AXI UART (lite) コアと、10-Gigabit Ethernet MAC コアおよび SMPTE 2022-5/6 Video over IP Transmitter/Receiver コアへ接続するカスタマイズされた axilite\_bridge IP コアです。

## ソフトウェア アプリケーション

Video over IP TX および RX システムはそれぞれソフトウェア アプリケーションによって初期化されます。ソフトウェアの初期化後、UART 画面に表示されるメニューからコマンドを選択できます。

アプリケーション レベルのソフトウェアとシステム制御用ドライバーは、C で作成されています。あるいは、IP 制御レジスタにドライバーとアプリケーションソフトウェアを直接書き込むこともできます。

レジスタの値は、ソフトウェアによって表 5 および表 6 のように設定されます。レジスタ セットのベースアドレスは、AXI4-Lite ブリッジのベース アドレス (0x70E00000) です。表中に示していないレジスタは初期化されず、それぞれのデフォルト値のままになります。

表 5: 初期化された VoIP TX レジスタの値

オフセット	レジスタ名	値		
汎用空間				
0x010	プライマリ Mac アドレス (Low)	0x000000AA		
0x014	プライマリ Mac アドレス (High)	0x00000000		
0x018	セカンダリ Mac アドレス (Low)	0x000000CC		
0x01C	セカンダリ Mac アドレス (High)	0x00000000		
0x028	メモリ ベース アドレス 3-MSb	0x00000006		
0x030	hitless_config	0x00000000		
プライマリ チャネル空間		Ch1	Ch2	Ch3
0x080	ip_header	0x00006480		
0x084	vlan_tag_info	0x0000AB00	0x0000AB10	0x0000AB30
0x088	dest_mac_low_addr	0x000000FF		
0x08C	dest_mac_high_addr	0x00000000		
0x090	dest_ip_host_low_addr	0xC0A80064		
0x0A0	src_ip_host_low_addr	0xC0A80032		
0x0B0	udp_src_port	0x10	0x20	0x30
0x0B4	udp_dest_port	0x10	0x20	0x30
0x0D0	transmit_en	0x1		
0x0D8	ip_header_fec	0x00006480		
0x100	chan_en	0x1		
0x110	video_para_config	0x1		
0x118	ssrc	0x12345600	0x12345610	0x12345620
0x11C	FEC_config	0x6		
0x124	FEC_L	0x4D		
0x128	FEC_D	0x4D		
セカンダリ チャネル空間		Ch1	Ch2	Ch3
0x084	vlan_tag_info	0x0000AB00	0x0000AB10	0x0000AB20
0x088	dest_mac_low_addr	0x000000EE		
0x08C	dest_mac_high_addr	0x00000000		
0x090	dest_ip_host_low_addr	0xC0A80164		

表 5：初期化された VoIP TX レジスタの値 (続き)

オフセット	レジスタ名	値		
0x0A0	src_ip_host_low_addr	0xC0A80132		
0x0B0	udp_src_port	0x10	0x20	0x30
0x0B4	udp_dest_port	0x10	0x20	0x30
0x0D0	transmit_en	0x1		
0x0D8	ip_header_fec	0x00006480		

表 6：初期化された VoIP RX レジスタの値

オフセット	レジスタ名	値		
汎用空間				
0x028	network_path_differential	0x00149970		
0x034	fec_buf_base_addr	0xD8000000		
0x038	fec_buf_pool_size	0x0457b000		
プライマリ チャネル空間		Ch1	Ch2	Ch3
0x088	match_vlan	0x0000AB00	0x0000AB10	0x0000AB20
0x08C	match_dest_ip_addr	0xC0A80064		
0x09C	match_src_ip_addr	0xC0A80032		
0x0AC	match_src_port	0x10	0x20	0x30
0x0B0	match_dest_port	0x10	0x20	0x30
0x0B4	match_sel	0x10		
0x100	chan_en	0x1		
0x110	match_ssrc	0x12345600	0x12345610	0x12345620
0x11C	playout_delay	0x002932E0		
0x12C	media_buf_base_addr	0xC0000000	0xC8000000	0xD0000000
0x130	media_pkt_buf_size	0x0000FFFF		
セカンダリ チャネル空間		Ch1	Ch2	Ch3
0x088	match_vlan	0x0000AB00	0x0000AB10	0x0000AB20
0x08C	match_dest_ip_addr	0xC0A80164		
0x09C	match_src_ip_addr	0xC0A80132		
0x0AC	match_src_port	0x10	0x20	0x30
0x0B0	match_dest_port	0x10	0x20	0x30
0x0B4	match_sel	0x10		

## ソフトウェア プロセス フロー

図 6 に、SMPTE 2022-5/6 TX/RX のリファレンス デザインが使用するソフトウェア フローを示します。

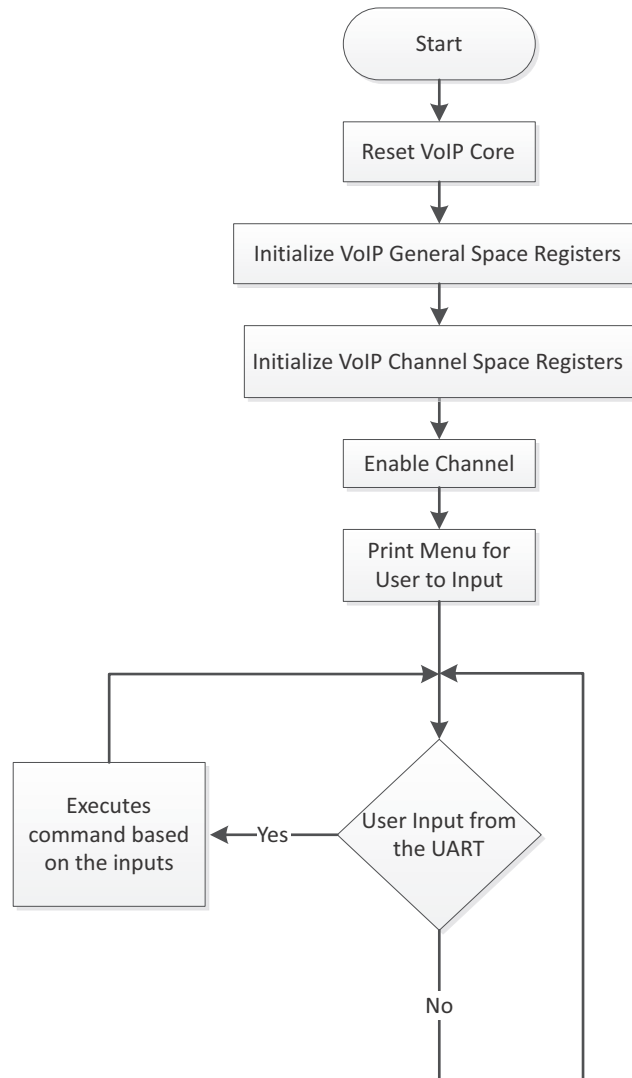


図 6 : Video over IP Transmitter/Receiver の全体的なソフトウェア プロセス

注記 : リセット後の適切なコア動作を保証するために、チャンネルのイネーブル信号は最後にアサートされます。

コアのコンフィギュレーション時および実行中にソフトウェア リセットを実行するには、図 7 に示す手順に従います。

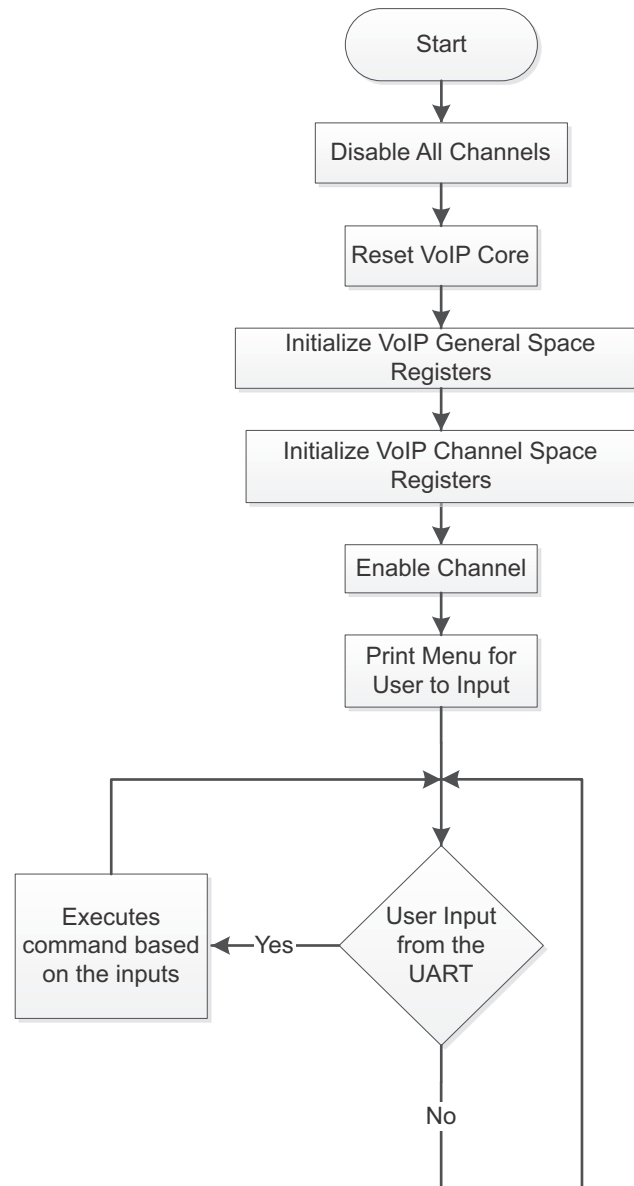


図 7 : Video over IP Transmitter/Receiver のソフトウェアリセット プロセス

**注記** : チャンネルリセットを実行するには、chan\_en レジスタ (レジスタオフセット 0x100) のビット 0 を low にセットします。

**注記** : ビデオフォーマットが『LogiCORE IP SMPTE 2022-5/6 Video over IP Receiver v4.0 製品ガイド』[参照 5] の「メモリ要件とレジスタ設定」に記載されたレジスタ設定に適合する場合、コアは (チャンネルリセットを実行せずに) ビデオストリームを変更する機能をサポートできます。

## ツール フローおよび検証

次のチェックリストに、提供されるリファレンス デザインで使用されるツール フローおよび検証手順を示します。

表 7: リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	Gilbert Magnaye、Ilias Ibrahim
ターゲット デバイス	Kintex UltraScale FPGA
ソース コードの提供	あり
ソース コードの形式 (提供される場合)	VHDL および Verilog
既存のザイリンクス リファレンス デザイン/アプリケーション ノート、サードパーティ、Vivado ツールからデザインへのコード/IP の使用 (「あり」の場合は一覧を記載)	Vivado IP カタログからコアを生成
シミュレーション	
論理シミュレーションの実施	N/A
タイミングシミュレーションの実施	N/A
論理シミュレーションおよびタイミングシミュレーション用テストベンチの提供	N/A
テストベンチの形式	N/A
使用したシミュレータ/バージョン	N/A
SPICE/IBIS シミュレーションの実施	N/A
インプリメンテーション	
使用した合成ツール/バージョン	Vivado 2015.1
使用したインプリメンテーション ツール/バージョン	Vivado 2015.1
スタティック タイミング解析の実施	あり
ハードウェア検証	
ハードウェア検証の実施	あり
使用したプラットフォーム	ザイリンクス Kintex UltraScale FPGA KCU105 評価キット

## 必要な環境

### ハードウェア

リファレンス システムのハードウェア要件は次のとおりです。

- ザイリンクス Kintex UltraScale FPGA KCU105 評価キット (x2)
- inrevium 3G-SDI ボード (TB-FMCH-3GSDI2A) (x2)
- SFP+ 光トランシーバー (x2)
- 光ケーブル

### ソフトウェア

このセクションではソフトウェア要件を示します。必要なソフトウェアは次のとおりです。

- Vivado Design Suite 2015.1
- ソフトウェア開発キット (SDK) 2015.1
- ソフトウェア ターミナル (例 : Tera Term、ハイパーターミナル、または PuTTY)

### リファレンス デザイン ファイル

このアプリケーション ノートのリファレンス デザインは、次のリンクからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=391782> (登録が必要)

図 8 に、リファレンス デザインのディレクトリ構造を示します。



**重要 :** リファレンス デザインはルート ディレクトリの近くに展開してください。「[ハードウェアの構築](#)」を参照してください。

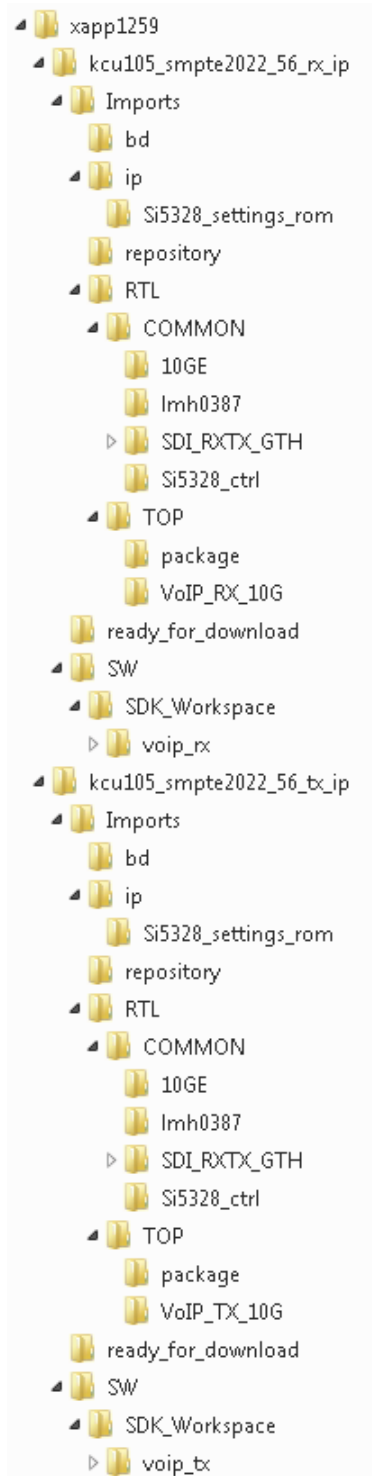


図 8: リファレンス デザインのディレクトリ構造

xapp1259.zip の 2 つのメイン ディレクトリは kcu105\_smpte2022\_56\_tx\_ip と kcu105\_smpte2022\_56\_rx\_ip です。2 つのディレクトリは 図 9 に示す同じディレクトリ構造を持ちます。



```

| add_hdl.TCL: TCL for importing package RTL into the project
| all.TCL: TCL for building and compiling reference design package
| hw_bldr_utils.TCL: Contains utility functions for building the project
| ip.TCL: TCL for generating Xilinx IPs which are instantiated in the project
| ipi_utils.TCL: Contains IPI specific utility functions for building the project
| proj.TCL: Creates Vivado project and adds "repository" folder into project local
repository
| rsb.TCL: TCL for constructing IPI subsystem by calling system_basic.TCL in Imports\bd
folder
|
\Imports
|
|-----\bd: Contains files for IPI subsystem construction
|-----\ip: Contains configuration files for Xilinx IP
|-----\repository: Contains non-Xilinx standard IPs (empty for this reference design)
|-----\RTL:
|-----\COMMON: Contains 10G MAC, UHD-SDI, LMH0387 controller and Si5328
Controller source file
|-----\TOP: Contains project package, top level and xdc files.
|
\ready_for_download: Contains "bit" file of the system.
|
|
\SW
|
|-----\SDK_Workspace: Contains source code of VoIP transmitter application.

```

図 9: kcu105\_smpte2022\_56\_tx\_ip と kcu105\_smpte2022\_56\_rx\_ip

## ライセンス

SMPTE 2022-5/6 Video over IP Transmitter および Receiver コア、10-Gigabit Ethernet PCS/PMA、10-Gigabit Ethernet MAC のライセンスがインストールされていることを確認してください。

# リファレンス デザインの実行手順

## セットアップ

このリファレンス デザインは、[図 10](#) と [図 11](#) に示す KCU105 および TB-FMCH-3GSDI2A ボード上で実行されます。

## KCU SDI over 10GbE Demo

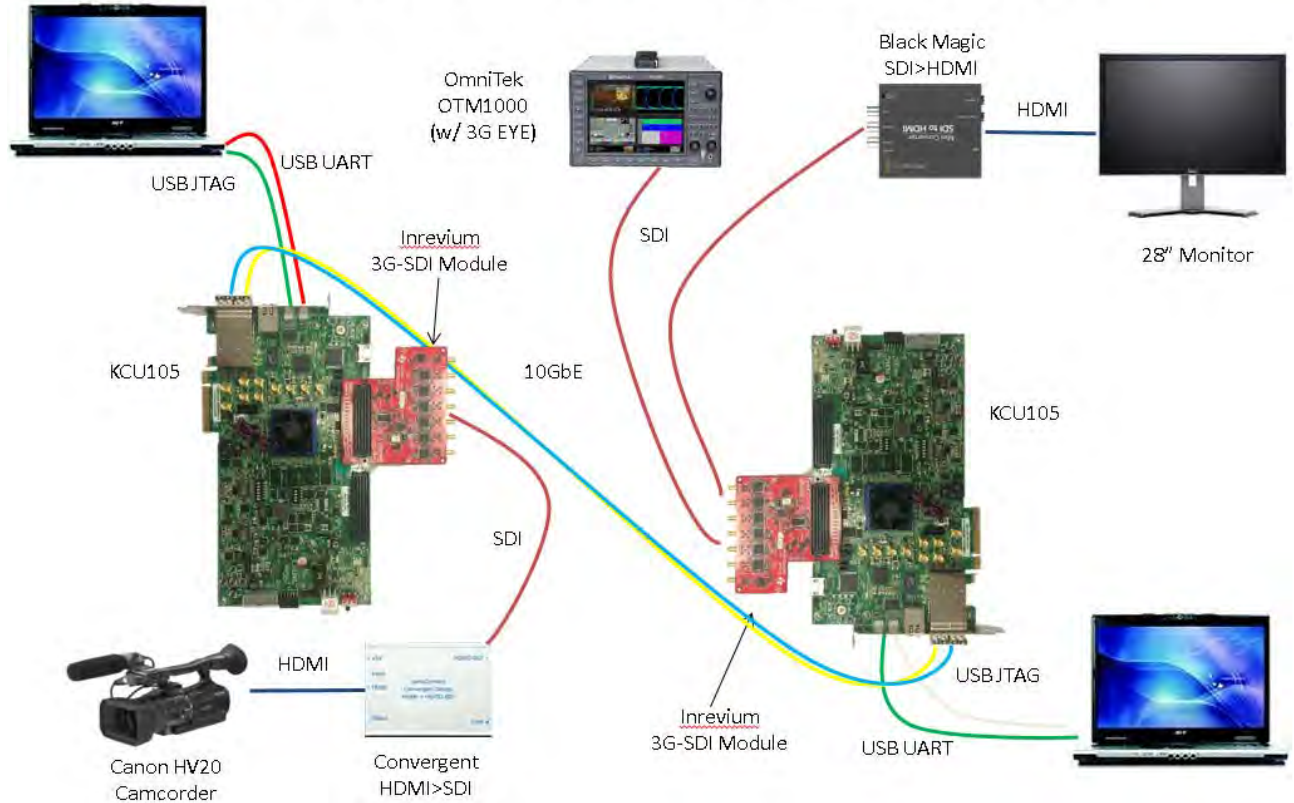


図 10 : SMPTE 2022-5/6/7 デモ システムのセットアップ

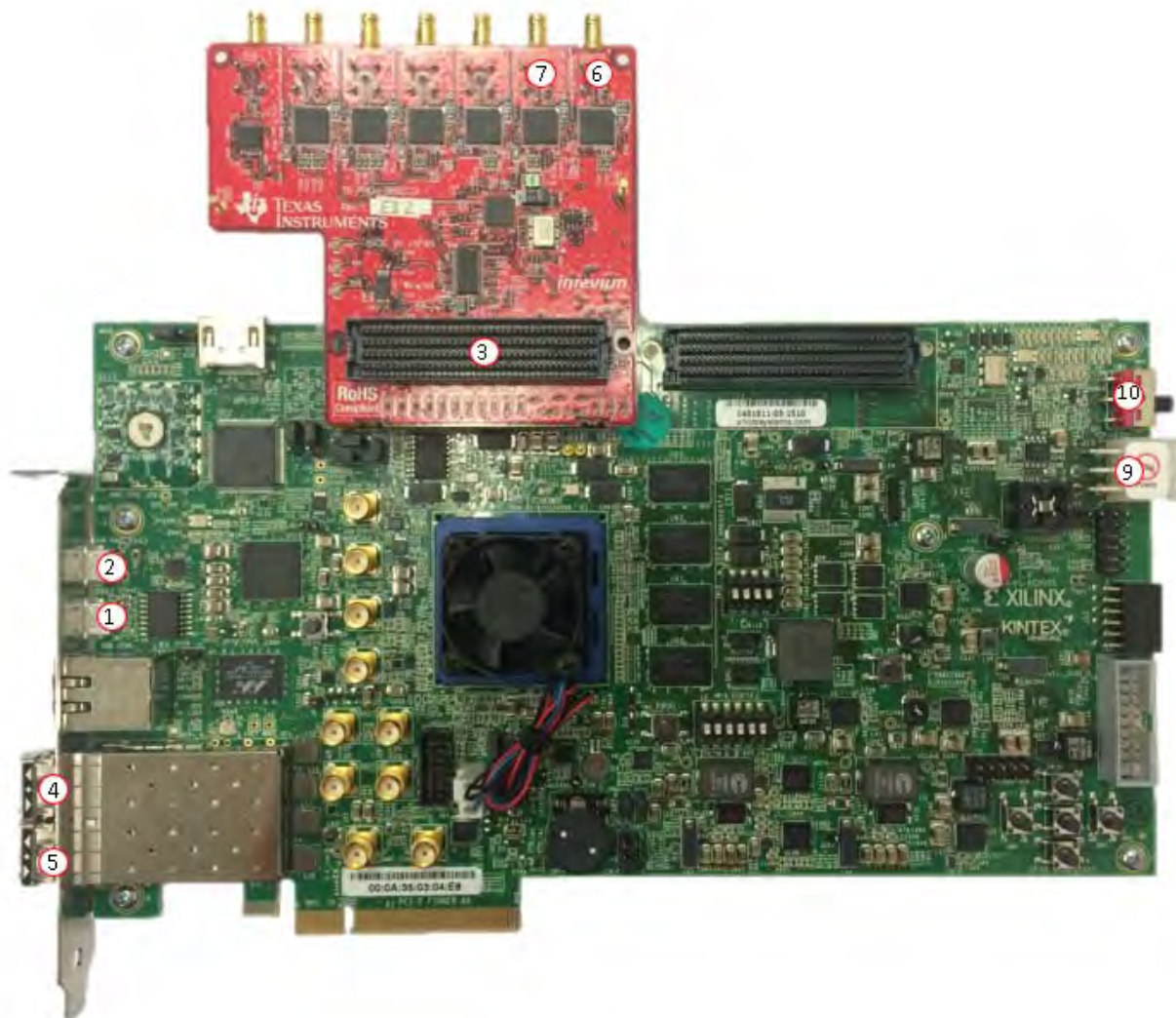


図 11 : KCU105 および TB-FMCH-3GSDI2A ボード

次の手順のカッコ内の番号は図 11 に示す番号に対応しています。

1. USB ケーブルをホスト PC から USB JTAG ポート (1) に接続します。適切なデバイスドライバーがインストールされていることを確認します。
2. 別の USB ケーブルをホスト PC から USB UART ポート (2) に接続します。「ハードウェア要件」に記載された USB-UART ドライバーがインストールされていることを確認します。
3. TB-FMCH-3GSDI2A ボードを KCU105 の HPC-FMC (3) に接続します。
4. SFP+ 光トランシーバーを SFP スロット (4) (プライマリ リンク) および (5) (セカンダリ リンク) に接続します。
5. 光ケーブルの一端 (4) を VoIP トランスミッター ボードの SFP+ に接続し、もう一方の端を VoIP レシーバー ボードの SFP+ に接続します。
6. 光ケーブルの一端 (5) を VoIP トランスミッター ボードの SFP+ に接続し、もう一方の端を VoIP レシーバー ボードの SFP+ に接続します。
7. KCU105 ボードが VoIP レシーバーの場合は、TB-FMCH-3GSDI2A の CH0-TX、CH1-TX、CH2 ポート (6) を SDI ビデオ モニターに接続します。
8. KCU105 ボードが VoIP トランスミッターの場合は、TB-FMCH-3GSDI2A の CH0-RX、CH1-RX、CH2 ポート (7) を SDI ビデオ ジェネレーターに接続します。
9. KCU105 ボードを電源スロット J49 (9) に接続します。
10. KCU105 ボードの電源をオンにします。

11. ホスト PC 上で、次の設定でハイパーターミナルなどの端末プログラムを開始します。

**注記：**シリアル接続をセットアップする場合は、Silicon Labs Dual CP210x USB to UART Bridge: Standard COM Port を探してください。

- 。 ボーレート : 115200
- 。 データビット : 8
- 。 パリティ : なし
- 。 ストップビット : 1
- 。 フロー制御 : なし

## リファレンス デザインの実行

このセクションでは、ready\_for\_download ディレクトリ内のファイルを使用してシステムを実行するのに必要な手順を詳しく説明します。

1. [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [Vivado 2015.1] をクリックして、Xilinx Microprocessor Debugger を起動します。
2. ザイリンクスのコマンド シェル ウィンドウで、ready\_for\_download ディレクトリに変更します。  
VoIP\_TX: > cd <unzip\_dir>\kcu105\_smpte2022\_56\_tx\_ip/ready\_for\_download  
VoIP\_RX: > cd <unzip\_dir>\kcu105\_smpte2022\_56\_rx\_ip/ready\_for\_download
3. ビットストリームを FPGA にダウンロードします。  
XMD% fpga -f download.bit
4. XMD コマンド プロンプトを終了します。  
XMD% exit

**注記：**FPGA のコンフィギュレーションが完了するとすぐにソフトウェア アプリケーションの実行が開始します。実行可能ファイル (.elf) は、コンフィギュレーション ファイル (download.bit) に埋め込まれています。UART 出力の例は、「結果」を参照してください。

## ハードウェアの構築

このセクションでは、ハードウェア デザインの再構築について説明します。プロジェクトを再構築する前に、SMPTE 2022-5/6 Video over IP Transmitter および Receiver コア、10-Gigabit Ethernet PCS/PMA、10-Gigabit Ethernet MAC のライセンスがインストールされていることを確認してください。

**注記：**ファイルパスが長すぎるためにコンパイル エラーが発生しないように、プロジェクト ファイルはできるだけルート ディレクトリの近くに展開してください。たとえば、一般的な Windows システムへのインストールでは、C:\ にファイルを展開します。

## Vivado Design Suite 2015.1 でプログラム ファイルを生成する

1. Vivado Design Suite を起動します。
2. Tcl コンソールに次のように入力し、ワークスペース ディレクトリに変更します。

VoIP\_TX :

```
> cd <unzip_dir>\kcu105_smpte2022_56_tx_ip
```

VoIP\_RX :

```
> cd <unzip_dir>\kcu105_smpte2022_56_rx_ip
```

3. all.tcl スクリプトを実行して、プロジェクト ビットストリームの作成、コンパイル、生成を行います。
 

```
> source all.tcl
```

## SDK でのソフトウェアのコンパイル

all.tcl スクリプトの完了後、プロジェクトのハードウェア情報をエクスポートし、SDK ソース コードをインポートして SDK 環境を準備する必要があります。

1. **ハードウェアのエクスポート** : Vivado 2015.1 で、[File] → [Export] → [Export Hardware] をクリックします。
  - a. [Export Hardware] ポップアップ ウィンドウで、[Include bitstream] をオンにします。
  - b. [Export to:] フィールドを次のように設定します。  
 VoIP\_TX: <unzip\_dir>\kcu105\_smpte2022\_56\_tx\_ip\SW\SDK\_Workspace  
 VoIP\_RX: <unzip\_dir>\kcu105\_smpte2022\_56\_rx\_ip\SW\SDK\_Workspace
2. [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [SDK 2015.1] からザイリンクス SDK 2015.1 を起動します。
  - a. SDK が起動したら、[File] → [New] → [Board Support Package] で新しいボード サポート パッケージを作成します。
  - b. [No Hardware Platforms in the Workspace] ポップアップ ウィンドウで [Specify] をクリックします。
  - c. [Project Name:] フィールドに hw と入力します。
  - d. 対応するフォルダーで .HDF ファイルを選択した後、[Browse] をクリックし、[OPEN] をクリックします。  
 VoIP\_TX: <unzip\_dir>\kcu105\_smpte2022\_56\_tx\_ip\SW\SDK\_Workspace  
 VoIP\_RX: <unzip\_dir>\kcu105\_smpte2022\_56\_rx\_ip\SW\SDK\_Workspace
  - e. [Finish] をクリックします。
  - f. [New Board Support Package Project] ポップアップ ウィンドウの [Project name:] フィールドに voip\_bsp と入力します。
  - g. [Finish] をクリックし、[OK] をクリックします。
3. **SDK ソースのインポート** : SDK 2015.1 で [File] → [Import] をクリックします。
  - a. [Import] ポップアップ ウィンドウで、[General] → [Existing Projects into Workspace] をクリックします。
  - b. [Next] をクリックします。
  - c. [Browse] ボタンをクリックし、対応するフォルダーを参照していることを確認します。  
 VoIP\_TX: <unzip\_dir>\kcu105\_smpte2022\_56\_tx\_ip\SW\SDK\_Workspace  
 VoIP\_RX: <unzip\_dir>\kcu105\_smpte2022\_56\_rx\_ip\SW\SDK\_Workspace
  - d. [OK] をクリックします。
  - e. [voip\_bsp] および [voip\_tx/rx] チェック ボックスがオンになっていることを確認します。
  - f. [Finish] をクリックします。

この段階で、BSP とソフトウェア アプリケーションがコンパイルされます。この処理には 2 分から 5 分程度かかります。これで、SDK 内で既存ソフトウェア アプリケーションの変更や新規ソフトウェア アプリケーションの作成が可能になります。

## SDK でハードウェアおよびソフトウェアを実行する

1. [Xilinx Tools] → [Program FPGA] をクリックします。図 11 を参照してください。

[Hardware Platform] が [Project] フィールドの入力内容と一致していることを確認します (例: hw)。

接続が [Local] に設定されていることを確認します。

bootloop が system\_basic\_i/microblaze\_1 に使用されていることを確認します。

2. [Program] をクリックします。
3. [Project Explorer] で右クリックし、次のようにクリックします。

VoIP\_TX: [voip\_tx] → [Run As] → [Launch on Hardware (GDB)]

VoIP\_RX: [voip\_rx] → [Run As] → [Launch on Hardware (GDB)]



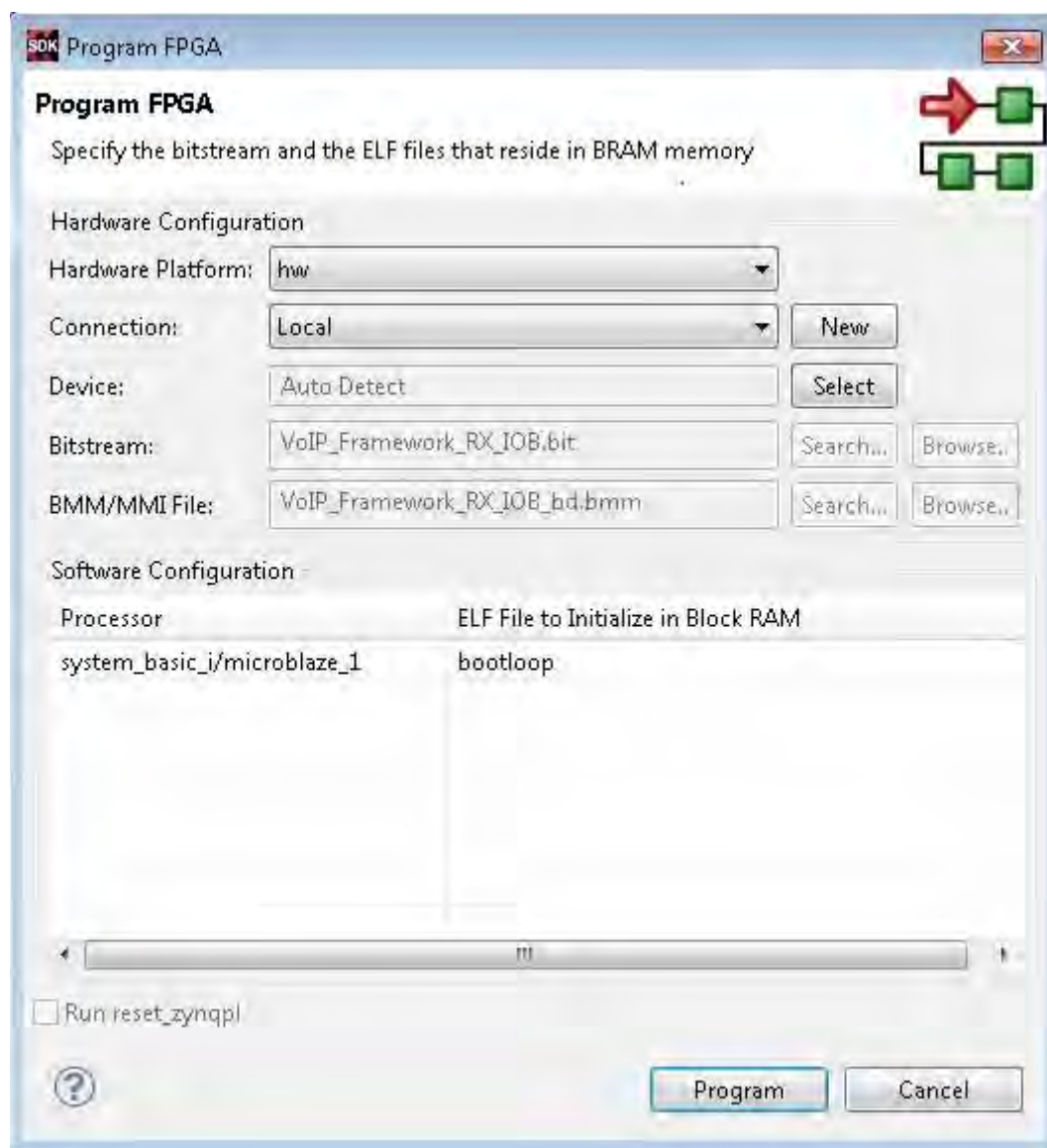


図 12 : Program FPGA のコンフィギュレーション設定

## 結果

VoIP TX のハイパーターミナル画面に図 13 の出力が表示され、VoIP RX のハイパーターミナル画面に図 16 の出力が表示されます。

## VoIP\_TX の UART 画面

```

  /  /  /  /
 /___/ \ /  /
 \   \   \   \
  \   \   \   \
   /   /   /   /
 /___/   \ /   \
 \   \   / \   \
  \___\ / \___\

```

Xilinx Inc.  
 V\_SMPTE2022\_567\_TX 10G  
 Vivado Reference Design  
 Created: April 28, 2015  
 Copyright (c) 2014 Xilinx, Inc.  
 All rights reserved.

VoIP TX Reset

VoIP TX Initializing...

```

EMAC Fault Inhibit      : Enabled
Primary MAC Address     : 00-00-00-00-00-AA
Secondary MAC Address   : 00-00-00-00-00-CC
Hitless Protection     : Enabled
VoIP TX Initialization done

```

Initializing for Primary Channel 1

```

IP Version:      IPv4
MEDIA TTL:      128
MEDIA TOS:      100
FEC TTL:        128
FEC TOS:        100
Dest MAC Address: 00-00-00-00-00-FF
Source IP Addr:  192.168.0.50
Dest IP Addr:    192.168.0.100
Source Port:     0x0010
Dest Port:       0x0010
VLAN:           Disabled
VLAN Tag:       0xAB00
SSRC:          0x12345600
Time Stamp      Enabled
FEC Size:       77x77
FEC On/Off:     On
FEC Level:      B
Block Align:    Block Aligned
Trasmit:        Enable
Primary Channel 1 Initialization Done

```

Initializing For Secondary Channel 1

```

IP Version:      IPv4
MEDIA TTL:      0
MEDIA TOS:      0
FEC TTL:        0
FEC TOS:        0
Dest MAC Address: 00-00-00-00-00-EE
Source IP Addr:  192.168.1.50
Dest IP Addr:    192.168.1.100
Source Port:     0x0010
Dest Port:       0x0010
VLAN:           Disabled
VLAN Tag:       0xAB00
SSRC:          0x12345600
Time Stamp      Enabled
FEC Size:       77x77

```



```
FEC On/Off:      On
FEC Level:       B
Block Align:     Block Aligned
Trasmit:         Enable
Secondary Channel 1 Initialization Done
VoIP TX Channel 1 Enabled
VoIP TX Configuration for Channel 1 Initialization Done
```

```
Initializing for Primary Channel 2
IP Version:      IPv4
MEDIA TTL:       128
MEDIA TOS:       100
FEC TTL:         128
FEC TOS:         100
Dest MAC Address: 00-00-00-00-00-FF
Source IP Addr:  192.168.0.50
Dest IP Addr:    192.168.0.100
Source Port:     0x0020
Dest Port:       0x0020
VLAN:            Disabled
VLAN Tag:        0xAB10
SSRC:            0x12345610
Time Stamp       Enabled
FEC Size:        77x77
FEC On/Off:      On
FEC Level:       B
Block Align:     Block Aligned
Trasmit:         Enable
Primary Channel 2 Initialization Done
```

```
Initializing For Secondary Channel 2
IP Version:      IPv4
MEDIA TTL:       0
MEDIA TOS:       0
FEC TTL:         0
FEC TOS:         0
Dest MAC Address: 00-00-00-00-00-EE
Source IP Addr:  192.168.1.50
Dest IP Addr:    192.168.1.100
Source Port:     0x0020
Dest Port:       0x0020
VLAN:            Disabled
VLAN Tag:        0xAB10
SSRC:            0x12345610
Time Stamp       Enabled
FEC Size:        77x77
FEC On/Off:      On
FEC Level:       B
Block Align:     Block Aligned
Trasmit:         Enable
Secondary Channel 2 Initialization Done
VoIP TX Channel 2 Enabled
VoIP TX Configuration for Channel 2 Initialization Done
```

```
Initializing for Primary Channel 3
IP Version:      IPv4
MEDIA TTL:       128
MEDIA TOS:       100
FEC TTL:         128
FEC TOS:         100
```

```
Dest MAC Address: 00-00-00-00-00-FF
Source IP Addr:   192.168.0.50
Dest IP Addr:    192.168.0.100
Source Port:     0x0030
Dest Port:       0x0030
VLAN:           Disabled
VLAN Tag:        0xAB20
SSRC:           0x12345620
Time Stamp      Enabled
FEC Size:        77x77
FEC On/Off:     On
FEC Level:       B
Block Align:    Block Aligned
Trasmit:        Enable
Primary Channel 3 Initialization Done

Initializing For Secondary Channel 3
IP Version:      IPv4
MEDIA TTL:       0
MEDIA TOS:       0
FEC TTL:         0
FEC TOS:         0
Dest MAC Address: 00-00-00-00-00-EE
Source IP Addr:  192.168.1.50
Dest IP Addr:    192.168.1.100
Source Port:     0x0030
Dest Port:       0x0030
VLAN:           Disabled
VLAN Tag:        0xAB20
SSRC:           0x12345620
Time Stamp      Enabled
FEC Size:        77x77
FEC On/Off:     On
FEC Level:       B
Block Align:    Block Aligned
Trasmit:        Enable
Secondary Channel 3 Initialization Done
VoIP TX Channel 3 Enabled
VoIP TX Configuration for Channel 3 Initialization Done

-----
-- VoIP TX Main Menu --
-----

Select option
1 = Reset Core
2 = Initialize Core
3 = Change Primary MAC Address
4 = Change Secondary MAC Address
5 = Hitless Protection On/Off
6 = 10G MAC Fault Inhibit On/Off
s = Configure Channel
p = Probe Current Settings
?= help
-----
>
```

図 13: VoIP\_TX の UART 画面

VoIP TX メイン メニューに表示される 9 つのオプションのうち 1 つを選択できます (図 13 参照)。

注記: ヒットレス保護をオフにして (オプション 5)、TX から RX への 1 本の (ダウンストリーム) 光リンクを有効にします。チャンネル選択画面が表示されます。

```

-----
--  Select Channel  --
-----
Primary Channels
1 = Channel 1
2 = Channel 2
3 = Channel 3
Secondary Channels
a = Channel 1
b = Channel 2
c = Channel 3
-----
>

```

図 14: VoIP\_TX のハイパーターミナル出力 (チャンネル選択メニュー)

各リンク (プライマリ/セカンダリ) について 3 つのチャンネルのうち 1 つを選択するか、メイン メニューに戻ることができます (図 14 参照)。利用可能なチャンネルから選択すると、[Select Option] サブメニューが表示され、メニューリストから次のオプションのうち 1 つを選択できます (図 15 参照)。

```

-----
--  Select Option  --
-----
1 = Channel Init
2 = Channel Enable/Disable
3 = Change Host IP Address
4 = VLAN En/Disable
5 = Change VLAN Tag
6 = Set Dest MAC Addr
7 = Set Dest IP Addr
8 = Set Source UDP Port
9 = Set Dest UDP Port
0 = Set SSRC
a = FEC On/Off
b = Toggle FEC Level
c = Set Column FEC
d = Set Row FEC
e = Toggle Block Alignment
f = Time Stamp Include En/Disable
t = Transmit Enable/Disable
r = Transmit Packet Count Stat Reset
p = Probe Status
m = Main Menu
s = Channel Select
-----
>

```

図 15: VoIP\_TX のハイパーターミナル出力 (オプション選択メニュー)

## VoIP\_RX の UART 画面

```

  /_____/_____/
 /_____/_____/
 \_____/_____/
  \_____/_____/
   /_____/_____/
  /_____/_____/
 \_____/_____/
  \_____/_____/

```

Xilinx Inc.  
V\_SMPTE2022\_567\_RX 10G  
Vivado Reference Design  
Created: April 28, 2015  
Copyright (c) 2014 Xilinx, Inc.  
All rights reserved.

VoIP RX Reset

VoIP RX Initializing...

EMAC Fault Inhibit: Enabled

Network Diff.Path: 1350000  
FEC Base Address: 0xD8000000  
FEC Pool Size: 72855552  
VoIP RX General Space Initialization done

Initializing Channel 1

Primary Stream Configure

IP Version: IPv4  
Match VLAN: Disable  
Match VLAN Tag: 0xAB00  
Match Dest IP Addr: 192.168.0.100  
Match Host IP Addr: 192.168.0.50  
Match Dest Port: 0x0010  
Match Source Port: 0x0010  
Match SSRC: 0x12345600

Match Select:

SSRC: Off  
Dest UDP: On  
Source UDP: Off  
Dest IP: Off  
Src IP: Off  
VLAN: Off

Secondary Stream Configure

IP Version: IPv4  
Match VLAN: Disable  
Match VLAN Tag: 0xAB00  
Match Dest IP Addr: 192.168.0.100  
Match Host IP Addr: 192.168.0.50  
Match Dest Port: 0x0010  
Match Source Port: 0x0010  
Match SSRC: 0x00000000

Match Select:

SSRC: Off

```
Dest UDP:           On
Source UDP:         Off
Dest IP:            Off
Src IP:             Off
VLAN:               Off

General Channel Setting:
Playout Delay:      2700000
Channel Buffer Address: 0xC0000000
Channel Buffer Size: 65535
Timestamp Bypass:   Disable
Channel 1 Enabled
Channel 1 Initialization Done

Initializing Channel 2
Primary Stream Configure
IP Version:         IPv4
Match VLAN:         Disable
Match VLAN Tag:     0xAB10
Match Dest IP Addr: 192.168.0.100
Match Host IP Addr: 192.168.0.50
Match Dest Port:    0x0020
Match Source Port:  0x0020
Match SSRC:         0x12345610

Match Select:
  SSRC:             Off
  Dest UDP:         On
  Source UDP:       Off
  Dest IP:          Off
  Src IP:           Off
  VLAN:             Off

Secondary Stream Configure
IP Version:         IPv4
Match VLAN:         Disable
Match VLAN Tag:     0xAB10
Match Dest IP Addr: 192.168.0.100
Match Host IP Addr: 192.168.0.50
Match Dest Port:    0x0020
Match Source Port:  0x0020
Match SSRC:         0x00000000

Match Select:
  SSRC:             Off
  Dest UDP:         On
  Source UDP:       Off
  Dest IP:          Off
  Src IP:           Off
  VLAN:             Off

General Channel Setting:
Playout Delay:      2700000
Channel Buffer Address: 0xC8000000
Channel Buffer Size: 65535
Timestamp Bypass:   Disable
Channel 2 Enabled
Channel 2 Initialization Done
```

```
Initializing Channel 3
Primary Stream Configure
IP Version:                IPv4
Match VLAN:                Disable
Match VLAN Tag:           0xAB20
Match Dest IP Addr:       192.168.0.100
Match Host IP Addr:       192.168.0.50
Match Dest Port:          0x0030
Match Source Port:        0x0030
Match SSRC:                0x12345620
```

```
Match Select:
  SSRC:                    Off
  Dest UDP:                 On
  Source UDP:               Off
  Dest IP:                  Off
  Src IP:                   Off
  VLAN:                     Off
```

```
Secondary Stream Configure
IP Version:                IPv4
Match VLAN:                Disable
Match VLAN Tag:           0xAB20
Match Dest IP Addr:       192.168.0.100
Match Host IP Addr:       192.168.0.50
Match Dest Port:          0x0030
Match Source Port:        0x0030
Match SSRC:                0x00000000
```

```
Match Select:
  SSRC:                    Off
  Dest UDP:                 On
  Source UDP:               Off
  Dest IP:                  Off
  Src IP:                   Off
  VLAN:                     Off
```

```
General Channel Setting:
Playout Delay:             2700000
Channel Buffer Address:     0xD0000000
Channel Buffer Size:        65535
Timestamp Bypass:         Disable
Channel 3 Enabled
Channel 3 Initialization Done
```

```
-----
-- VoIP RX Main Menu --
-----
```

```
Select option
1 = Reset Core
2 = Initialize Core
3 = 10G MAC Fault Inhibit On/Off
r = Reset General Space Stat Counters
s = Configure Channel
p = Probe Current Settings
?= help
```

```
>
```

図 16: VoIP\_RX のハイパーターミナル出力

VoIP\_RX メイン メニューに表示される 7 つのオプションのうち 1 つを選択できます (図 16 参照)。

```

Select channel screen display:
-----
--  Select Channel  --
-----
Primary Channels
1 = Channel 1
2 = Channel 2
3 = Channel 3
Secondary Channels
a = Channel 1
b = Channel 2
c = Channel 3
-----
>

```

図 17: VoIP\_RX のハイパーターミナル出力 (チャンネル選択メニュー)

## VoIP\_RX のハイパーターミナル出力 (チャンネル選択メニュー)

各リンク (プライマリ/セカンダリ) について 3 つのチャンネルのうち 1 つを選択するか、メイン メニューに戻ることができます (図 17 参照)。利用可能なチャンネルから選択すると、[Select Option] サブメニューが表示され、メニューリストから次のオプションのうち 1 つを選択できます (図 18 参照)。

```

-----
--  Select Option  --
-----
1 = Channel Init
2 = Channel Enable/Disable
3 = Match VLAN On/Off
4 = Timestamp Bypass On/Off
5 = Channel Filter Change
p = Probe Status
q = Probe Statistic
r = Channel Statistics Reset
m = Main Menu
s = Channel Select
-----
>

```

図 18: VoIP\_RX のハイパーターミナル出力 (オプション選択メニュー)

## デバッグ

オンボードの GPIO LED を利用することで、素早いトラブルシューティングが可能です。正常に動作している場合、ビットストリーム コンフィギュレーションの完了後 5 秒以内にすべての LED が非同期にオンになります。表 8 に LED の説明を示します。

表 8: トランスミッターおよびレシーバーの KCU105 GPIO LED の意味

GPIO_LED	意味
0	10G PCS/PMA のプライマリ リンク アップ
1	10G PCS/PMA のセカンダリ リンク アップ
2	QPLL0 のロック
3	QPLL1 のロック
4	Si5328 の未ロック (反転)
5	GTRESETDONE
6	MMCM のロック
7	DDR メモリの初期化完了

GPIO\_LED 0 および 1: この LED がオフの場合は、プライマリ リンクまたはセカンダリ リンクが反対側のボードに適切に接続されていないことを意味します。

GPIO\_LED 2 および 3: この LED が暗い場合は、1.8V VADJ が適切に設定されていないことを意味します。下記の VADJ を 1.8V に設定する手順を参照してください。

GPIO\_LED 4: この LED が暗い場合は、156.25MHz イーサネット クロックが起動していないことを意味します。このクロックがオンになるには、ビットストリームのコンフィギュレーションの完了後約 15 秒かかります。

GPIO\_LED 6 および 7: この LED が暗い場合は、メモリ サブシステムが正常に初期化されていないことを意味します。KCU105 の量産版を使用していることを確認してください。

## VADJ を 1.8V に設定する

FMCH ポートへの VADJ 電源が 1.8V であることを確認します。VADJ 電源が正常かどうかは、KCU105 ボードの電源スイッチの近くにある DS19 LED でわかります。LED がオフの場合は、KCU105 のシステム コントローラーの UART インターフェイスから VADJ 電源を設定できます。

ターミナルウィンドウ (I15200、8、N、1) を開き、COM ポートを KCU105 システム コントローラーと通信しているポートに設定します (1 つの microUSB コネクタで Zynq-7000 システム コントローラーの UART と UltraScale FPGA の UART の両方にアクセスすることに注意)。Windows デバイス マネージャーで、CP210x に関連付けられている拡張 COM ポートが、システム コントローラーに接続されているポートです。

システムの起動後、IP (SMPTE 2022-56 TX および RX) コアのデバッグを実行する必要があります。これについては、『LogiCORE IP SMPTE 2022-5/6 Video over IP Transmitter v4.0 製品ガイド』[参照 4] および『LogiCORE IP SMPTE 2022-5/6 Video over IP Receiver v5.0 製品ガイド』[参照 5] の「デバッグ」に記載されています。

### 既知の問題

1. MIG IP コア内で IPI サブシステムのタイミング違反が発生することがあります。
2. 適切な 3G-SDI レベル B 動作を保証するには、VoIP\_TX の rxN\_dout\_rdy\_3G 入力に接続された UHD-SDI の rx\_ce\_out 出力ポートが 1 rxN\_clk サイクルだけ遅延されなければなりません。これは信号名 sdi\_rx\_ce\_ff でリファレンス デザインに組み込まれています。



## 参考資料

このアプリケーション ノートの参考資料は次のとおりです。

1. ザイリンクス Kintex UltraScale FPGA KCU105 評価キット  
<http://japan.xilinx.com/products/boards-and-kits/kcu105.html>
2. inrevium TB-FMCH-3GSDI2A  
<http://solutions.inrevium.com/products/fmc/hpc/index.html>
3. AMBA AXI4 仕様:  
<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.set.amba/index.html>
4. 『SMPTE 2022-5/6 Video over IP Transmitter LogiCORE IP 製品ガイド』(PG032 : [英語版](#)、[日本語版](#))
5. 『SMPTE 2022-5/6 Video over IP Receiver LogiCORE IP 製品ガイド』(PG033 : [英語版](#)、[日本語版](#))
6. 『LogiCORE IP SMPTE UHD-SDI 製品ガイド』([PG205](#))
7. 『LogiCORE IP 10-Gigabit Ethernet MAC 製品ガイド』([PG072](#))
8. 『LogiCORE IP 10-Gigabit Ethernet PCS/PMA 製品ガイド』([PG068](#))
9. 『AXI リファレンス ガイド』([UG761](#))
10. 『LogiCORE IP UltraScale アーキテクチャ FPGA メモリ インターフェイス ソリューション製品ガイド』(PG150 : [英語版](#)、[日本語版](#))
11. 『UltraScale GTH トランシーバーを使用した SMPTE SDI インターフェイスの実装』(XAPP1248 : [英語版](#)、[日本語版](#))

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2015年6月24日	1.0	初版

## 法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

© Copyright 2015 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある[フィードバック送信]ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。