



ALL PROGRAMMABLE™

XAPP1285 (v1.0) 2016 年 6 月 10 日

Video Processing Subsystem によるライブビデオのスケーリング

著者 : Brian Wic

概要

多くの放送用および民生用ビデオアプリケーションは、ビデオフレームサイズの変更を必要とします。これに対応するためのテクニックはスケーリングと呼ばれ、(アップスケールとダウンスケールのどちらを実行するかによって) イメージの補間または間引きを実行し、中間ピクセル値を生成または破棄します。特にビデオフレームサイズは増加し続けているため、高い処理帯域幅要件とビデオ スケーリング アルゴリズム固有の並列性により、ビデオ スケーリングを実行するプラットフォームとしての FPGA の魅力はますます高くなっています。また、FPGA は業界標準インターフェイスを統合できる柔軟性を備えており、通常 ASSP ではサポートされない任意の解像度のスケーリングを実行できます。

このアプリケーション ノートでは、一般的なビデオ スケーリングアプリケーションで LogiCORE™ Video Processing Subsystem (VPSS) コアを使用する方法を示します。このコアは、多数のビデオ処理機能を実装するための IP サブコアをまとめる階層構造の IP です。VPSS は各種の高度な設定に対応していますが、このデザインで説明するのはビデオ スケーリングを実装するためのコアの使用法であるため、IP サブシステムに含まれるその他の未使用の機能ブロックは無効にします。このアプリケーション ノートは、VPSS の使用法の学習とその他のビデオ スケーリング IP から VPSS への移行に関心を持つ設計者を対象としています。主な目的は、簡単なビデオ スケーリング パイプラインの構築方法を示すことです。

このアプリケーション ノートに関連するデザインは Vivado® Design Suite 2015.4 を使用して作成され、Zynq®-7000 All Programmable SoC ZC702 評価キットをターゲットとしています。また、ライブ ビデオ入力に対応するため、オプションで Avnet の FMC-IMAGEON FMC モジュールもサポートしています。

はじめに

このデザインでは、VPSS をスケーラー専用設定で使用し、一般的なビデオ処理データバスでライブ ビデオ データのサイズを変更する方法を紹介します。Avnet の FMC-IMAGEON FMC カードからの ADV7611 HDMI™ 入力を使用すると、ビデオをデータバスに送信できます。このカードを使用できない場合は、内部ビデオソースとして LogiCORE IP の Video Test Pattern Generator を使用します。データは AXI4-Stream に変換された後で VPSS に送信され、そこでスケーリングが実行されます。一般に、スケーリングの入力と出力では必要なピクセルレートが異なるため、入力と出力のビデオ インターフェイスは別のピクセルクロックソースを使用します。このため、非同期クロック使用時にティアリングなどのアーチファクトの発生を防止するため、VPSS 出力では入力と出力のビデオクロックを適切にデカップリングするトリプルフレームバッファを使用します。フレームバッファの後、ビデオデータは元のネイティブビデオ インターフェイスに変換され、ZC702 ボードと FMC-IMAGEON カードの両方の ADV7511 トランスミッターに同時に送られます。そのため、どちらの HDMI コネクタでも出力ビデオを確認できます。

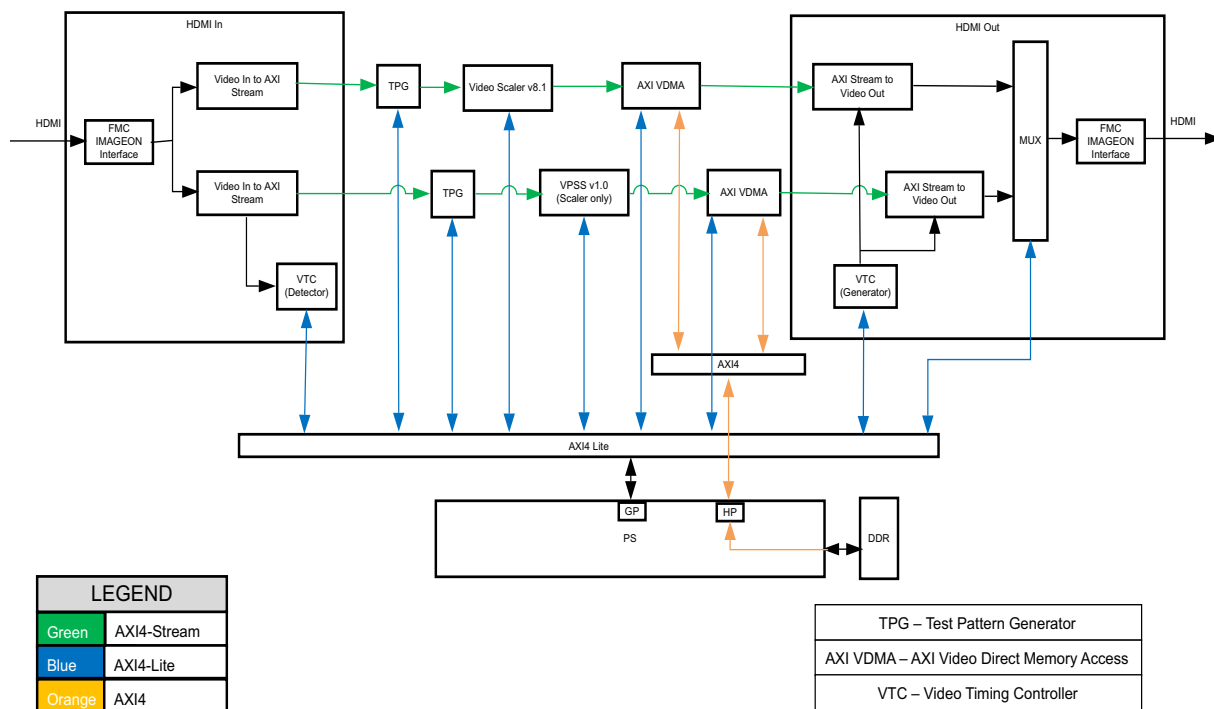
Video Scaler v8.1 がビデオのサイズ変更を実行する並列データバスはもう 1 つあります。どちらのデータバスも同じ信号ソースからビデオ データを受け取ります。別の IP コアでスケーリングを実行する点以外はすべて同じです。最終的な出力データはソフトウェア制御されたマルチプレクサーの後で、ADV7511 トランスミッターに送られます。これにより、実行時に各データバスを動的に選択することでイメージ品質を比較できます。

このデザインには、Zynq-7000 AP SoC のプロセッシング サブシステム (PS) 内にある ARM® プロセッサで実行するエンベデッド ソフトウェア コンポーネントが含まれています。このソフトウェアは、システム内の IP コアを初期化して設定します。また、使用するスケーラー データバス、入力および出力フレーム サイズ、Video Test Pattern Generator をバイパスするかどうかをユーザーが動的に変更できるようにします。

インプリメンテーションの詳細

ハードウェア

このサンプル デザイン向けハードウェアの大部分は Vivado IP インテグレーターを使用して作成しました。Vivado IP インテグレーターを使用することで、設計者は迅速に IP のインスタンスを作成して IP に接続できるため、最大の生産性が実現されます。このフローは、設定の検証と IP インターフェイスの手動接続に関連したエラーを回避して、設計の反復を最小限に抑えます。



X16813-052716

図 1: ハードウェア デザインの機能ブロック図

IP コア

Video In to AXI4-Stream

Video In to AXI4-Stream コアは、ADV7611 が使用するネイティブ ビデオ インターフェイス (hblank/vblank または hsync/vsync) からザイリンクスのビデオ処理 IP コアが使用する AXI4-Stream ビデオ プロトコルへのブリッジを実装しています。

このコアの詳細は次の資料を参照してください。

[『Video In to AXI4-Stream v4.0 LogiCORE IP 製品ガイド』\(PG043\)](#)

Video Timing Controller 検出器

タイミング検出器として設定された Video Timing Controller (VTC) は、受信したビデオ フレーム サイズを自動的に検出します。Video In to AXI4-Stream と組み合わせて使用すると、(コアの起動イベントまたはホットプラグ イベントに起因する) 不完全なフレームがダウンストリーム ロジックに伝搬することを防止できます。このコアによってキャプチャされたフレーム サイズ データを使用し、AXI4-Lite レジスタのソフトウェア アクセスを介して、ダウンストリーム コアに適切な受信フレーム サイズを設定することもできます。この VTC ジェネレーターは、所定の出力ビデオ フォーマットに基づいたネイティブ ビデオ タイミング信号の再生成にも使用します。

このコアの詳細は次の資料を参照してください。

[『Video Timing Controller v6.1 LogiCORE IP 製品ガイド』\(PG016\)](#)

Video Test Pattern Generator

この Video Test Pattern Generator (TPG) デザインは各データバスに 1 つずつ、合計 2 つの Video Test Pattern Generator コアをインスタンス化しています。これらのコアはライブビデオ以外の代替ビデオソースとして使用します。これはデバッグ時に便利であり、IMAGEON FMC カードが使用できない場合にも役立ちます。

2 つの独立した TPG を使用する理由は、別のスケーリング コアを使用することで 2 つのデータバスのスロットル動作が若干異なる可能性があるためです。2 つの独立した TPG を使用すれば、それらの TPG は同様に設定されているため同じビデオデータが保証されますが、わずかなインターフェース タイミングの差はより簡単に回避できます。

Video Test Pattern Generator コアは、カラーバーテストパターンを生成するように設定されています。画面には、各所を移動する小さい四角形も表示されます。この四角形の色は、どのデータバス信号が表示用モニターへ送信されているかを示します。四角形が青の場合 Scaler v8.1 データバスがアクティブになっており、赤の場合は VPSS データバスが使用されています。

このコアの詳細は次の資料を参照してください。

[『Video Test Pattern Generator v7.0 LogiCORE IP 製品ガイド』\(PG103\)](#)

Video Processing Subsystem

VPSS はビデオ スケーリング機能を実行します。このコアは各種の画像処理機能をサポートしますが、このデザインではビデオデータのスケージングのみを実行するように設定されています。このコアの機能をすべて示すデモンストレーションは、Video Processing Subsystem の「リファレンスデザイン」を参照してください。

1 クロックあたり複数ピクセルのモードを使用する場合、VPSS は Ultra HD (UHD) を上回る解像度をサポートしますが、このデザインに含まれるコアは、1 クロックあたり 1 ピクセルのモードを使用して HD 形式をサポートするように設定されています。これは、1 クロックあたり 1 ピクセルのみをサポートする Video Scaler v8.1 との下位互換性を提供するためです。

VPSS には接続の必要なクロックが 2 つあります。aclk_ctrl は AXI4-Lite 制御インターフェイス用のクロックで、PS から供給される 50 MHz クロックです。aclk_axis ピンはデータ処理および AXI4-Stream インターフェイス用のクロックです。このクロックは、ターゲットの HD 解像度に十分な処理帯域幅を提供するために、150 MHz で実行するように設定されています (aclk_axis は最大アクティブピクセルレート以上で実行する必要があります)。具体的に説明すると、このデザインは 162 MHz のピクセルクロックを持つ Ultra eXtended Graphics Array (UXGA) までの解像度をサポートしています (アクティブピクセルレートは 1600 ピクセル/ライン × 1200 ライン/フレーム × 60 フレーム/秒 = 115.2 メガピクセル/秒なので、150 MHz のクロックで十分)。

また、このコアには aresetn_io_axis と呼ばれる出力リセット信号があります。この信号の目的は、VPSS が設定され aresetn_io_axis 信号を受け取る準備ができるまで、アップストリーム コアからのデータ送信を遅らせることです。この信号は、ソフトウェアから XVprocSs_SetSubsystemConfig() が呼び出されるたびにアサートされます。XVprocSs_SetSubsystemConfig() は、VPSS 設定を変更するたびに呼び出す必要があります。こうして、VPSS 設定を変更する必要があるたびに (解像度やカラーフォーマットの変更)、Video Test Pattern Generator などのアップストリーム コアがリセットされます。したがって、ソフトウェアはこのイベントが発生すると、アップストリームにあるすべてのコアの再設定を処理する必要があります。

Full Fledged モードの場合、VPSS はクロッピング、ズーム、ピクチャ インピクチャの各機能をサポートします。これらの機能は、コアのスケージング機能とビデオ DMA 機能の両方を使用して実現します。スケーラー専用モードはコア自体に DMA エンジンを含まないため、このデザインの AXI VDMA インスタンスを VPSS のアップストリーム (ダウンストリームではなく) に配置することでクロッピング機能 (Scaler v8.1 で利用できたものと同様) を実現することもできます。さらに、AXI VDMA MM2S チャネルの開始アドレス、hsize、ストライド、vsize の設定を操作することで、受信イメージのサブセットをクロッピングできます。次にそれを VPSS に送信し、そこでフル解像度にスケージングできます。このデザインにはクロッピングは実装されていません。

VPSS コアの詳細は次の資料を参照してください。

[『Video Processing Subsystem v1.0 製品ガイド』\(PG231\)](#)

Video Scaler

Video Scaler IP もビデオサイズの変更機能を実装できます。Video Scaler IP は、システム設計者がそこから VPSS に移行できる参照ポイントとしてこのデザインに含まれています。この IP は、VPSS が使用するものと同じ機能セットをサポートするように設定されています。

注記： Video Scaler IP を新規デザインに使用することはお勧めしません。ここで Video Scaler IP は、スケーラー専用モードで VPSS に移行するための参照ポイント例を提供することを目的としてのみ用いています。

このコアの詳細は次の資料を参照してください。

[『Video Scaler v8.1 LogiCORE IP 製品ガイド』\(PG009\)](#)

AXI4-Stream Subset Converter

このデザインで使用する ADV7611 レシーバーと ADV7511 トランスミッターは、1 コンポーネントあたり 8 ビットの YCbCr 4:2:2 カラーフォーマット向けに設定されています。この結果、ビデオデータインターフェイスの幅は 1 クロックサイクルあたり 16 ビット (輝度のコンポーネント用に 8 ビット、インターリーブされた赤と青の彩度コンポーネント用に 8 ビット) となります。Video Test Pattern Generator と VPSS は、カラーフォーマットの実行時設定 (Scaler v8.1 は未サポート) をサポートしているため、常に 3 つのカラーコンポーネントをサポートするハードウェアデータ幅を使用します (たとえば、4:2:2 サブサンプリング向けにソフトウェアでコアを設定している場合、3 つのうち 2 つのコンポーネントしか使用してなくても、8 ビット/コンポーネントの RGB または YCbCr 4:4:4 には 24 ビット/ピクセルのハードウェアが必要)。このデザインでは 2 つのカラーコンポーネントのみを使用しているため、AXI4-Stream サブセットコンバーターを使用して、YCbCr 4:2:2 に使用するコンポーネント (下位 16 ビット) に対してのみインターフェイスからゼロパディングまたはビット選択を実行します。最終的に、これらのブロックはデザインの中でワイヤとして最適化されるため、エリアコストはかかりません。

このコアの詳細は次の資料を参照してください。

[『AXI4-Stream Infrastructure IP Suite LogiCORE IP 製品ガイド』\(PG085\)](#)

AXI Video Direct Memory Access

AXI Video Direct Memory Access (VDMA) コアは、入力および出力のピクセルクロックをデカップリングするために使用します。これらのコアはトリプルフレームバッファとして設定されており、HP ポート経由での PS メモリコントローラーへの接続を介して、外部 DDR にビデオデータを格納します。

理論上の最大ビデオメモリ帯域幅 (ストリームあたり) は、次の式で計算されます。

帯域幅 (ストリームあたり) = 最大フレームレート × 最大アクティブライン/フレーム × 最大アクティブピクセル/ライン × ビット/ピクセル (b/s)

このデザインは UXGA (1600 x 1200) までの解像度を 1 秒あたり 60 フレームでサポートするため、最大フレームレートは 60、最大アクティブライン/フレームは 1600、最大アクティブピクセル/ラインは 1200 になります。また、このデザインは、コンポーネントあたり 8 ビットの YCbCr 4:2:2 カラーフォーマットのみをサポートするため、16 ビット/ピクセルです。上記の式を使用すると、このデザインで最終的に必要な帯域幅は次のようになります。

帯域幅 (ストリームあたり) = $60 \times 1600 \times 1200 \times 16 = 1,843,200,000 = 1.8432$ (Gb/s)

このデザインは合計で 4 つ (それぞれに読み出しと書き込みの両方が設定された 2 つの AXI VDMA インスタンス) のストリームを使用するため、合計メモリ帯域幅要件は次のようになります。

帯域幅 (合計) = $1.8432 \times 4 = 7.3728$ (Gb/s)

AXI VDMA の各メモリマップドインターフェイスは、少なくとも、必要なストリームあたり帯域幅をサポートするように設定する必要があります。これらのインターフェイスには 64 ビット幅および 200 MHz の実行レートが設定されているので、サポートされる理論上の最大帯域幅は、 $64 \times 200 = 12,800$ (Mb/s) = 12.8 (Gb/s) になります。

このコアの詳細は次の資料を参照してください。

[『AXI Video Direct Memory Access v6.2 LogiCORE IP 製品ガイド』\(PG020\)](#)

AXI Interconnect

このデザインは AXI Interconnect IP のインスタンスを 3 つ使用しています。このデザインの control_path 階層に含まれる axi_interconnect_0 は、各種 IP コアの制御インターフェイスにアクセスできる小エリア、狭帯域幅の AXI4-Lite インターコネクタです。このインターコネクタはビデオ データの処理は行いません。

framebuffer_old および framebuffer_new 階層で使用するコアの axi_interconnect_1 インスタンスは、DDR に対するビデオ データのリアルタイム転送をサポートする高性能向けに設定されています。具体的には、これらのインスタンスはそれぞれが 2 つ (書き込みと読み出し) のビデオ ストリームを処理するため、最大で $1.8432 \times 2 = 3.6864$ (Gb/s) の合計帯域幅をサポートするように設定する必要があります。これらのインターフェイスには 64 ビット幅および 200 MHz の実行レートが設定されているので、サポートされる理論上の最大帯域幅は、 $64 \times 200 = 12800$ (Mb/s) = 12.8 (Gb/s) になります。

このコアの詳細は次の資料を参照してください。

[『AXI Interconnect v2.1 LogiCORE IP 製品ガイド』\(PG059\)](#)

Video Timing Controller ジェネレーター

Video Timing Controller (タイミング ジェネレーターとして設定済み) は、必要な出力ビデオ フォーマットに基づいてネイティブ ビデオ タイミング信号を再生成するために使用します。

このコアの詳細は次の資料を参照してください。

[『Video Timing Controller v6.1 LogiCORE IP 製品ガイド』\(PG016\)](#)

AXI4-Stream to Video Out

この IP は、ザイリンクスのビデオ IP コアが使用する AXI4-Stream ビデオ フォーマットを、ADV7511 デバイスへのビデオ データ転送で使用するネイティブ ビデオ フォーマットに変換します。

このコアの詳細は次の資料を参照してください。

[『Video In to AXI4-Stream v4.0 LogiCORE IP 製品ガイド』\(PG043\)](#)

AXI IIC

AXI IIC コアは、IMAGEON FMC カード上の ADV7511 トランスミッターと ADV7611 レシーバーを設定するために使用します。

このコアの詳細は次の資料を参照してください。

[『AXI IIC バス インターフェイス v2.0 LogiCORE IP 製品ガイド』\(PG090\)](#)

AXI General Purpose Input/Output (GPIO)

AXI General Purpose IO コアは、ソフトウェアを介して 2 つのデータパス間の実行時切り替えを可能にする出力ビデオ マルチプレクサーの制御に使用します。

このコアの詳細は次の資料を参照してください。

[『AXI GPIO v2.0 LogiCORE IP 製品ガイド』\(PG144\)](#)

ソフトウェア

このデザインのデータパスに対するアプリケーションレベルのソフトウェアアーキテクチャには、[図 2](#) に示すように 3 つのソフトウェアレイヤーが含まれます。

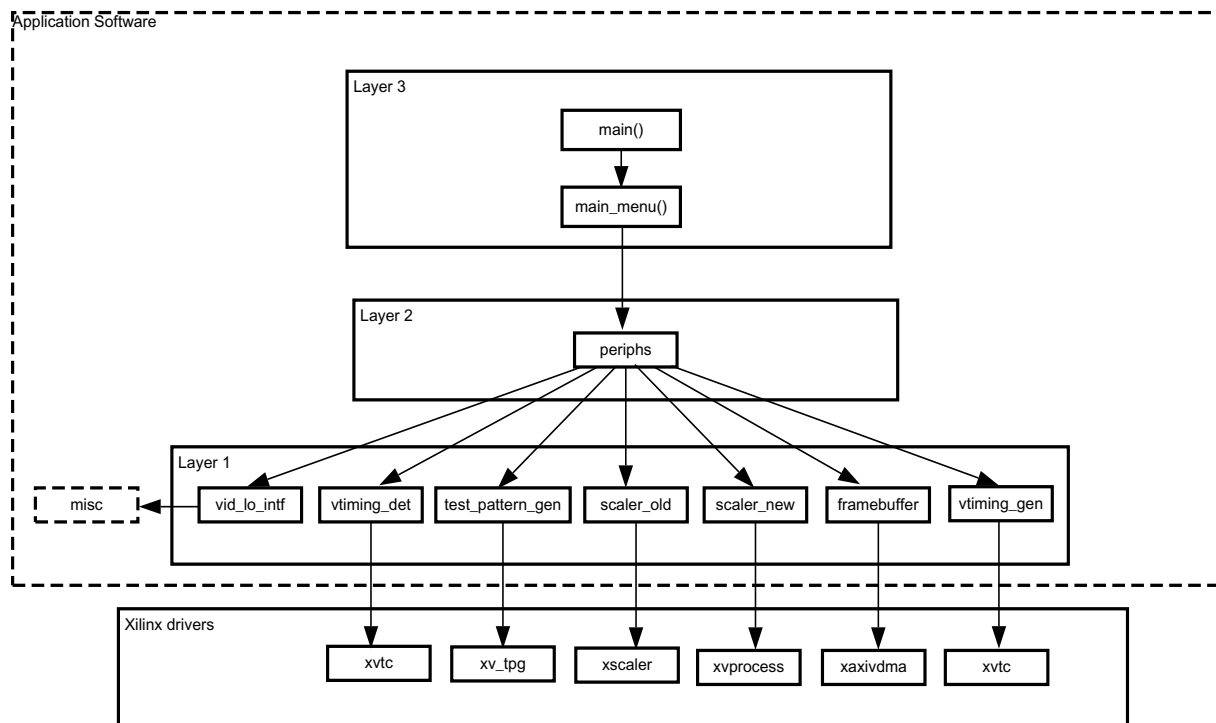


図 2: アプリケーションレベルのソフトウェアアーキテクチャ

最上位レイヤー (レイヤー 3) のコードは `main.c` に含まれており、アプリケーションへのエントリーポイントです。このコードは `periphs_t` オブジェクトのインスタンスを含み、適切なレイヤー 2 ソフトウェアを呼び出してデバイスを初期化します。初期化が完了すると、ソフトウェアはバックグラウンドプロセスに制御を渡し、UART を介してユーザーがキーを押すまで待機します。何らかの設定オプションを変更するためにキーが押されると、ソフトウェアは再び適切なレイヤー 2 関数を呼び出してハードウェアをアップデートします。

その下のレベルはペリフェラルです (レイヤー 2)。このソフトウェアには、このデザインだけでなく、IP 設定シーケンスのメインロジックで使用されるすべてのペリフェラル (PL 内の IP を含む) のインスタンスがカプセル化されています。このソフトウェアレイヤーが提供する機能は、FMC カードのステータスの検出、入力ビデオのフレームサイズの検出、入力ビデオのフレームサイズの設定 (FMC カードが接続されていない場合に使用)、出力フレームサイズのアップデート、ディスプレイに送るデータパスの選択、TPG のアクティブ/バイパスの切り替えです。

このデザインに対して作成された最下位のソフトウェアレイヤー (レイヤー 1) は、個々の IP ドライバーをさらに抽象化することで、特定の IP ドライバーへのインターフェイスを単純にし、このデザインに必要な一部の機能のみを提供します。データパス内の各 IP に固有のラッパーがあり、これを使用するには、呼び出し元によって対象の IP ドライバーインスタンスが正しく割り当てられ初期化されている必要があります。

このプログラミングモデルの唯一の例外は、ビデオ入力および出力インターフェイス (ADV7511、ADV7611、ビデオクロックシンセサイザー) の設定に使用するソフトウェアです。[図 2](#) で、この機能は「misc」と表記されています。このコードは、インターフェイスと枠組みが異なる他社ベンダーの既存ライブラリを利用しているため、レイヤー 1 に属するほかのソフトウェアとは構造が異なります。デザインのこの部分は、このアプリケーションノートの目的に沿って意図しないためこれ以上の説明は省略します。詳細はコード内のコメントと該当ベンダー提供の資料を参照してください。

このソフトウェアは、VPSS への移行に簡単に対応する (および古いビデオスケーリングデータパスを簡単に削除する) 方法を示すことを目的に構成されています。そのため、古いスケーリングデータパスのみで使用されている IP コアには、コード内部で「*_old_*」という命名規則を使用しています。同様に、新しいスケーリングデータパスのみで使用されている IP コアには、「*_new_*」という命名規則を使用しています。また、各データパス内の対応する IP コアへのすべての関数呼び出しは隣接しており、同じインターフェイスを使用しています。たとえば、`periphs.c` には

periphs_set_output_fsize() という関数があり、出力ビデオのフレーム サイズを変更する場合に呼び出されます。これには、Video Scaler v8.1 (コード内の scaler_old) と VPSS (コード内の scaler_new) の両方をアップデートする必要があります。次に該当するコードの一部を示します。

```
// Set old Scaler parameters
xil_printf("Setting up old scaler.\n\r");
status = scaler_old_set_output_size
(
    p_periphs_inst->p_scaler_old_inst,
    p_periphs_inst->p_vid_io_intf_inst->p_output_timing_inst->HActiveVideo,
    p_periphs_inst->p_vid_io_intf_inst->p_output_timing_inst->VActiveVideo,
    0 // Print configuration
);
if (status != SCALER_OLD_SUCCESS)
{
    xil_printf("ERROR!Failed to set output size on the old scaler.\n\r");
    return PERIPHS_ERROR_UNKNOWN;
}
// Set new (VPSS-based) Scaler parameters
xil_printf("Setting up new VPSS-based scaler.\n\r");
status = scaler_new_set_output_size
(
    p_periphs_inst->p_scaler_new_inst,
    p_periphs_inst->p_vid_io_intf_inst->p_output_timing_inst->HActiveVideo,
    p_periphs_inst->p_vid_io_intf_inst->p_output_timing_inst->VActiveVideo,
    0 // Print configuration
);
if (status != SCALER_NEW_SUCCESS)
{
    xil_printf("ERROR!Failed to set input size on the new VPSS-based scaler.\n\r");
    return PERIPHS_ERROR_UNKNOWN;
}
```

対応する並列データパスの IP コアへの関数呼び出しはコード内で隣接して記述されて、命名規則が一貫しているため、どの関数がどのデータパスに関係するのかが明確であり、必要な場合は「*_old_*」の付いた関数呼び出しを簡単に削除できます。

リファレンス デザイン

このアプリケーション ノートのリファレンス デザインは、次のリンクからダウンロードできます。

<https://secure.xilinx.com/webreg/clickthrough.do?cid=424057>

ハードウェア要件

1. ZC702 ボード
2. 必要な出力解像度で表示できるビデオ モニター
3. HDMI ケーブル (ZC702 とディスプレイを接続)
4. Micro-USB ケーブル
5. Mini-USB ケーブル
6. (オプション) Avnet IMAGEON FMC カード
7. (オプション) ビデオ ソース (非暗号化ビデオのサポートが必要)
8. (オプション) HDMI ケーブル (ビデオ ソースと IMAGEON FMC を接続)

ソフトウェア要件

1. Vivado Design Suite 2015.4 (SDK を含む)
2. シリアル ターミナル クライアント (PuTTY、Terra Term など)

デザイン ファイルのインストール

xapp1285.zip ファイルをダウンロードし、ホスト PC の C: ドライブに ZIP ファイルの内容を解凍します。

C:\xapp1285

注記: Windows オペレーティング システムでは、最大パス長として 260 文字の制限があります。パス長のエラーが発生しないように、インストールパスの長さを調整してください。別のインストール場所を指定する場合、フォルダー名に空白を含めないようにします。

ハードウェアのセットアップ

1. IMAGEON FMC カードを ZC702 の FMC2 スロット (J4) に接続します。(オプション)
2. HDMI ケーブルを使用して、IMAGOEN FMC カードの「HDMI IN」コネクタに暗号化されていない HDMI ビデオソースを接続します。(オプション)
3. HDMI ケーブルを、ZC702 のオンボード HDMI コネクタ (P1) からビデオ モニターに接続します。
4. micro USB ケーブルを、ホスト PC から ZC702 の USB JTAG コネクタ (U23) に接続します。
5. mini USB ケーブルを、ホスト PC から ZC702 の USB UART コネクタ (J17) に接続します。
6. すべてのスイッチをオフの位置に設定して、ブート モード ジャンパーを JTAG (SW16) に設定します。
7. 電源をボードに接続してスイッチをオンにします。
8. ホスト PC でシリアル ターミナル クライアント ソフトウェアを使用し、次の設定で適切な COM ポートに接続します。
 - a. 115200 ボー
 - b. 8 データ ビット
 - c. パリティなし
 - d. 1 ストップ ビット
 - e. フロー制御なし

付属のバイナリを使用したデザインの実行

1. SDK のインストール場所から Xilinx Software Command Line Tool (xsct) を起動します。
2. xsct ターミナルで次のディレクトリに移動します。

```
<xapp_extract_directory>/xapp1285/ready_for_download/
```
3. xsct ターミナルでコマンド `xmd-tcl runme.tcl` を実行します。

この Tcl スクリプトは次のステップを実行します。

 - a. JTAG 経由でターゲット (ZC702) に接続します。
 - b. ビットストリームをターゲットにダウンロードします。
 - c. `ps7_init.tcl` スクリプトを供給し、適切なユーティリティを実行して PS を初期化します。
 - d. ELF ファイルをターゲットにダウンロードします。
 - e. ELF ファイルを実行します。
4. アプリケーションの初期化が始まると、UART メニューにメッセージが表示されます。初期化が完了して数秒後に次の行が表示されます。

```
What would you like to do?Press 'p' to print available commands.
```


5. これでアプリケーションはUART インターフェイスで操作できるようになりました。p を押すと、[図 3](#) に示すように使用可能なオプションが表示されます。

```

Hello World!
Initializing Video Input/Output interface.
Initializing IIC for FMC IMAGEON.
Checking for FMC IMAGEON card.
FMC IMAGEON not detected.
Initializing remaining peripheral drivers.
Initializing GPIO for output video mux.
Initializing VTG.
Initializing VDMA.
Initializing Scaler.
Initializing VPSS-based Scaler.
Initializing VTD.
Initializing TPG.
Initialize input to 1080p.
Initialize output to 720p.
Setting up framebuffers.
Setting up old scaler.
Setting up new VPSS-based scaler.
Setting up TPG.
Enabling new scaler by default.
Initialization complete. Switching to background process.
What would you like to do? Press 'p' to print available commands.

----- Scaler Demo -----
'n' = Set to new scaler datapath
'o' = Set to old scaler datapath
't' = Enable/bypass TPG in the new scaler datapath
'd' = Detect or set input frame size
's' = Set output frame size
'p' = Print this menu
-----

```

図 3: 使用可能なコマンド

- n または o を選択すると、出力マルチプレクサーの表示がそれぞれ新しいデータパス (VPSS) または古いデータパス (Video Scaler v8.1) に切り替わります。
- t を選択すると、FMC カードが接続されている場合に TPG のバイパス/パス スルー モードが切り替わります。TPG の使用中に画面を動く四角形が青の場合、古いスケーラー データパスが使用されています。四角形が赤の場合、新しいスケーラー データパスが使用されています。FMC カードが検出されない場合、このメニュー オプションは無効です。
- d を選択すると、FMC カードが接続されている場合はアプリケーションが受信フレーム サイズを再検出します。ビデオ データにアーチファクトが発生しないようにするために、ビデオ ソース フォーマットがリアルタイムで変わるときは常にこのオプションを選択する必要があります。FMC カードが接続されていない場合、ビデオ ソースとして使用できるのは内部テスト パターン ジェネレーターのみであり、新しいメニューを使用してサポートされる入力 フォーマットを手動で選択します。このコンテキストで p を押すと、[図 4](#) に示すようにサポートされる解像度のリストが表示されます。

```

What would you like to do? Press 'p' to print available commands.
FMC IMAGEON card is not connected. Using internal TPG as video source. Please select a reso
lution to set it to. Press 'p' to print available resolutions.

----- Resolutions -----
0 = VGA
1 = 480P
2 = 576P
3 = SVGA
4 = XGA
5 = 720P
6 = SXGA
7 = 1080P
8 = UXGA
'p' = Print this menu
'q' = Quit
-----

```

図 4: サポートされる解像度のリスト

- s を選択すると、出力フレーム サイズを設定できます。このコンテキストで p を押すと、図 5 に示すようにサポートされる解像度のリストが表示されます。

```

Setting output frame size. What resolution would you like? Press 'p' to print available res
olutions.

----- Resolutions -----
0 = VGA
1 = 480P
2 = 576P
3 = SVGA
4 = XGA
5 = 720P
6 = SXGA
7 = 1080P
8 = UXGA
'p' = Print this menu
'q' = Quit
-----

```

図 5: 出力フレームサイズの設定

ハードウェア アプリケーションのリビルド

1. Vivado tools 2015.4 を起動します。
 - a. Windows ホストの場合、[スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [Vivado 2015.4] → [Vivado 2015.4] をクリックします。
 - b. Linux ホストの場合、コマンド プロンプトに「vivado」と入力します。
2. Tcl コンソールで、Vivado ツールの Welcome 画面から次のコマンドを実行します。
 - a. `cd <xapp_extract_directory>/xapp1285/HW/tcl`
 - b. `source all.tcl`
3. スクリプトが完了すると、ビットストリームが生成され、ハードウェアが SDK にエクスポートされます。
4. [File] → [Launch SDK] をクリックし、[OK] をクリックして SDK を起動します。

ソフトウェア アプリケーションのリビルド

1. SDK を開くと、プロジェクトに新しいハードウェア プラットフォームが含まれています。[File] → [New] → [Application Project] をクリックして、新しいアプリケーションとボード サポート パッケージ (BSP) を作成します。
2. [Project Name] に「vpss_scaler」と入力し、[Next] をクリックします。[Empty Application] をクリックし、[Finish] をクリックします。

3. 次に、[Xilinx Tools] → [Repositories] をクリックして、デザインで使用されている各種ソフトウェア ライブラリを追加します。[New] をクリックして [<xapp_extract_directory>/xapp1285/SW/sw_lib] ディレクトリを指定します。[OK] をクリックし、もう一度 [OK] をクリックします。
4. [Project Explorer] で [vpss_scaler_bsp] を右クリックし、[Board Support Package Settings] をクリックします。
5. [Board Support Package Settings] の [Overview] で、[Supported Libraries] の [fmc_iic_sw] と [fmc_imageon] をオンにします。[OK] をクリックします。
6. [Project Explorer] で [vpss_scaler] をドロップ ダウンし、[src] ディレクトリを右クリックして [Import] をクリックします。
7. [Import] で [General] フォルダーをドロップ ダウンし、[File System] → [Next] をクリックします。
8. [Browse] をクリックし、[<xapp_extract_directory>/xapp1285/SW/src] ディレクトリを指定します。
9. [src] ディレクトリに含まれるすべてのファイルのチェック ボックスをオンにして、[Finish] をクリックします。
10. [Project] → [Clean] をクリックし、[OK] をクリックします。
11. ソフトウェアをビルドした後で、[Xilinx Tools] → [Program FPGA] をクリックし、[Program] をクリックします。
12. [Project Explorer] で、[vpss_scaler] を右クリックし、[Run As] → [Launch On Hardware (System Debugger)] をクリックします。
13. これで、「[付属のバイナリを使用したデザインの実行](#)」のステップ 5 と同じ方法でデザインを操作できるようになりました。

デバッグ - ハードウェアを使用したデザインの実行

問題: モニターが入力信号を検出しません。

解決策: 次の対策を試してみます。

- 信号ソースを直接接続した場合に信号が検出されることを確認します。
- ボードへの電源投入とアプリケーションの実行の前に、すべてのケーブルが接続されていることを確認します。このデザインは、HDMI ケーブルのホット プラグ検出をサポートしていません。
- 高品質の HDMI ケーブルで ZC702 とモニターを接続します。別のケーブルを試してください。
- UART メニューで出力解像度に小さいフレーム サイズを設定してみます。この場合、低速のピクセル クロックが使用されるので、モニターが同期を取りやすくなります。
- 選択された出力解像度をモニターがサポートしていることを確認します。アプリケーションのデフォルト出力解像度は、毎秒 60 フレームで 720 p です。

問題: モニターはビデオを検出しますが、ライブ ビデオ入力を使用しても画面が空白か無地一色になります。

解決策: はじめに、内部 TPG を使用して出力パスが正しく動作していることを確認します。この問題は、ビデオ ソースが High-bandwidth Digital Content Protection (HDCP) でデータを暗号化している場合に発生することがあります。このデザインは、暗号化されていないビデオ ソースのみをサポートしています。別の信号ソースを試してください。また、ハードウェアをリビルドする場合、Video Test Pattern Generator と VPSS 両方のライセンスが必要です。ハードウェア評価ライセンスを使用している場合、一定期間が経過するとコアが使用期限切れになりモニターが空白になる可能性があります。

問題: アプリケーションの実行中に入力ビデオ解像度を変更すると、画面上の画像が歪みます。

解決策: このデザインは、入力フォーマットの変更を自動検出しません。入力ビデオの解像度を変更した場合、UART メニューで d を押して、アプリケーションから強制的に入力フォーマットを再検出し、各種 IP コアを適切に再設定する必要があります。

デバッグ - デザインのリビルド

問題: VPSS の生成または合成中にデザインでエラーが発生します。

解決策: Test Pattern Generator と VPSS 両方のライセンスがインストールされていることを確認します。あわせて、ザイリックスのアンサー [66403](#) および [66692](#) を参照してください。

リファレンス デザインの詳細

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。

表 1 に、リファレンス デザインで使用されるツール フローおよび検証手順を示します。

表 1: リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	Brian Wiec
ターゲット デバイス	Zynq-7000 AP SoC
ソース コードの提供	あり
ソース コードの形式	Verilog、C
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、サードパーティ /Vivado ツールからデザインへのコード/IP の使用 (使用した場合はその詳細)	Vivado IP カタログに含まれる Video IP、Avnet FMC IMAGEON がサポートする IP
シミュレーション	
論理シミュレーションの実施	なし
タイミングシミュレーションの実施	なし
論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用	なし
テストベンチの形式	N/A
使用したシミュレータ/バージョン	N/A
SPICE/IBIS シミュレーションの実施	N/A
インプリメンテーション	
使用したインプリメンテーション ツール/バージョン	Vivado 2015.4
スタティック タイミング解析の実施	あり
ハードウェア検証	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	IMAGEON FMC カードを使用した ZC702 ボード

参考資料

注記：日本語版のバージョンは、英語版より古い場合があります。

1. 『LogiCORE IP Video In to AXI4-Stream 製品ガイド』([PG043](#))
2. 『LogiCORE IP Video Timing Controller 製品ガイド』([PG016](#))
3. 『LogiCORE IP Video Test Pattern Generator 製品ガイド』([PG103](#))
4. 『LogiCORE IP Video Processing Subsystem 製品ガイド』([PG231](#))
5. 『LogiCORE IP Video Scaler 製品ガイド』([PG009](#))
6. 『AXI4-Stream Infrastructure IP Suite 製品ガイド』([PG085](#))
7. 『LogiCORE IP AXI Video Direct Memory Access 製品ガイド』([PG020](#))
8. 『LogiCORE IP AXI Interconnect 製品ガイド』([PG059](#))
9. 『LogiCORE IP AXI4- Stream to Video Out 製品ガイド』([PG044](#))
10. 『LogiCORE IP AXI IIC 製品ガイド』([PG090](#))
11. 『LogiCORE IP AXI GPIO 製品ガイド』([PG144](#))
12. 『Zynq-7000 XC7Z020 All Programmable 用 ZC702 評価ボード ユーザー ガイド』([UG850](#))
13. 『Zynq-7000 All Programmable SoC テクニカル リファレンス マニュアル』(UG585 : [英語版](#)、[日本語版](#))
14. 『AXI4-Stream Video IP およびシステム デザイン ガイド』([UG934](#))
15. 『HDMI Input/Output FMC Module』(<http://www.em.avnet.com/en-us/design/drc/Pages/HDMI-Input-Output-FMC-module.aspx>)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016年6月10日	1.0	初版

法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとし、また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

© Copyright 2016 Xilinx, Inc. Xilinx、Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。