



XAPP1291 (v1.0.1) 2016 年 7 月 22 日

Video Processing Subsystem リファレンス デザイン

著者: Bob Slous、Rohit Consul

概要

このアプリケーション ノートでは、Video Processing Subsystem コアのリファレンス デザインについて説明し、ザイリンクス LogiCORE™ IP コアの機能と利便性を示します。

- Video Processing Subsystem
- Video Mixer
- HDMI™ 1.4/2.0 Transmitter Subsystem
- HDMI 1.4/2.0 Receiver Subsystem
- Video PHY Controller

リファレンス デザインでは、HDMI RX/TX コネクティビティ IP コアを使用して FPGA デバイスとのビデオ転送を実行します。Video Processing Subsystem コアと Video Mixer IP コアが入力ビデオを変換するプロセッシング チェーンを構成しています。リファレンス デザインは、ザイリンクスの Kintex-7 XC7K325T-2FFG900C FPGA と inrevium 社の TB-FMCH-HDMI4K [参照 1] ドーター カードを使用するザイリンクス Kintex®-7 FPGA KC705 評価ボード [参照 3] をターゲットとしています。

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。

リファレンス デザイン

リファレンス デザインは、Vivado® Design Suite System Edition 2016.2 を使用して作成および構築されています。デザインには、ザイリンクスのソフトウェア開発キット (SDK) 2016.2 を使用して構築されたソフトウェアも含まれます。このソフトウェアは、MicroBlaze™ プロセッサ サブシステムで実行され、制御機能とステータス機能を実装します。このアプリケーション ノートでは Vivado Design Suite および SDK のプロジェクト ファイルを提供しており、デザインの検討や再構築に活用したり、新規デザインのテンプレートとして使用できます。

ハードウェア

リファレンス デザインは、Video Processing Subsystem (V_PROC_SS)、Video Mixer (V_MIXER)、HDMI 1.4/2.0 Transmitter Subsystem (HDMI_TX_SS)、HDMI 1.4/2.0 Receiver Subsystem (HDMI_RX_SS)、および Video PHY (VPHY) Controller コアを中心に、その他のザイリンクス IP コアを組み合わせるシステムを構成しています。システムの入出力は、開発ボードの FMC HPC コネクタに接続される HDMI 2.0 ドーター カードを介した HDMI ビデオ ストリームとなります。詳細は、[図 1](#) を参照してください。

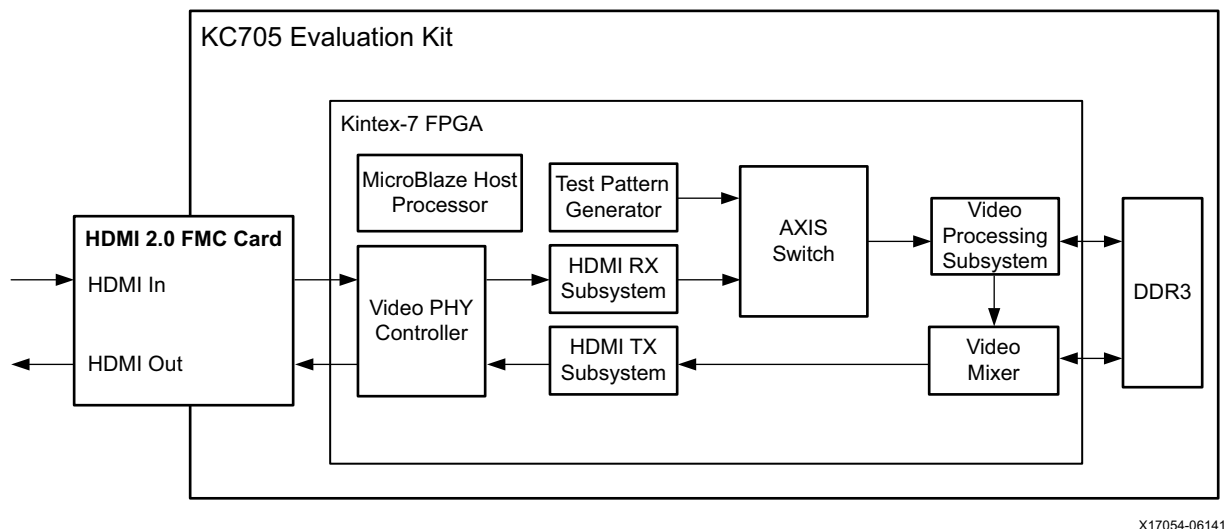


図 1: KC705 評価キットの入力と出力

Video Processing Subsystem は、ハードウェアとソフトウェアのビデオ プロセッシング IP サブコアをバンドルした階層構造の IP コアであり、さらさらをシングル IP コアとして出力します。つまり、ビデオ プロセッシング パイプはブラックボックスとして扱われます。Video Processing Subsystem コアは、ユーザーがその複雑な構造を理解していなくても、ビデオ プロセッシング コアとして容易に用いることが可能です。

注記: Video Processing Subsystem コアに含まれるすべてのサブコアは、Vivado 高位合成 (HLS) ツールを使用して開発されています。

Video Processing Subsystem IP コアの詳細は、Video Processing Subsystem コアの製品ページ [\[参照 2\]](#) および『Video Processing Subsystem v1.0 製品ガイド』(PG231) [\[参照 4\]](#) を参照してください。

リファレンス デザインは、HDMI RX IP コアで受信したフォーマットから HDMI TX IP コア用にセットアップしたフォーマットへビデオフォーマットを自動で変換します。HDMI TX IP コアと HDMI RX IP コアは個別にプログラム可能です。たとえば、HDMI TX IP コアでは、30Hz で YUV 4:4:4 色空間の 3840x2160p を送信し、HDMI RX IP コアでは 60Hz で RGB 色空間の 1920x1080i を受信します。Video Processing Subsystem IP コアには次の機能があります。

- 1080i から 1080p へのデインターレース
- 1080 から 2160p へのアップスケール
- RGB から YUV 4:4:4 への色空間変換
- 60Hz から 30Hz へのフレーム レート変換

機能

Video Processing Subsystem IP コアは、設計時に性能、品質、および機能を指定できます。デバイスによって異なりますが、次の機能があります。

- 1、2、または 4 ピクセル幅のビデオ インターフェイス
- 最大ビデオ解像度：60fps の UHD
- 実行時に複数の色空間 (RGB、YUV 4:4:4、YUV 4:2:2、YUV 4:2:0) に対応

- 各コンポーネントで 8、10、12、および 16 ビットに対応
- デインターレース
- スケーリング
- 色空間の変換と変更
- YUV4:4:4、YUV 4:2:2、YUV 4:2:0 間のクロマリサンプリング
- フレーム リピートまたはフレーム ドロップによるフレーム レート 変換

Video Mixer IP コアには次の機能があります。

- 8 つのビデオ/グラフィックス レイヤーのアルファブレンドをサポート
- オプションで色透明度に対応するロゴ (ブロック RAM) レイヤー
- レイヤーはメモリ マップ方式の AXI4 インターフェイスまたは AXI4-Stream
- プログラム可能な背景色
- プログラム可能なレイヤーの位置とサイズ
- レイヤーのスケールリング (1x、2x、4x)
- オプションでビルトインの色空間変換
- RGB、YUV 444、YUV 422 をサポート
- ストリーム インターフェイスでは各カラー コンポーネント入出力で 8、10、12、16 ビットをサポート、メモリ インターフェイスでは各カラーコンポーネントで 8 ビットをサポート
- 64 x 64 から最大 4,096 x 2,160 までの空間解像度をサポート
- 4K 60f/s をサポート (すべてのサポートされるデバイス ファミリ)

リファレンス デザインの特長

リファレンス デザインでサポートされる機能は次のとおりです。

- ターゲット デバイスが Kintex-7 FPGA の KC705 評価ボード
- 2 ピクセル幅インターフェイス
- 色深度は 8 ビットに固定
- ビデオ プロセッシング サブシステムのコンフィギュレーション: 完全コンフィギュレーションまたはスケーラーのみ
- 最大ビデオ解像度: UHD @ 60Hz (入力インターフェイスと出力インターフェイスの両方)、表 1 を参照。
- ビデオ エンコード機能: RGB 4:4:4、YUV 4:4:4、YUV 4:2:2
- サポートされるインターレース入力: 1080i のみ
- サポートされる使用ケース:
 - 色空間 (RGB/YUV) およびフォーマット (YUV 4:4:4/4:2:2) 変換
 - 60Hz で最大 4k2k までのスケール アップとスケール ダウン
 - ズーム モード: 入力ストリーム内でユーザー指定のウィンドウ サイズをクロップして、パネル解像度に拡大/縮小
 - PIP (Picture-in-Picture) モード: 入力ストリームがユーザー指定のウィンドウ サイズに縮小され、パネル上のユーザー指定の座標に表示される
 - PIP 背景を指定した色で塗る
 - インターレース映像信号をプログレッシブ映像信号に変換
 - フレーム レート変換:
 - 入力レートが出力レートより大きい場合はフレームを破棄
 - 出力レートが入力レートより小さい場合はフレームを反復。

リファレンス デザインでは、表 1 に示すようにさまざまな解像度の送受信が可能です。

表 1: サポートされるビデオ解像度

解像度	TX	RX
インターレース		
1080i50		
1080i60		
プログレッシブ		
480p60		
576p50		
720p50		
720p60		
1080p24		
1080p25		
1080p30		
1080p50		
1080p60		
2160p24		
2160p25		
2160p30		
2160p60		

表 1: サポートされるビデオ解像度 (続き)

解像度	TX	RX
PC 解像度		
vgap60		
svgap60		
xgap60		
sxgap60		
wxgap60		
wxga+p60		
uxgap60		
wuxgap60		
wsxgap60		

ビデオ パス

Video Test Pattern Generator (TPG) IP コアと HDMI RX IP コアは、Video Processing Subsystem IP コアへ接続される 2:1 のプログラム可能なビデオ スイッチ (またはマルチプレクサ) へ接続されます。これにより、ソフトウェアはアクティブな HDMI 入力とテスト パターン入力を動的に切り替えることができます。Video Processing Subsystem IP コアの出力は、Video Mixer IP コアへ接続されます。Video Mixer コアには、このストリーミング入力のほかにメモリ マップ方式のインターフェイスが含まれるため、3 つのメモリ レイヤー、ストリーミング レイヤー、およびロゴ レイヤーの合成を可能にします。Video Mixer IP コアの出力は、HDMI TX IP コアへ接続されます。HDMI RX IP コアがアクティブにもかかわらず入力信号が検出されない場合は、Video Mixer コアが青色のフレームを出力するようにソフトウェアによって自動的に設定されます。図 1 にビデオ パスを示します。

メモリ サブシステム

メモリ サブシステムには、ザイリンクスの MIG (Memory Interface Generator) へ接続された AXI-MM インターコネクト 6:1 クロスバーがあります。クロスバーへ接続される 6 つのポートとは、MicroBlaze プロセッサからのデータ キャッシュポートと命令キャッシュポート、Video Processing Subsystem IP コアのメモリポート、および Video Mixer IP からの 3 つのレイヤーのポートです。MIG バスは 512 ビット幅に設定されています。ビデオデータの正味の最大帯域幅要件は 4.75GB/s です。

- 32 ビット/ピクセルで 3840x2160x60Hz のメモリ書き込みおよび読み出しに 4GB/s
- 32 ビット/ピクセルで 1920x1080x60Hz のメモリ書き込み、2x1920x1080x60Hz のメモリ読み出しに 0.75GB/s

プロセッサ サブシステム

IP コアの制御には MicroBlaze プロセッサを使用します。リファレンス デザインは、CPU の負荷がクリティカルではないため、性能に最適化されていないデフォルト設定を使用しています。MicroBlaze プロセッサには、8KB のデータ キャッシュと命令キャッシュがあり、100MHz クロック スピードで動作します。

クロッキング

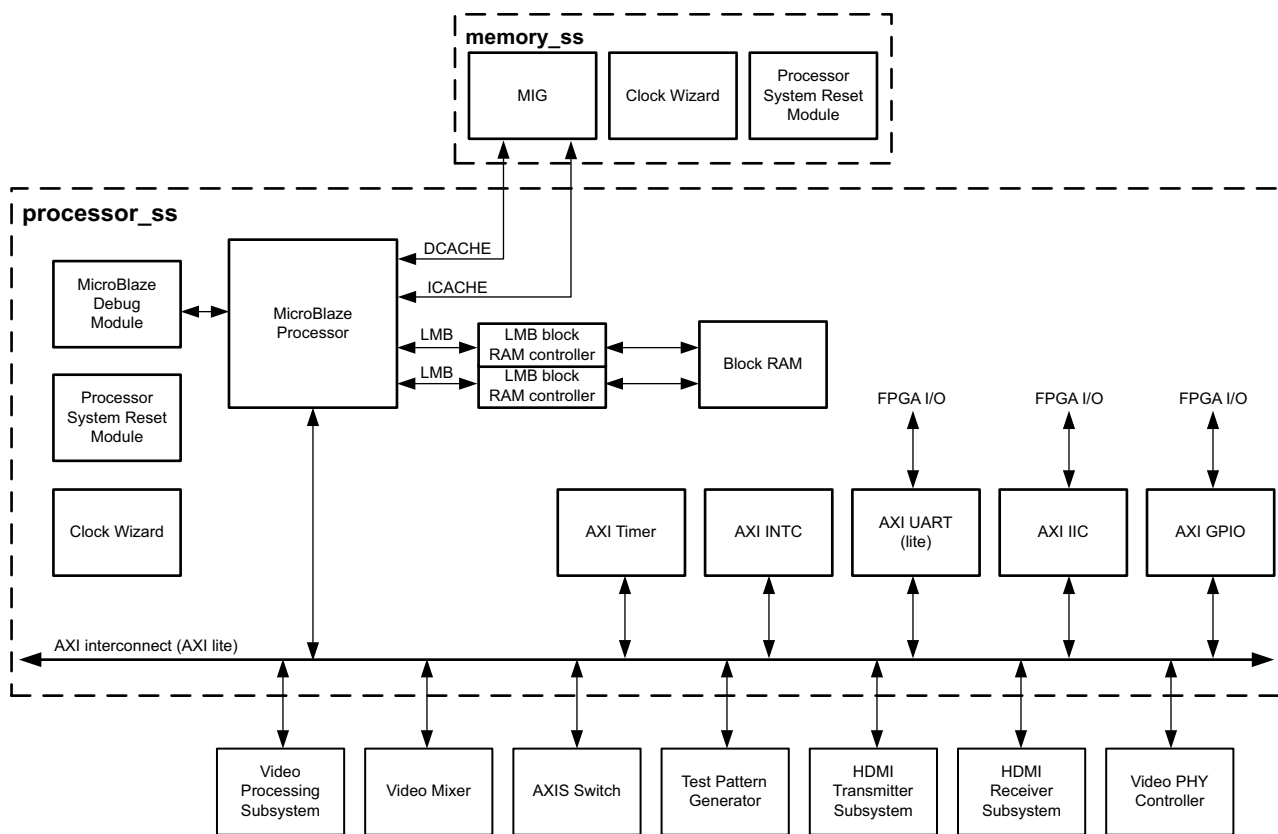
Video Processing Subsystem IP コアは、Kintex-7 FPGA KC705 ボードの 200MHz システム クロックからクロック ジェネレーターが生成する 3 つのクロックを使用します。メモリ サブシステムは、200MHz のこのシステム クロックで動作します。このクロックは Clock Wizard IP へ転送されて、出力として 300MHz クロックと 100MHz クロックを生成します。300MHz クロックは、AXI4-Stream ビデオ インターフェイスを駆動します。各クロック エンジンを 2 ピクセルとして指定したビデオ プロセッシング IP のサブコアを使用した場合、600 万ピクセルのスループットを達成できます。100MHz クロックは、AXI4-Lite 制御インターフェイスと MicroBlaze プロセッサも駆動します。

Video PHY コアには、HDMI TX コア用に GT 基準クロックが 1 つ必要です。クロックは外部のプログラマブル クロック ジェネレーターで生成されます。リファレンス デザインでは SI5324 を使用します。このデバイスは、I2C インターフェイスでプログラム可能です。Video PHY コアには、HDMI RX コア用に 2 つのトランシーバー基準クロックがあります。HDMI ケーブルからの RX クロックは、1 つ目のトランシーバー基準クロック入力に接続されます。2 つ目のトランシーバー基準クロックは、外部のフリーランニング 125MHz クロックから供給されます。このクロックは、NI-DRU (Non-Integer Data Recovery Unit) で使用され、受信 PLL でサポートされる最小レートを下回る低い HDMI ライン レートを正常な状態に戻します。

その他のコア

V_PROC_SS、V_MIXER、VPHY、HDMI_TX_SS、および HDMI_RX_SS コアのほかに、リファレンス デザインには次のコアが含まれています (図 2 参照)。

- MicroBlaze
- MicroBlaze Debug Module
- AXI Interconnect
- Local Memory Bus
- LMB Block RAM Controller
- Block Memory Generator
- Clocking Wizard
- Processor System Reset
- AXI UARTLite
- AXI Interrupt Controller
- AXI IIC
- AXI GPIO
- Test Pattern Generator
- Concat
- AXI4-Stream Register Slice
- Utility Buffer
- Utility Vector Logic
- AXI Stream Switch
- AXI Timer
- MIG



X17055-051816

図 2: リファレンス デザイン

表 2: プロセッサ サブシステムのアドレス マップ

ペリフェラル	インスタンス	ベース アドレス	上位アドレス
lmb_bram_if_cntlr	ilmb_bram_if_cntlr	0x00000000	0x00001FFF
lmb_bram_if_cntlr	dlmb_bram_if_cntlr	0x00000000	0x00001FFF
axi_gpio	mixer_reset	0x40000000	0x4000FFFF
axi_gpio	axi_gpio_0	0x40010000	0x4001FFFF
axi_uartlite	axi_uartlite_0	0x40600000	0x4060FFFF
axi_iic	axi_iic_0	0x40800000	0x4080FFFF
axi_intc	axi_intc	0x41200000	0x4120FFFF
axi_timer	axi_timer_0	0x41C00000	0x41C0FFFF
v_hdmi_rx_ss	v_hdmi_rx_ss_0	0x44A00000	0x44A0FFFF
axis_switch	axis_switch_0	0x44A10000	0x44A1FFFF
v_hdmi_tx_ss	v_hdmi_tx_ss_0	0x44A20000	0x44A3FFFF
v_mix	v_mix_0	0x44A40000	0x44A7FFFF
v_tpg	v_tpg_0	0x44A80000	0x44A8FFFF
vid_phy_controller	vid_phy_controller_0	0x44A90000	0x44A9FFFF
v_proc_ss	v_proc_ss_0	0x44B00000	0x44BFFFFF
mig_7series	mig_7series	0x80000000	0xBFFFFFFF

ソフトウェア アプリケーション

リファレンス デザインには、FPGA デバイスとのネイティブ ビデオ転送用に HDMI RX/TX コネクティビティ IP コアが統合されています。Video Processing Subsystem コアと Mixer IP コアで、入力ビデオデータを変換するプロセッシング チェーンを構成しています。MicroBlaze プロセッサは、UART、I2C、割り込みコントローラーなどのサポート パリフェラルと共にデザイン内で使用されるホスト CPU です。図 3 に、ソフトウェア パイプラインを示します。

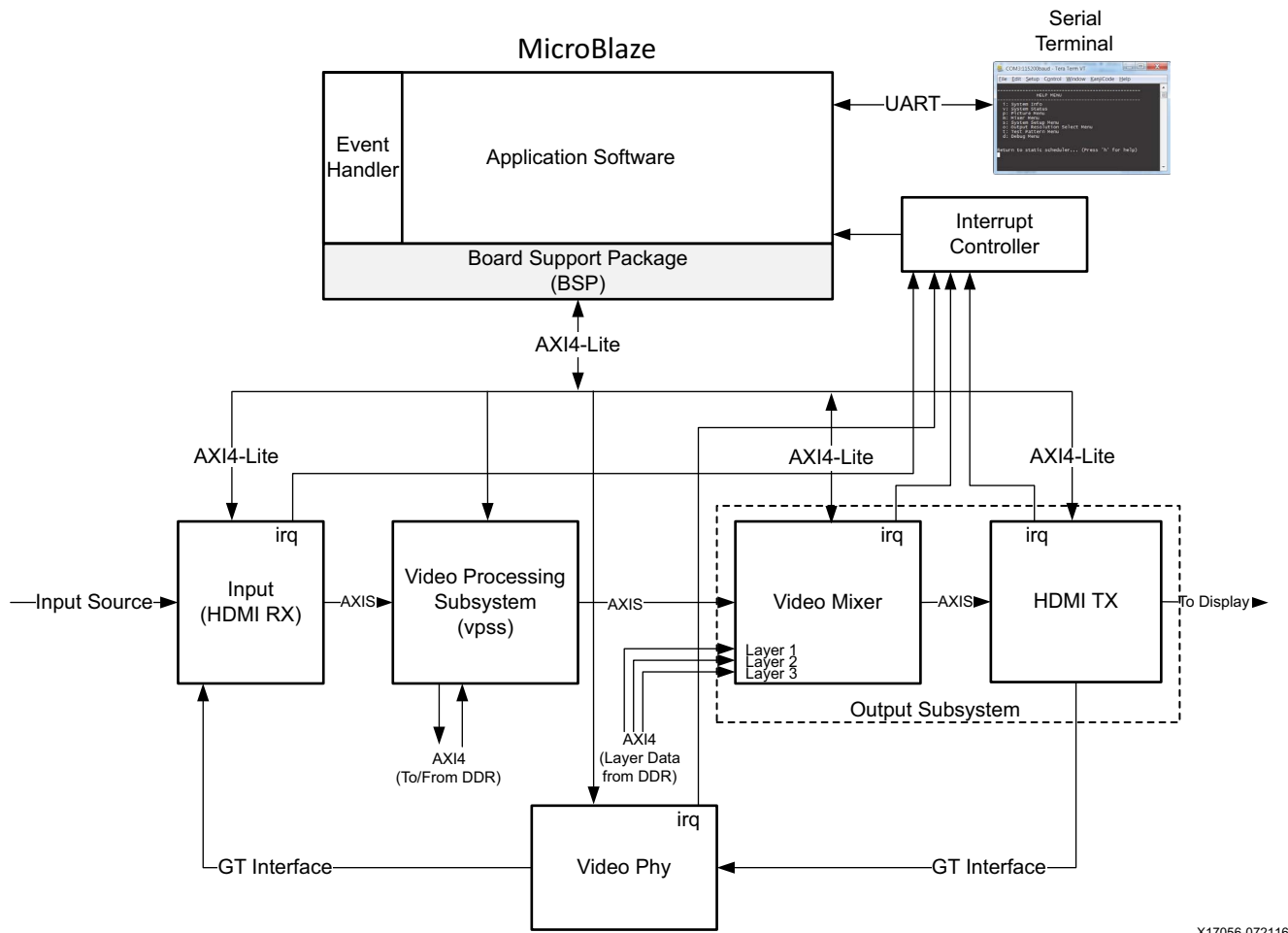


図 3: ソフトウェア パイプラインの概要

アプリケーション ソフトウェアのアーキテクチャは、モジュール形式であるため、入力、出力、およびプロセッシング パイプライン間で必要な分離が可能です。アプリケーション ソフトウェアは、DP や SDI などの入力/出力コネクティビティ IP コアを含めるように拡張可能です。

アプリケーション ソフトウェアは、次に示すサブブロックで構成されています。

- メイン

このブロックは、アプリケーションの開始点です。定義されているハードウェア パイプラインに従ってすべてのブロックドライバを接続し、その後、パイプラインを初期化して動作を開始します。

プロセッシング チェーンを開始した後、シリアル ターミナルまたは外部スティミュラス (入力/出力周波数の変動でトリガーされる割り込み信号) のいずれかからのユーザー インタラクションに対して、システムを継続的にモニターするスタティック スケジューラー (while(1) loop) への転送を制御します。

ソース ファイル: main.c、platform.c/h、platform_config.h、evenhandler.c/h、system.c/h

- 入力サブシステム

このブロックはデザインの入力ドメインを制御し、コネクティビティ IP コア (例: HDMI RX IP) や入力ドメインに必要なすべてのボード ペリフェラルを初期化および駆動する役割を果たします。デザイン内に統合された IP コアで要求されるアプリケーション レベルのコールバック機能も、このブロックに実装されます。

このブロックのシステム入力インターフェイス構造はプログラム可能なため、ユーザーはデザイン内で使用するコネクティビティ IP コアを定義できます。また、入力ドメインの初期化、開始、または停止などの基本的な動作を実行するために、システム用の関連 API も定義できます。つまり、アクティブな入力信号を設定 (その他の入力ソースとしてデザインには TPG が含まれる) したり、検出したストリームに対して IP コア ドライバに問い合わせを実行できます。

ソース ファイル: src/inpss/ -> xinss.c/h

- 出力サブシステム

このブロックは、デザインの出力ドメインを制御します。バックエンドの IP コア (例: HDMI TX) や出力ドメインで要求されるすべてのボード ペリフェラル (例: DP159、SI532) を初期化および駆動します。デザイン内に統合された IP コアで要求されるアプリケーション レベルのコールバック機能も、このブロックに実装されます。

このブロックのシステム出力インターフェイスはプログラム可能なため、ユーザーがデザイン内で使用するコネクティビティ IP コアを定義できます。また、ユーザーは、出力ドメインの初期化、開始、または停止などの基本的な動作を実行するために、システム用の関連する API を定義できます。つまり、アクティブな出力信号を設定 (デザインに >1 が現れた場合) したり、システムの出力解像度を設定できます。このブロックには、ブレンダー IP コア (Video Mixer) も含まれています。

使用したソース ファイル: src/outputs -> xoutss.c/h、dp159.c/h、si5324.c/h、vidpatgen.c/h、<>_img.c

- PHY サブシステム

FPGA トランシーバーは、コネクティビティ MAC レイヤー (例: HDMI RX/TX) と密接に統合されています。このブロックは、デザインの物理レイヤーを管理します。トランシーバーを初期化して駆動します。PHY ドライバーで要求されるアプリケーション レベルのコールバック機能も、このブロックに実装されます。

使用したソース ファイル: `src/phy -> physs.c/h`

- リソース

このブロックは、デザインに含まれるペリフェラル IP コアを制御します。UART、Interrupt Controller、Test Pattern Generator、入力/出力 MUX (有効な場合)、およびシステム タイマーを初期して駆動します。必要に応じて各コンポーネントを制御および設定するための API が提供されています。

使用したソース ファイル: `src/res -> parser.c/h, periph.c/h, sleep.c/h`

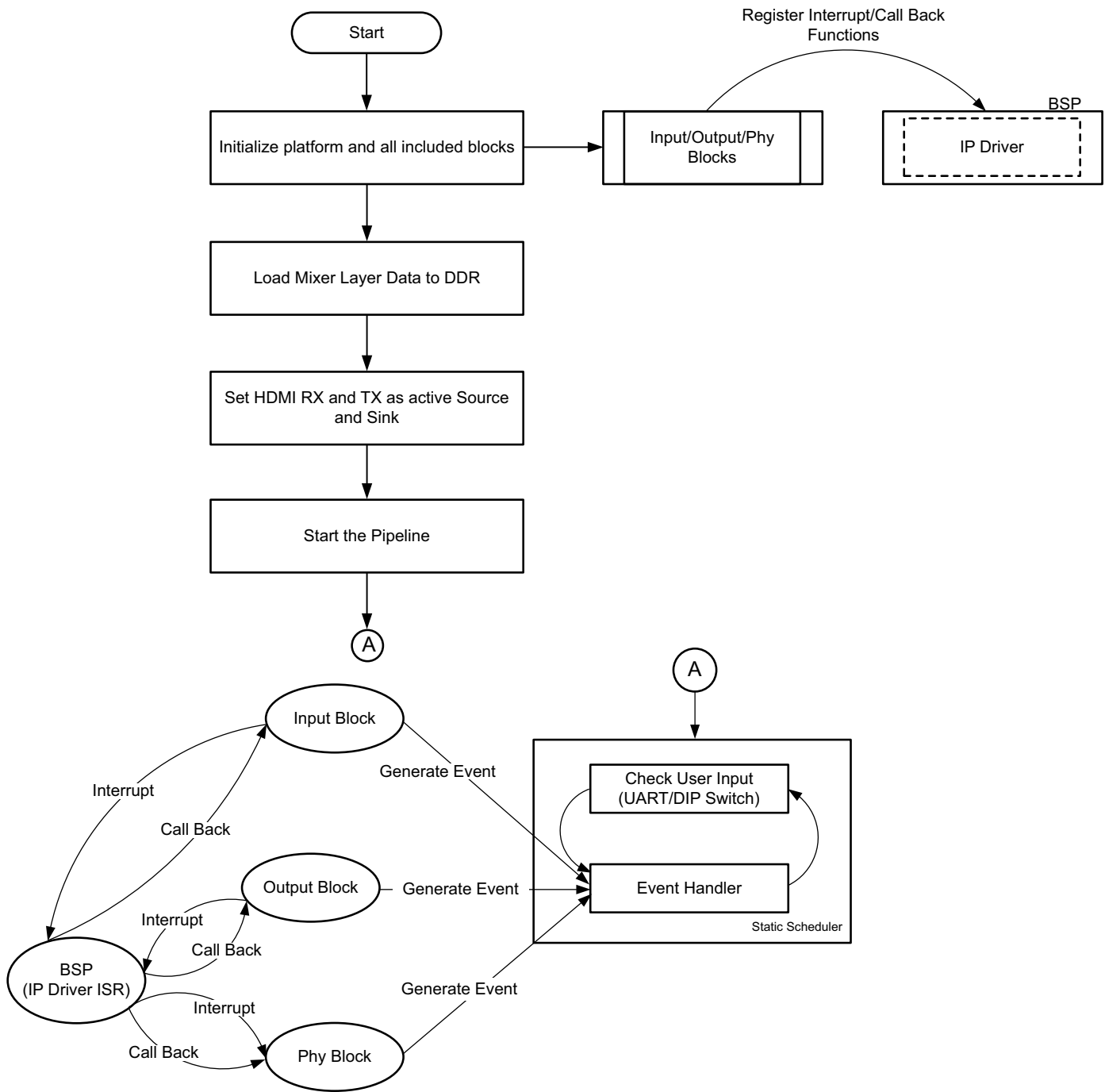
IP ドライバー

各ビデオ IP コアのボード サポート パッケージ (BSP) には、複雑なコア内部を抽象化する IP コア ドライバーが含まれています。これらのドライバーは、シンプルで実用的な API インターフェイスを用いることで、コア機能を簡単に利用できるソリューションを提供します。

割り込みソースを使用する IP コアのドライバーは、ユーザー アプリケーションがイベントの通知を受けるメカニズムを提供します。ドライバー API は、特定の割り込みが生じた場合に制御がアプリケーション コンテキストに戻る前に、呼び出される機能をレジスタに設定可能にします。

注記: これらのコールバック機能は、リファレンス デザイン内のユーザー アプリケーション レベルに実装されているため、ユーザー デザインに必要な IP コアを統合する際に参照できます。特定 IP ドライバーの統合要件および推奨事項の詳細は、該当する IP コアの製品ガイドを参照してください。

システム制御フロー



X17057-072116

図 4: システム制御フロー

このセクションでは、システム制御フローの手順を説明します。

1. 次の初期化タスクでメインプログラムが開始します。
 - 。 各 IP ブロック ドライバーのオブジェクトを定義します (input/output/phy/peripherals)。
 - 。 プラットフォームを初期化して、データ キャッシュおよび命令キャッシュを有効にします。
 - 。 オブジェクトをシステムの input/output/phy インターフェイスと結び付けます。
 - 。 ボード パリフェラルを含むすべてのブロックを初期化します。このとき、各ブロックは、必須またはオプションのコールバック機能 (例: HDMI RX/TX ケーブルの接続/切断、周波数変更など) をレジスタに設定します。
2. ビデオ ミキサー レイヤーのデータは、ブートアップ中にソース ファイルのエンベデッド イメージ データから外部メモリへプリロードされ、その後、Mixer IP からフレームごとに供給されます。
3. プロセッシング パイプラインは、デフォルトの入力/出力解像度 (1080p、60Hz RGB) で開始します。
4. 電源投入時、HDMI RX で入力信号が検出されない場合は、出力ビデオがミュートの状態になり、画面上には一定出力が維持されます。デフォルトは、青一色のフレームです。
5. スタティック スケジューラー (バックグラウンド タスク) は、ユーザー入力 (シリアル ターミナルを使用) に対してシステムを継続的に監視し、外部割り込みに応答して、適切にビデオ パイプを設定します。
 - 。 割り込みが生じると、制御はソース IP ドライバーの割り込みステータスレジスタ (ISR) に渡されます。制御がユーザー アプリケーションに戻る前に、レジスタ設定したコールバック機能が実行されます。アプリケーションは、イベントを記述して変更を記録します。
 - 。 イベント ハンドラーは、あらかじめ設定した優先順序でイベント処理します。
 - 。 シリアル ターミナル パーサーがユーザー コマンドをデコードして、要求された動作を開始します。

機能

リファレンス デザインでは、統合されているビデオ IP コアの次の機能を検証できます。

- 。 入力解像度の変更を自動検出し、ビデオ パイプを設定する。
- 。 「No Input (信号なし)」の状態を自動検出し、出力ビデオをミュートにする。
- 。 クロップ、ズーム、PIP 機能のサポート。
- 。 メモリから 3 つのビデオ レイヤーを読み出して、マスター ストリーム レイヤー (HDMI RX ストリーム) とブレンドされた 4 つのウィンドウの出力フレームを構成。
- 。 多様な入力および出力解像度 (最大 4K2K @ 60Hz) のサポート。
- 。 デインターレース、色空間/フォーマット変換、スケーリング、レターボックスなどのビデオ プロセッシング機能。
- 。 入力ソースがない場合でもデザインを動作させることができる代替入力ソース (TPG)。

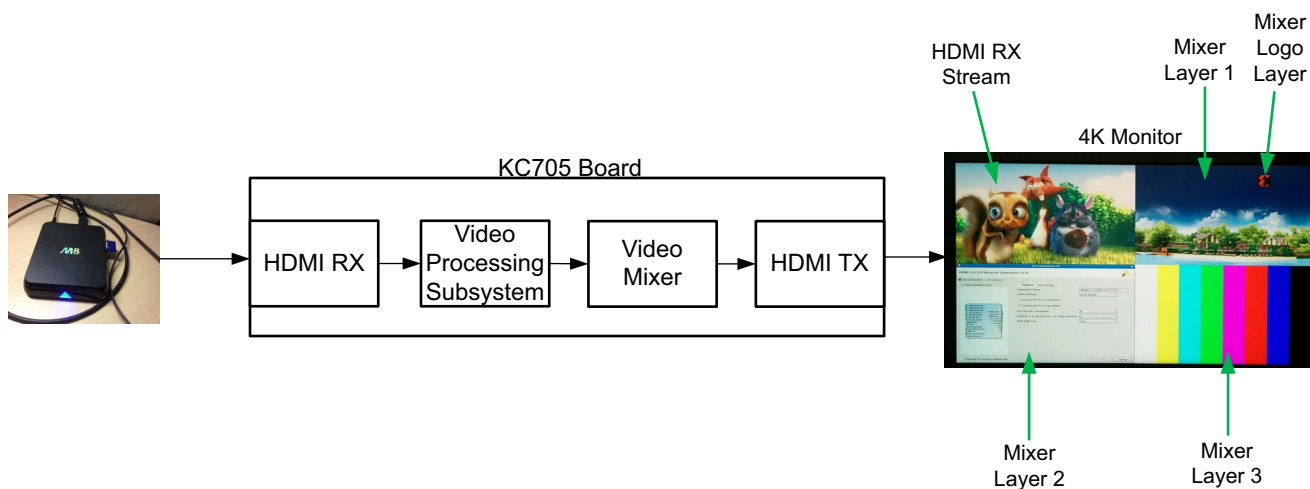
システムに初めて電源を投入する場合、デフォルト ビヘイビア動作として HDMI RX ストリームが現れ、有効なデータは 1080p 出力解像度にスケーリングされます。すべてのミキサー レイヤーは無効です。図 5 のようなウィンドウ出力を得るには、ミキサー レイヤーを有効にして、システムを PIP モードに設定してください。

注記: 電源投入時、デフォルトの PIP ウィンドウは 0,0 で解像度が 400 x 400 に設定されています。デモンストレーション用に、これらを 0,0 と width/2、height/2 に設定してください (width/height は出力解像度)。

1. UART の場合、s を押してセットアップ メニューを呼び出します。
2. PIP ウィンドウを設定するためにオプション 4 を選択し、次のようにパラメーターを設定します。

StartX: 0
StartY: 0
Width: 960
Height: 540

3. オプション 2 を選択して PIP モードを有効にします。HDMI RX コア入力は、黒色背景の第 1 象限の PIP ウィンドウに位置しています。
4. m を選択してミキサー メニューを呼び出し、オプション 1 を選択して任意のレイヤーを有効にします。
5. レイヤー 1、2、3、および 8 を有効にします。出力は、図 5 のようになるはずですが。



X17059-072116

図 5: デモンストレーション

ツール フローおよび検証

表 3 に、リファレンス デザインで使用されるツール フローおよび検証手順を示します。

表 3: リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	Bob Slous、 Rohit Consul
ターゲット デバイス	Kintex-7 FPGA
ソース コードの提供	あり
ソース コードの形式	Tcl スクリプトおよび C コード
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、またはサードパーティからデザインへのコード/IP の使用	なし
シミュレーション	
論理シミュレーションの実施	N/A
タイミングシミュレーションの実施	N/A
論理シミュレーションおよびタイミング シミュレーションでのテストベンチの利用	N/A
テストベンチの形式	N/A
使用したシミュレータ/バージョン	N/A
SPICE/IBIS シミュレーションの実施	N/A
インプリメンテーション	
使用した合成ツール/バージョン	Vivado Design Suite 2016.2
使用したインプリメンテーション ツール/バージョン	Vivado Design Suite 2016.2
スタティック タイミング解析の実施 ⁽¹⁾	あり
ハードウェア検証	
ハードウェア検証の実施	あり
使用したハードウェア プラットフォーム	KC705 評価ボード

注記:

1. 詳細は、「[既知の問題](#)」を参照してください。

必要な環境

ハードウェア

リファレンス システムのハードウェア要件は次のとおりです。

- ザイリンクス Kintex-7 FPGA KC705 評価キット
- inrevium HDMI 2.0 ドーター カード (TB-FMCH-HDMI4K) (1 個)
- HDMI ケーブル (2 本)
- HDMI 2.0 ビデオ ソース (例: DVD プレイヤー)
- HDMI 2.0 シンク (例: 超高精細 (UHD) TV セット)
- JTAG USB プラットフォーム ケーブルまたは Type-A/Micro-B USB ケーブル
- Type-A/Mini-B USB ケーブル

ソフトウェア

リファレンス デザインのソフトウェア要件は次のとおりです。

- Vivado Design Suite 2016.2
- ソフトウェア開発キット (SDK) 2016.2
- ソフトウェア ターミナル (Tera Term、ハイパー ターミナルまたは PuTTY など)

外部メモリ

リファレンス デザインの 3 つのコンポーネントには外部メモリが必要です。ここでは、各コンポーネントの要件について説明します。

- Video Processing Subsystem IP は、フレーム リピートまたはフレーム ドロップによるフレーム レート変換を実行するために、フレームを DDR に格納する必要があります。また、ビデオ デインターレーサー用にフィールド バッファも必要です。バッファの要件は次のとおりです。
 - 5 つの UHD (4096x2160) バッファ (最大 48 ビット/ピクセル = 265MB)
 - 3 つの 1080i フィールド バッファ (最大 48 ビット/ピクセル = 18MB)

Video Processing Subsystem のバッファ ストレージに必要な合計メモリは 283MB です。

- リファレンス デザインの Video Mixer IP コアは、3つのメモリ レイヤー、1つのロゴ レイヤー、およびメイン ストリーミング レイヤーであらかじめ構成されています。通常、ミキサー メモリ レイヤー用のデータを生成するために、複数のソース (GPU や DP/SDI などの第 2 の入力ソースなど) がありますが、リファレンス デザインにはこれらのソースがないため、ミキサー レイヤーのイメージ データは C ソース ファイルとしてデザインに含まれ、アプリケーション バイナリにコンパイルされています。各レイヤー データの詳細は次のとおりです。
 - レイヤー 1 は解像度が 1600x542 のイメージです。スクリーン上のレンダリングされたフレームはすべて、イメージ内の前の位置からオフセットされる、連続するサブセット (960x540) のイメージです。これはスクリーン上ではカメラを左から右へ振って撮ったイメージとして現われます。
メモリ要件 = $1600 \times 542 \times 32$ ビット = 3.5MB
 - レイヤー 2 は、解像度 960x540 のグラフィックス イメージです。
メモリ要件 = $960 \times 540 \times 32$ ビット = 2MB
 - レイヤー 3 は、デザインに統合されているテスト パターン ジェネレーター モジュールによって電源投入時にオンザフライで生成されるカラー バー テスト パターンで、解像度 960x540 に設定されています。
メモリ要件 = $960 \times 540 \times 32$ ビット = 2MB
 - ロゴ データは、IP コア内の割り当てられたブロック RAM にロードされます。外部メモリは不要です。

Video Mixer IP コア レイヤーのデータ ストレージに必要な合計メモリは 7.5MB です。

注記: アプリケーション ソフトウェアに埋め込まれた静止画像の解像度は、1080p より大きい出力解像度に最適化されています。1080p より小さい出力解像度が選択されている場合、Video Mixer IP コア イメージは機能しません。

- アプリケーション ソフトウェア バイナリは、約 9MB (800KB テキストと 7.5MB ビデオ ミキサー イメージ データ) であり、DDR の容量をオーバーします。電源投入時、アプリケーション ソフトウェアは、DDR の指定されたミキサー レイヤー バッファー アドレスにイメージ データをロードします。

リファレンス デザインのメモリ ストレージ要件は 300MB (最大) です。

リファレンス デザイン ファイル

図 6 に、リファレンス デザインのディレクトリ構造を示します。



重要: リファレンス デザインはルート ディレクトリの近くに展開してください。

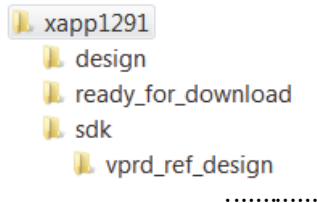


図 6: リファレンス デザインのディレクトリ構造

図 7 に、リファレンス デザインのファイル構造を示します。

design	contains the kc705 specific design files such as IPI tc1, xdc and script to construct the design
ready_for_download	Contains the bit and elf file, along with script to download the two
download.bit	
vprd_ref_design.elf	
run.tc1	
sdk	Contains the reference design application and script to create the sdk project

X17084-071116

図 7: リファレンス デザイン ファイル

ライセンス

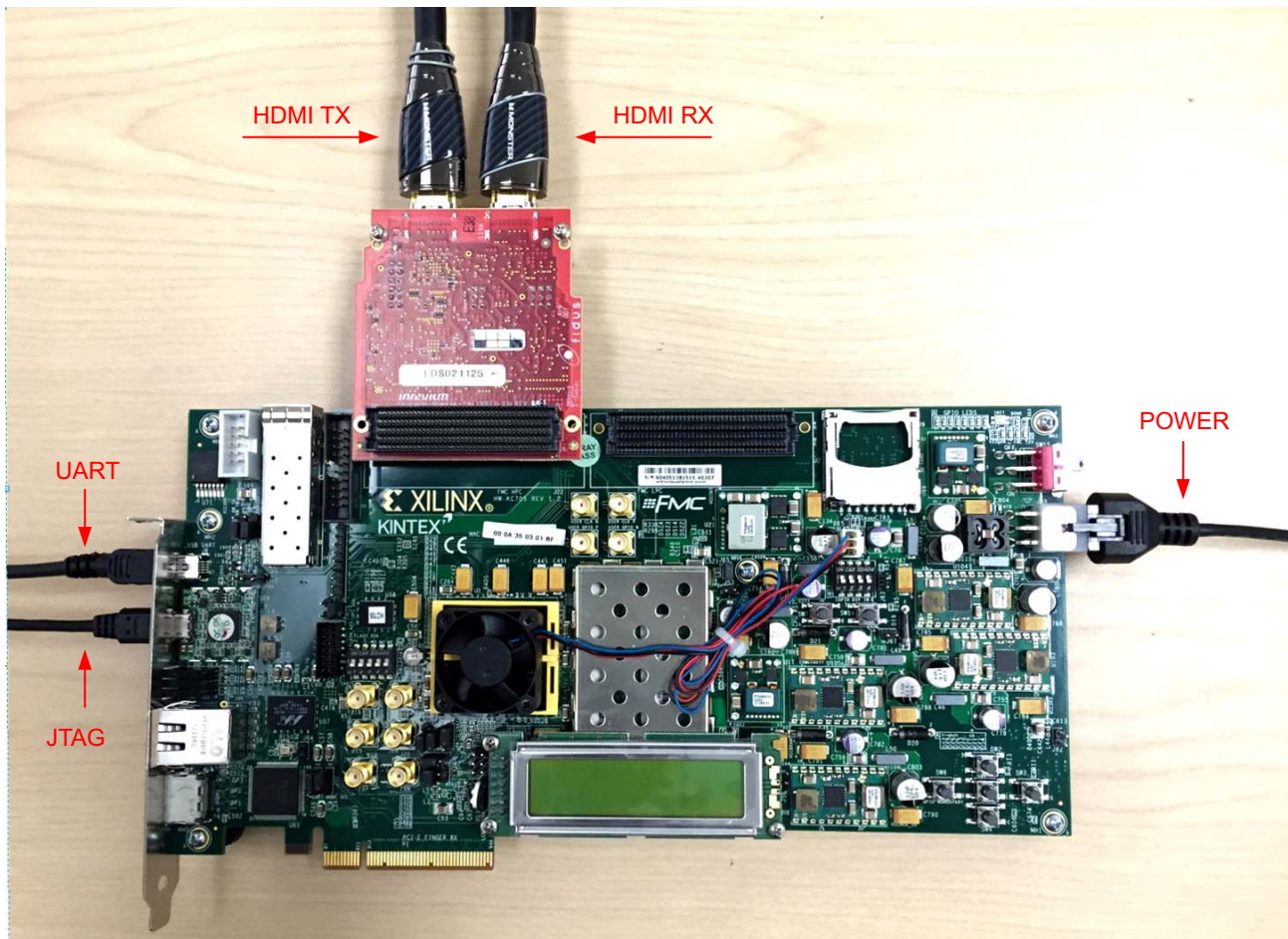
HDMI RX、HDMI TX Subsystem、Video Processing Subsystem、Video Mixer、および Video Test Pattern Generator は、ライセンスが必要なコアです。デザインをコンパイルするには、これらのコアのライセンスがインストールされている必要があります。

リファレンス デザインの実行手順

このセクションでは、Video Processing Subsystem IP コアのリファレンス デザインのセットアップ、実行、結果について説明します。

ボードのセットアップ

リファレンス デザインは、Kintex-7 FPGA KC705 開発ボードをターゲットにしており、inrevium TB-FMCH-HDMI4K FMC カードをサポートしています。図 8 に、ボードのセットアップを示します。



X17060-070716

図 8: KC705 開発ボードのセットアップ

ハードウェアのセットアップ

1. USB ケーブルをホスト PC から USB JTAG ポートに接続します。適切なデバイスドライバがインストールされていることを確認します。
2. 別の USB ケーブルをホスト PC から USB UART ポートに接続します。「ハードウェア」に記載された USB-UART ドライバがインストールされていることを確認します。
3. TB-FMCH-HDMI4K ボードを KC705 ボードの HPC FMC コネクタに接続します。
4. HDMI TX ポートを HDMI 1.4/2.0 シンクまたはモニター (超高精細 (UHD) TV セットなど) に接続します。
5. HDMI RX ポートを HDMI 1.4/2.0 ソース (DVD プレイヤーなど) に接続します。
6. KC705 ボードを電源スロット J49 に接続します。
7. KC705 ボードの電源をオンにします。
8. 次のように標準 COM ポートを設定したホスト PC 上でターミナルプログラム (ハイパーターミナルなど) を開始します。
 - 。 ボーレート: 115200
 - 。 データビット: 8
 - 。 パリティ: None
 - 。 ストップビット: 1
 - 。 フロー制御: None

リファレンス デザインの実行

リファレンス デザインの使用法は 2 つあります。

- `ready_for_download` ディレクトリ内のあらかじめコンパイルされたバイナリ ファイルを使用してリファレンス デザインを実行します。
- スクリプト ファイルを使用して最初からリファレンス デザイン (ハードウェアとソフトウェアの両方) を再構築します。

このセクションでは、`ready_for_download` ディレクトリ内のファイルを使用したシステムの実行手順を説明します。

1. XSCT シェルを起動します。

[スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [SDK 2016.2] → [Xilinx Software Command Line Tool]

2. ビットストリーム ディレクトリへ移動します。

```
xsct% cd {<path-to-ready_for_download-directory>}
```

3. XSCT シェルへ切り替えます。

```
xsct% xmd
```

4. ビットストリームと `.elf` ファイルを FPGA にダウンロードします。

```
xmdt% source run.tcl
```

5. XSCT シェルを終了します。

```
xmd% exit
```



重要: FPGA のコンフィギュレーションが完了すると、すぐにソフトウェア アプリケーションの実行が開始します。シリアル ターミナルに表示されるメッセージで、アプリケーションの電源投入状況が示されます。

スクリプト ファイルを使用してリファレンス デザインを構築する

デザインをゼロから構築するユーザー向けに、TCL スクリプト (Vivado 2016.2 ツール対応) がデザイン フォルダに提供されています。`setup.tcl` ファイルは、FMC HDMI 2.0 カードを使用する KC705 ボード用のサンプル デザインを生成します。

ハードウェア デザインを構築する

Vivado Design Suite 2016.2 でビット ファイルを生成するには、次の手順に従います。

1. Vivado Design Suite を起動します。
2. Tcl コンソールで、ワークスペース ディレクトリに移動します。
> cd <unzip_dir>\xapp1291
3. Tcl スクリプトを実行してブロック デザインを作成します。
> source ./design/setup.tcl
4. [Flow] メニューから [Generate Bitstream] をクリックしてビットストリームを生成します。



重要: Windows ベースのコンピューターの場合は、通常ビットストリームの生成が完了するまで約 1 時間かかります。

5. [File] → [Export] → [Export Hardware] をクリックして、ハードウェアを SDK にエクスポートします。ビットストリームに含めるオプションを選択します。これで、Vivado プロジェクトのディレクトリの下に `vprd.sdk` というディレクトリが生成され、ここにザイリンクス プラットフォーム プロジェクト ファイルがエクスポートされます。

既知の問題

- デザインはコンパイル中にタイミングを満たすことができませんが、これは Video Mixer コアの既知の問題です。現在、Video Mixer コアはアーリーアクセス版です。この問題は、Vivado Design Suite 2016.3 リリースで修正される予定です。回避策として、Video Mixer コアのロゴ レイヤーを無効にしてタイミング違反を削除してください。
- Windows で Vivado Design Suite を起動する場合、プロジェクトのパスの長さが問題になることがあります。パスの長さ問題を回避するために、デザインを `c:\` で解凍してください。

SDK プロジェクトを作成する

SDK フォルダには、リファレンス デザインの SDK プロジェクトを作成して、ダウンロード可能な .bit ファイルと .elf ファイルを生成するプロセスを自動化するスクリプト (vprd.tcl) が含まれています。

Tcl スクリプトを実行するには、次の手順に従ってください。

1. エクスポートしたハードウェア デザイン ファイル (vprd_wrapper.hdf) を sdk フォルダにコピーします。

2. XSCT (Xilinx Software Command Line Terminal) シェルを起動します。

[スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [SDK 2016.2] → [Xilinx Software Command Line Tool]

3. sdk ディレクトリへ移動します。

```
xsct% cd {<path-to-sdk-directory>}
```

4. source コマンドで tcl ファイルを実行します。

```
xsct%>source vprd.tcl
```

5. スクリプトを実行します。

```
xsct%>vprd vprd_wrapper.hdf
```

Tcl スクリプトは、次のタスクを実行します。

- ワークスペースを作成する
- ハードウェア プロジェクトを作成する
- BSP を作成する
- アプリケーション プロジェクトを作成する
- BSP およびアプリケーション プロジェクトを構築する

プロセス完了後、必要なファイルは次の場所から入手できます。

- ビット ファイルは、vprd.sdk/vprd_kc705_hw_platform_0 フォルダにあります。
- Elf ファイルは、vprd.sdk/vprd_ref_design/{Debug/Release} フォルダにあります。

これらの手順を実行して、SDK 内でソフトウェア アプリケーションを実行します。



重要: ハードウェアに電源が投入されており、Digilent 社製ケーブルまたは USB プラットフォーム ケーブルがホスト PC に接続されていることを確認してください。また、USB ケーブルが KC705 ボードの UART ポートに接続されていることを確認してください。

1. SDK を起動します。
2. 指定されたウィンドウで、ワークスペースを `vprd.sdk` に設定します。SDK プロジェクトが自動的に開きます (ウェルカム ページが表示されたら、そのページを閉じる)。
3. [Xilinx Tools] → [Program FPGA] をクリックして、FPGA にビットストリームをダウンロードします。[Program FPGA] ダイアログ ボックスが開きます。
4. ビットストリーム フィールドが Tcl スクリプトで生成されたビットストリーム ファイルを示していることを確認して、[Program] をクリックします。

注記: プログラミングが正常に完了すると、ボード上の DONE LED が緑色に点灯します。

5. UART 通信用にターミナルプログラム (HyperTerminal または PuTTY) が必要です。プログラムを開いて適切なポートを選択し、ボー レートを 115kb/s に設定し、シリアル ポート接続を確立します。
6. [Project Explorer] パネルでアプリケーション `vprd_ref_design` を選択して右クリックします。
7. [Run As] → [Launch on Hardware (System Debugger)] をクリックします。
8. [Binaries and Qualifier] を選択して、[OK] をクリックします。

ターミナル プログラムにデザインの実行状況が示されます。

結果

図 9 に、リファレンス デザインの電源投入を示します。

```
-----  
Video Processing Subsystem Reference Design v2.0  
(c) 2016 by Xilinx Inc.  
-----  
Build Apr 19 2016 - 14:04:19  
-----  
Initialize System Design...  
  ->Initialize System Peripherals....  
  ->Initialize Input Subsystem...  
Successfully loaded edid.  
  ->Initialize Video Processing Subsystem...  
  ->Initialize Output Subsystem...  
Load Video Data to DDR for 3 Mixer Layers.....  
Load 1600x542 Image for Layer 1....  
Load 960x540 Image for Layer 2....  
-->Loading 1 frames for Layer 3  
  Load Frame 0 @0xB2000000...  
  ->Initialize Video PHY...  
Start System...  
  ->Starting System Peripherals....  
RX cable is connected  
TX cable is connected  
  ->Start Output Subsystem...  
  ->Start Input Subsystem...  
  
INFO> HDMI RX is set as active source  
INFO> HDMI TX is set as active sink  
  
->Output Resolution set to 1920x1080@60Hz  
INFO> Setup Mixer  
  
INFO> Panel Connection Established  
INSS INFO> Input Source -> HDMI  
INFO> 1920x1080@60Hz Input Stream Detected  
INFO> Configuring Video Processing Subsystem...  
□
```

図 9: リファレンス デザインの電源投入

ユーザー インターフェイス

VPRD (ビデオ プロセッシング リファレンス デザイン) は、デザインを操作するために 2 つのインターフェイスを提供します。

- シリアル ターミナル
- プッシュボタン

シリアル ターミナル (UART)

シリアル ターミナル インターフェイスは、デザインを操作するために提供されています。ホスト コンピューターを USB UART へ接続し、ターミナルを開いてプロパティを設定します (115200 ボー レート、8 データ ビット、パリティなし、1 ストップ ビット)。

FPGA ヘアアプリケーションがダウンロードされた後、シリアル ターミナルにウェルカム メッセージが表示されて進捗を確認できます。

UART のメニュー

リファレンス デザインの機能は、シリアル ターミナルから制御できます。機能ごとに異なるメニューがあります。h キーを押すと [Help MENU] が表示され、リファレンス デザインで有効なすべての機能のメニューが一覧表示されます。

注記: メニューを選択するキーは、大文字と小文字を区別しません。

```
-----
                        HELP MENU
-----
i: System Info
v: System Status
p: Picture Menu
m: Mixer Menu
s: System Setup Menu
o: Output Resolution select Menu
t: Test Pattern Menu
d: Debug Menu
```

X17073-051816

図 10: ヘルプ メニュー

キー入力のメカニズム

リファレンス デザインには、これらの使用特性を与えるシリアル ターミナル パーサーが含まれています。

1. **Return** キーが押されるまで、キー入力は実行されません。
2. **UART** メニューの場合、ソフトウェアはユーザー入力を待っているため、スタティック スケジューラーは無効になります。システムは外部イベントに反応しません。
3. スタティック スケジューラーを有効にするには、ユーザーがメニュー画面を終了する必要があります (システムがスタティック スケジューラーを有効にし、バックグラウンド モニタリング タスクを再開すると、確認画面が表示される)。



```
Return to static scheduler... (Press 'h' for help)
```

X17074-051816

図 11: スタティック スケジューラーへ戻る

System Info (i)

System Info コマンドは、関連するサブシステムで分類されたリファレンス デザインの IP ブロックの情報を提供します。

System Status (v)

System Status コマンドは、リファレンス デザインの異なるブロックのステータス情報を提供します。

- システム ステータスの概要
- 検出された入力のタイミング (HDMI RX)
- 生成された出力のタイミング (HDMI TX)
- PHY ステータス
- リンク ステータス

Picture Menu (p)

Picture Menu コマンドは、画像設定に関するオプションを提供します。範囲を指定しない限り、これらの設定はスクリーン上のすべてのイメージに反映されます。また、デモンストレーションモードが提供されているため、出力解像度内でこれらの設定が反映されるウィンドウを定義できます。デモンストレーション ウィンドウ以外の範囲は、そのままの状態を保持します。

```
-----  
SELECT PICTURE SETTINGS  
-----  
1: Brightness  
2: Contrast  
3: Saturation  
4: Red Gain  
5: Green Gain  
6: Blue Gain  
7: Output Color Standard  
8: Output Range  
9: Demo Window  
0: Exit  
-----  
Enter selection -> █
```

図 12: ピクチャー メニュー (画像設定)

このメニューで機能を選択して、各機能の値を設定します。

<機能> [範囲] (現在の設定値)--> <新しい値>

例:

```
Brightness [0-100] <50> -> █
```

System Setup Menu (s)

System Setup Menu コマンドでは、ズーム機能や PIP 機能を操作でき、各機能に対してウィンドウを個別に設定できます。表 4 にデフォルト設定を示します。

```

-----
                        SYSTEM SETUP MENU
-----
1: ZOOM Mode Toggle on/off
2: PIP Mode Toggle on/off
3: Zoom Window
4: PIP Window
5: PIP Background Color
6: Select Active Input
0: Exit
-----
Enter selection-> 

```

図 13: システム セットアップ メニュー

表 4: システム セットアップ メニューのデフォルト設定

機能	開始座標	ウィンドウ サイズ
Zoom	0,0	400x400
PIP	0,0	400x400

Video Mixer Menu (m)

リファレンス デザインの Mixer IP コアは、3つのメモリ レイヤー、1つのロゴ レイヤー、およびメイン ストリーミング レイヤーであらかじめ構成されています。各メモリ レイヤーには、有効なアルファ値とスケール値があります。このメニューで、ユーザーはこれらの値を操作できます。

```

-----
                        MIXER MENU
-----
1: Enable Layer
2: Disable Layer
3: Set Layer Alpha
4: Set Layer Scale Factor
5: Logo ColorKey
6: Set Layer Window
7: Move Layer Window
0: Exit
-----
Enter selection-> 

```

図 14: ミキサー メニュー

Output Resolution (o)

出力解像度のメニューでは、リファレンス デザインでサポートされている出力解像度の一覧が表示されます。

```
-----  
SELECT SYSTEM OUPUT RESOLUTION  
-----  
1: 640x480 60HZ  
2: 720x480 60HZ  
3: 720x576 50HZ  
4: 800x600 60HZ  
5: 1024x768 60HZ  
6: 1280x720 50HZ  
7: 1280x720 60HZ  
8: 1280x768 60HZ  
9: 1280x1024 60HZ  
10: 1600x1200 60HZ  
11: 1680x1050 60HZ  
12: 1920x1080 24HZ  
13: 1920x1080 25HZ  
14: 1920x1080 30HZ  
15: 1920x1080 50HZ  
16: 1920x1080 60HZ  
17: 1920x1200 60HZ  
18: 3840x2160 24HZ  
19: 3840x2160 25HZ  
20: 3840x2160 30HZ  
21: 3840x2160 50HZ  
22: 3840x2160 60HZ  
0: Exit  
-----  
Enter selection -> █
```

.....
図 15: 出力解像度

Test Pattern Menu (t)

リファレンス デザインでは、第 2 の入力ストリーム ソースとして TPG が使用されます。ユーザーは、System Setup Menu のオプションを使用して TPG と HDMI RX (デフォルト) を切り替えることができます。このメニューで、さまざまな TPG ストリームを構成できます。

```
-----
                          TPG MENU
-----
1: Pattern - H Ramp
2: Pattern - V Ramp
3: Pattern - Solid Red
4: Pattern - Solid Green
5: Pattern - Solid Blue
6: Pattern - Solid Black
7: Pattern - Solid White
8: Pattern - Color Bars
9: Pattern - Tartan Color Bars
10: Pattern - Cross Hatch
11: Pattern - Rainbow Colors
12: Pattern - H+V Ramp
13: Pattern - Checker Board
14: Pattern - PRBS
15: Resolution
16: Color Format
0: Exit
-----
Enter selection -> |
```

図 16: テスト パターン メニュー

Debug Menu (d)

デバッグメニューでは、コアのステートやレジスタ情報を取得するためのソフトウェアデバッグインターフェイスを提供します。

```
-----  
SELECT CORE TO DEBUG  
-----  
1: V Scaler  
2: H Scaler  
3: VDMA  
4: Letterbox  
5: H Chroma Resampler  
6: V Chroma Resampler - Input  
7: V Chroma Resampler - Output  
8: Color Correction  
9: Deinterlacer  
10: Subsystem Switch  
11: VPSS  
12: VPSS Log  
13: Input Switch  
14: TPG  
15: Video Phy Log  
16: HDMI RX  
17: HDMI TX  
18: Mixer  
0: Exit  
-----  
Enter selection -> |
```

X17081-051816

図 17: デバッグメニュー

プッシュ ボタン

KC705 ボード上のプッシュボタンを使用して、スクリーン上でのズーム機能や PIP ウィンドウの動きを制御できます。

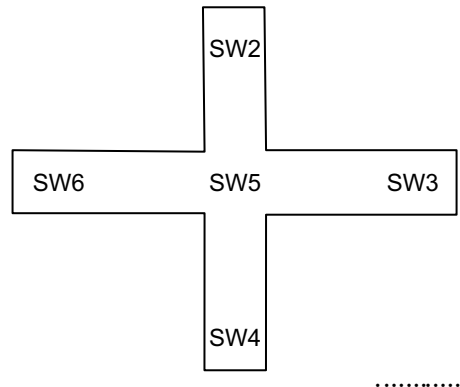


図 18: プッシュ ボタン

- SW2: ウィンドウを上へ移動
- SW4: ウィンドウを下へ移動
- SW6: ウィンドウを左へ移動
- SW3: ウィンドウを右へ移動
- SW5: 機能 (ズーム/PIP) がオンの場合にはオフに設定されます。その他の場合は無視されます。

デバッグ

ここでは、ユーザーが直面する一般的な問題を解決するためのヒントを紹介します。

- LED0

HDMI TX Subsystem ロック。この LED が消えている場合は、HDMI TX ストリームのビデオ タイミング情報が HDMI_TX_SS の期待しているタイミングと一致しないことを意味します。HDMI TX ストリームのタイミングが適切であることを確認してください。あるいは、TX ケーブルを一旦切断してから再接続し、HDMI TX を再初期化してください。

- パイプライン内には複数のデバッグ タップがあり、システムまたは IP のステータスを判断するために問い合わせることができます。これらのデバッグ タップは、シリアル ターミナルを介してアプリケーション ソフトウェアで確認できます。詳細は、「[Debug Menu \(d\)](#)」を参照してください。

参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

1. [ザイリンクス Kintex-7 FPGA KC705 評価キット](#)
2. [Video Processing Subsystem](#)
3. [Inrevium 社製 TB-FMCH-HDMI4K](#)
4. 『Video Processing Subsystem v2.0 製品ガイド』([PG231](#))
5. 『Video Mixer v1.0 LogiCORE IP 製品ガイド』([PG243](#))
6. 『HDMI 1.4/2.0 Transmitter Subsystem v1.0 製品ガイド』([PG235](#))
7. 『HDMI 1.4/2.0 Receiver Subsystem v1.0 LogiCORE IP 製品ガイド』([PG236](#))
8. 『Video PHY Controller v2.0 製品ガイド』([PG230](#))
9. 『AXI リファレンス ガイド』([UG761](#))
10. 『Video Test Pattern Generator LogiCORE IP 製品ガイド』([PG103](#))
11. 『KC705 ボード ユーザー ガイド』([UG810](#))
12. 『Kintex-7 FPGA GTX トランシーバーを使用した HDMI 2.0 の実装』(XAPP1287: [英語版](#)、[日本語版](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016年7月22日	1.0.1	タイポ修正。
2016年7月20日	1.0	初版

お読みください: 重要な法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。
<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2016 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリックス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。